

全国普通高等院校电子信息规划教材

# EDA技术与应用

关可 梁文家 张晓博 亓淑敏 编著

清华大学出版社



全国普通高等院校电子信息规划教材

# EDA技术与应用

关可 梁文家 张晓博 亓淑敏 编著

清华大学出版社  
北京

## 内 容 简 介

本书以 Altera 公司的 EP1C3 型 FPGA 为蓝本,详细介绍了 EP1C3 的内部结构及功能设计、Altera 的 FPGA 设计工具 Quartus II 的设计方法以及 VHDL 硬件描述语言,并通过相应的实例分析、实例设计和拓展思维训练三个环节,引导读者能够快速掌握 FPGA 的设计方法和设计理念,并通过训练逐步提高自己的设计水平。在每章后面还附有习题,便于读者学习和教学使用。

本书可以作为高等院校电子工程、通信、工业自动化、计算机应用技术等学科的本科生或研究生的电子设计或 EDA 技术课程的教材和实验指导书,也可作为相关专业技术人员的参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

### 图书在版编目(CIP)数据

EDA 技术与应用/关可等编著. —北京:清华大学出版社,2012.12

全国普通高等院校电子信息规划教材

ISBN 978-7-302-30268-1

I. ①E… II. ①关… III. ①电子电路—电路设计—计算机辅助设计—高等学校—教材  
IV. ①TN702

中国版本图书馆 CIP 数据核字(2012)第 234113 号

责任编辑:白立军 顾 冰

封面设计:常雪影

责任校对:李建庄

责任印制:王静怡

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:北京鑫海金澳胶印有限公司

经 销:全国新华书店

开 本:185mm×260mm 印 张:12

版 次:2012 年 12 月第 1 版

印 数:1~3000

定 价:22.00 元

字 数:298 千字

印 次:2012 年 12 月第 1 次印刷

产品编号:040338-01

EDA(Electronic Design Automation, 电子设计自动化)技术是现代电子工程领域的一门新技术,它提供了基于计算机和信息技术的电子电路系统设计方法和设计平台,特别是对于可编程逻辑器件,EDA 技术为其提供了设计——仿真——验证——实现的完整方案和平台。

近几年,随着 IC 技术的发展,可编程器件价格不断降低,相关的设计工具逐步完善,可编程逻辑器件在电子系统和产品中的使用越来越广泛。技术的发展与产品的需求必然会反映到教学和科研领域中来,目前,全国各大高等院校的电子信息、通信、自动控制和计算机等专业均开设了 EDA 设计课程,并建立 EDA 实验、实践教学中心,而相应的,EDA 设计理念及技术已经成为高等院校及高职高专院校电子信息、通信、自动控制和计算机等专业学生所必须掌握的技能之一。

目前,已经出版发行的 EDA 技术教科书及教程种类繁多,但是 EDA 技术的快速发展,又使得很难在一本书写尽 EDA 设计技术的内容,基于这种考虑,本书在编写上不求多、不求杂,力求以基础性、详尽性为主旨,将一个器件、一种语言和一个设计平台讲细、讲透,对 EDA 技术的初学者起到快速入门、抛砖引玉的作用。本书编写人员总结多年 EDA 理论与实践教学经验,在理论方面从 FPGA 器件结构、Quartus II 软件的设计方法、VHDL 语言的设计语法与规则三个方面对 EDA 技术进行基础性、详尽性的讲解,使 EDA 技术的初学者对可编程逻辑器件的典型设计载体、主流设计工具和业界常用设计平台建立起完整的、详尽的认识和理解;实践方面,通过实例分析、实例设计和拓展训练三个阶段,使读者能够快速掌握 EDA 技术的设计方法,并引导设计者在实践过程中不懈地摸索和积累,逐步提高自己的设计水平,掌握 EDA 技术的精髓。

本书共分为 5 章,第 1 章及第 2 章的 1~3 节由关可编写,第 2 章的 4~7 节由亓淑敏编写,第 3 章和第 5 章由梁文家编写,第 4 章由张晓博编写,全书由关可主编,由梁文家、张晓博、亓淑敏任副主编。在编写过程中,参考了许多专家的著作和成果,在此一并表示感谢!

由于作者的水平有限,难免会有疏忽、不恰当甚至错误的地方,恳请各位老师及同行指正,以使本教程得到不断的完善。

<b>第 1 章 绪论</b> .....	1
1.1 PLD 的分类 .....	2
1.2 PLD 设计的基本流程 .....	3
1.2.1 设计输入 .....	3
1.2.2 设计综合 .....	3
1.2.3 仿真验证 .....	3
1.2.4 设计实现 .....	4
1.2.5 下载验证 .....	4
1.3 PLD 设计的常用工具 .....	4
1.3.1 Altera 公司设计开发工具 .....	4
1.3.2 Xilinx 公司设计开发工具 .....	5
1.4 PLD 技术发展趋势 .....	5
习题 .....	6
<b>第 2 章 EP1C3 型 FPGA 结构</b> .....	7
2.1 逻辑阵列块 .....	8
2.1.1 LAB 连接 .....	9
2.1.2 LAB 控制信号 .....	9
2.2 逻辑单元 .....	10
2.2.1 LUT 链和寄存器链 .....	10
2.2.2 addnsub 信号 .....	11
2.2.3 LE 操作模式 .....	11
2.3 多路径互连 .....	15
2.3.1 行互连 .....	15
2.3.2 列互连 .....	16
2.4 嵌入式存储器 .....	18
2.4.1 存储器模式 .....	19
2.4.2 奇偶位支持 .....	20
2.4.3 移位寄存器支持 .....	20
2.4.4 存储器大小配置 .....	20

2.4.5	字节使能	22
2.4.6	控制信号和 M4K 接口	22
2.4.7	独立时钟模式	23
2.4.8	输入/输出时钟模式	24
2.4.9	读/写时钟模式	26
2.4.10	单端口模式	26
2.5	全局时钟网络和锁相环	28
2.5.1	全局时钟网络	28
2.5.2	双用途时钟管脚	28
2.5.3	组合资源	29
2.5.4	锁相环	29
2.5.5	时钟的倍频和分频	31
2.5.6	外部时钟输入	31
2.5.7	外部时钟输出	32
2.5.8	时钟反馈	32
2.5.9	相移	32
2.5.10	锁定检测信号	32
2.5.11	可编程占空比	32
2.5.12	控制信号	32
2.6	输入/输出结构	33
2.6.1	外部 RAM 接口	37
2.6.2	DDR SDRAM 和 FCRAM	37
2.6.3	可编程驱动能力	38
2.6.4	可编程上拉电阻	40
2.7	IEEE 标准 1149.1(JTAG)边界扫描支持	40
	习题	41
<b>第 3 章</b>	<b>基于 Quartus II 的 FPGA 设计方法</b>	<b>43</b>
3.1	Quartus II 软件的设计输入	44
3.1.1	文本编辑器	44
3.1.2	模块和符号编辑器	47
3.1.3	MegaWizard 插件管理器	48
3.1.4	Quartus II 支持的其他设计输入	52
3.2	Quartus II 软件的设计约束	53
3.2.1	分配编辑器	54
3.2.2	引脚规划器	54
3.2.3	Settings 对话框	55

3.2.4	分配设计分区 .....	55
3.2.5	导入分配 .....	55
3.2.6	验证引脚分配 .....	56
3.3	Quartus II 软件的设计综合 .....	56
3.3.1	Analysis & Synthesis 功能选项设置 .....	57
3.3.2	查看综合结果 .....	58
3.3.3	渐进式综合 .....	59
3.4	布局布线 .....	60
3.4.1	布局布线设置 .....	60
3.4.2	查看布局布线结果 .....	62
3.4.3	优化布局布线结果 .....	63
3.5	仿真 .....	65
3.6	时序分析 .....	67
3.6.1	标准时序分析器的使用 .....	67
3.6.2	TimeQuest 时序分析 .....	71
3.7	时序逼近 .....	72
3.7.1	使用时序逼近平面布局图 .....	72
3.7.2	使用时序优化向导 .....	74
3.7.3	使用网表优化实现时序逼近 .....	74
3.7.4	使用 LogicLock 区域达到时序逼近 .....	75
3.7.5	使用设计空间管理器达到时序逼近 .....	76
3.7.6	使用渐进式编译达到时序逼近 .....	76
3.8	功耗分析 .....	76
3.8.1	使用 PowerPlay 功耗分析器分析功耗 .....	77
3.8.2	使用 PowerPlay 早期功耗估算器 .....	77
3.9	编程和配置 .....	78
3.9.1	汇编器 Assembler 的使用 .....	79
3.9.2	使用 Programmer 对一个或多个器件编程 .....	79
3.10	调试 .....	80
3.10.1	SignalTap II 逻辑分析器的使用 .....	81
3.10.2	使用外部逻辑分析仪 .....	84
3.10.3	使用 SignalProbe .....	85
3.10.4	使用在系统存储器内容编辑器 .....	85
习题	.....	86
<b>第 4 章</b>	<b>VHDL 硬件描述语言 .....</b>	<b>87</b>
4.1	基于硬件描述语言的数字电路设计方法 .....	88

4.2	硬件设计语言概述	89
4.3	VHDL 语言的基本结构	90
4.3.1	实体	90
4.3.2	结构体	92
4.3.3	结构体的 3 种子结构	96
4.3.4	包、库和配置	99
4.4	VHDL 语言要素	104
4.4.1	VHDL 的文字规则	104
4.4.2	VHDL 的数据对象	105
4.4.3	VHDL 的数据类型	107
4.4.4	VHDL 的运算操作符	110
4.4.5	VHDL 的主要描述语句	111
4.5	基本逻辑电路设计	120
4.6	使用 Quartus II 的 VHDL 语言设计实例	125
4.6.1	Quartus II 软件的开发流程概述	125
4.6.2	Quartus II 对第三方软件的支持	126
4.6.3	Quartus II 开发平台的 VHDL 语言设计实例	126
	习题	138
<b>第 5 章 FPGA 设计实例</b>		<b>140</b>
5.1	开发系统简介	141
5.1.1	硬件符号功能说明	141
5.1.2	开发系统电路结构	142
5.1.3	其他硬件资源	151
5.1.4	开发系统使用前设置	156
5.2	原理图输入的简单组合逻辑设计	156
5.2.1	1 位全加器设计	156
5.2.2	4 选 1 数据选择器的设计	160
5.3	简单时序电路设计	161
5.3.1	D 触发器设计	161
5.3.2	具有异步清零和同步使能 4 位十进制加法计数器设计	162
5.3.3	数控分频器的设计	162
5.3.4	移位运算器设计	164
5.4	数码管驱动电路设计	165
5.4.1	7 段数码显示译码器设计	165
5.4.2	8 位数码扫描显示电路	166
5.5	复杂 FPGA 设计	168



- 5.5.1 序列检测器设计..... 168
- 5.5.2 8 位十六进制频率计设计 ..... 169
- 5.6 宏模块设计及测试 ..... 172
  - 5.6.1 DDS 正弦信号发生器功能 ..... 172
  - 5.6.2 简易 DDS 正弦信号发生器设计 ..... 173
  - 5.6.3 使用 SignalTap II 对简易 DDS 信号发生器实时测试 ..... 179
  - 5.6.4 拓展训练..... 180
- 参考文献..... 181

## 绪 论

EDA (Electronic Design Automation, 电子设计自动化), 是 20 世纪 60 年代中期从计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)和计算机辅助工程(CAE)的概念发展而来的, 目前已经成为现代电子设计技术的核心。

EDA 技术是以计算机为工作平台, 融合应用电子技术、计算机技术、智能化技术最新成果而研制成的电子通用软件, 用于电路设计与仿真、PCB 设计、IC 设计、PLD 设计等电子产品的自动设计与仿真。利用 EDA 设计及仿真软件(统称为 EDA 工具), 电子设计师可以从概念、算法、协议等开始设计整个系统, 大量工作只通过计算机就可以完成。

可编程逻辑器件(Programmable Logic Device, PLD)设计是一种由用户根据需要而自行构造逻辑功能的数字集成电路设计方法, 是 EDA 设计的一个重要组成部分。可编程逻辑器件自 20 世纪 70 年代以来, 经历了 PAL、GAL、CPLD、FPGA 几个发展阶段, 其中 CPLD/FPGA 属高密度可编程逻辑器件。PLD 是将掩模 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起, 特别适合于样品研制或小批量产品开发, 使产品能以最快的速度上市,

而当市场扩大时,它可以很容易地转由掩模 ASIC 实现,因此开发风险也大为降低。可编程逻辑器件,特别是 CPLD/FPGA 器件,已成为现代高层次电子设计方法的实现载体。

## 1.1 PLD 的分类

早期的可编程逻辑器件只有可编程只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)和电可擦除只读存储器(EEPROM)三种,由于结构的限制,它们只能完成简单的数字逻辑功能。其后,出现了一批结构上复杂的可编程芯片,能够完成各种数字逻辑功能,按照其内部结构规模可分为三类: SPLD、CPLD 和 FPGA。

### 1. SPLD

SPLD 是小型/简单型 PLD (Small/Simple PLD),其内部单元有几百门,外部管脚不超过 28 个。主要有 PAL、PLA 和 GAL 三种。

#### 1) PLA

PLA(Programmable Logic Array,可编程逻辑阵列)是与或阵列均可编程,利用率比最早的 PLD 器件有所提高,但编程算法复杂,而且不能实现时序逻辑。由于 PLA 采用熔丝型工艺,只能一次编程使用。

#### 2) PAL

PAL(Programmable Array Logic,可编程阵列逻辑)是与阵列可编程,或阵列不可编程,与 PLA 相比,算法简单,效率较高,而且在逻辑阵列后加入了存储单元电路,能够实现时序逻辑。PAL 也是采用熔丝型工艺,只能一次编程使用。

#### 3) GAL

GAL(Generic Array Logic,通用型阵列逻辑)在工艺上进行了改进,是采用 EEPROM 工艺,可多次编程使用(一般可重复编程 100 次以上),另外,相对于上述的 PLD 器件,在结构和 I/O 接口上也进行了一定的改进。

SPLD 虽然可编程单元密度较低,仅能适用于某些简单的数字电路设计,但其具有低功耗、低成本、高可靠性、可重复更改等优点,特别是 GAL 器件,国内外很多对成本十分敏感的设计都在使用它来完成简单的数字逻辑功能,如 74 系列逻辑电路功能。新一代的 GAL 以功能灵活、小封装、低成本、重复可编程和应用灵活等优点,仍然在数字电路领域扮演着重要的角色。

### 2. CPLD

CPLD(Complex PLD,复杂可编程逻辑器件)是在 PAL、GAL 的基础上发展起来的,一般采用 EECMOS 工艺,也有少数厂商采用 Flash 工艺,是由可编程 I/O 单元、逻辑阵列块、可编程布线资源和其他辅助功能模块构成。一个逻辑阵列块相当于一个简单的 PLD,逻辑阵列块之间由可编程布线资源来连接,各单元延迟时间固定,因此,用 CPLD 可以完成较复杂、对时序有要求的逻辑功能,如接口转换、总线控制等。

### 3. FPGA

FPGA(Field Programmable Gate Array,现场可编程门阵列)是在 CPLD 的基础上发

展起来的新型高性能可编程逻辑器件,一般采用 SRAM 工艺,也有一些采用 Flash 工艺或反熔丝工艺的。

FPGA 是由可编程 I/O 单元、逻辑阵列块、嵌入式块 RAM、可编程布线池、内嵌专用硬核,底层嵌入功能单元等,其器件密度从数万门到数千万门不等,可以完成极其复杂的时序和组合逻辑电路功能以及嵌入式 CPU 功能。

## 1.2 PLD 设计的基本流程

可编程逻辑器件基本设计方法是借助于 EDA 软件,用原理图、状态机、布尔表达式、硬件描述语言等方法进行设计输入,并通过各种 EDA 设计工具将设计输入进行综合、仿真、时序约束等功能,将设计数据最终生成相应的目标文件,最后用编程器或下载电缆将目标文件下载到目标器件中,来实现符合用户功能和时序要求的数字集成电路。目前,PLD 的设计都是在计算机以及运行于计算机上的各类 EDA 设计、仿真软件来实现的。

通常,PLD 设计大体分为设计输入、综合、功能仿真(前仿真)、实现、时序仿真(后仿真)、配置下载等六个步骤。

### 1.2.1 设计输入

设计输入包括使用硬件描述语言 HDL、状态图与原理图输入三种方式。

HDL 语言设计是现今设计大规模数字集成电路采用最广泛的方式。HDL 语言包括 IEEE 标准中 VHDL 与 Verilog HDL 两种形式以及各 PLD 厂家推出的专用语言,如 Altera 公司 PLD 设计软件 Quartus 下所使用的 AHDL。HDL 语言描述在状态机、控制逻辑、总线功能方面较强。

原理图输入由于具有图形化强、单元节俭、功能明确等特点,一般用在顶层设计、数据通路逻辑、手工最优化电路等方面。在实际设计中,也可采用几种方式混合使用来进行设计输入。

### 1.2.2 设计综合

PLD 的设计综合是针对给定的电路实现功能和实现此电路的约束条件,如速度、功耗、成本及电路类型等,通过计算机进行优化处理,获得一个能满足上述要求的电路设计方案。即 PLD 设计综合器根据设计功能和性能要求将设计输入文件转换为一个硬件电路的实现方案的过程。当有多个实现方案可以满足要求时,综合器将产生一个最优的或接近最优的结果。综合完成后可以输出综合报告文件,列出综合状态与综合结果,如资源使用情况、综合后层次信息等。

### 1.2.3 仿真验证

PLD 的设计仿真验证包括功能仿真与时序仿真。功能仿真也叫前仿真,是指使用 PLD 设计仿真工具对设计的逻辑功能进行测试模拟,以了解其实现的功能是否满足原设计的要求,仿真过程不涉及具体器件的硬件特性,如延时特性等,因此是一种只对设计功

能进行仿真验证的一种方式。时序仿真也叫布局布线后仿真,在仿真过程中提取有关的器件延迟、连线延时等时序参数,并在此基础上对设计进行功能和时序上的一种仿真方式,它是接近真实器件运行的仿真。

### 1.2.4 设计实现

PLD的设计实现是通过适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作,其中包括底层器件配置、逻辑分割、逻辑优化、逻辑布局布线,最终生成PLD器件编程使用的数据文件。

### 1.2.5 下载验证

PLD的下载是在功能仿真与时序仿真正确的前提下,将综合后形成的位流下载到具体的PLD芯片中。PLD器件一般有两种下载方式:直接由计算机经过专用下载电缆进行下载;由外围配置芯片进行上电时自动下载。将位流文件下载到PLD器件内部后进行实际器件的物理测试即为电路验证,当得到正确的验证结果后就证明了设计的正确性。电路验证对PLD投片生产具有重大的意义。

## 1.3 PLD设计的常用工具

目前,PLD的主要厂商有Altera、Xilinx、Lattice和Actel,各个厂家设计生产的PLD器件,由于其结构、工艺等方面的差异,其设计软件也各自针对其公司旗下的PLD器件而不尽相同。由于Altera和Xilinx公司的PLD器件占到全球80%的份额,因此这两个公司的PLD设计软件与工具是业界最主要的PLD设计开发工具。

### 1.3.1 Altera公司设计开发工具

Altera的可编程逻辑器件设计工具随着Altera公司在推出各种可编程逻辑器件的同时也不断推陈出新。从最早期的A+PLUS、MUX+PLUS到后期的MUX+PLUS II、Quartus、Quartus II。其中MUX+PLUS II和Quartus II具有可视化的操作界面,具有工业标准的EDA工具接口,可以运行在多种操作平台上。

MUX+PLUS II和Quartus II软件具有以下功能。

#### 1. 设计输入

MUX+PLUS II和Quartus II的设计输入支持文本设计输入、图形设计输入、波形设计输入以及组合的设计输入方式,建立起层次化的单器件或多器件设计。

#### 2. 设计编译

MUX+PLUS II和Quartus II的设计编译能够完成最小化逻辑综合、适配设计于单个器件或多个器件以及形成编程和配置数据等功能。

#### 3. 设计校验

MUX+PLUS II和Quartus II的设计校验功能包括设计的功能仿真、时序仿真、影

响速度的关键路径的延时预测以及多种系列器件混合使用的多器件仿真。

Quartus II 软件的各项功能将在后续章节中详细介绍,这里不再赘述。

### 1.3.2 Xilinx 公司设计开发工具

Xilinx 是全球最大的 FPGA/CPLD 生产厂商之一,其设计开发的 PLD 软件也不断升级换代,已从 Foundation 系列发展到目前的 ISE 系列。ISE (Integrated System Configuration,集成综合环境)是 Xilinx 为其公司生产的 FPGA/CPLD 产品的完整开发工具。

ISE 的集成工具主要分为设计输入工具、综合工具、仿真工具、实现工具和辅助设计工具五类。

#### 1. 设计输入工具

ISE 集成的设计工具主要包括 HDL 编辑器、状态机编辑器、原理图编辑器、IP 核生成器和测试激励生成器等。

#### 2. 综合工具

ISE 集成的综合工具主要有 Synplicity 公司的 Synplify/Synplify Pro, Synopsys 公司的 FPGA Compiler II /Express, Exemplar Logic 公司的 LeonardoSpectru 和 Xilinx ISE 自身的 XST 等。

#### 3. 仿真工具

ISE 集成的仿真工具主要有 Model Tech 公司的仿真工具 Modelsim 和测试激励生成器 HDL Bencher。

#### 4. 实现工具

ISE 集成的实现工具主要有约束编辑器、引脚与区域约束编辑器、时序分析器、FPGA 底层编辑器、芯片观察窗和布局规划器等。

#### 5. 主要辅助设计工具

ISE 集成的主要辅助设计工具有 PROM 配置文件分割器、iMPACT 配置器、功耗仿真器、在线逻辑分析仪等。

## 1.4 PLD 技术发展趋势

目前,可编程逻辑器件设计技术正处于高速发展阶段,新型的 FPGA/CPLD 规模越来越大,成本越来越低,高性价比使可编程逻辑器件在硬件设计领域扮演着越来越重要的作用,特别是 FPGA 与 CPU 和 DSP Core 的有机结合,更使得 FPGA 的设计已经不仅仅是传统的硬件电路设计手段,而且还是系统级的实现方式。由此可见,更先进工艺,更高性能的 FPGA 研发和生产,必然是下一代 PLD 发展的大势所趋。

#### 1. 性能更高的 FPGA

随着 FPGA 制作工艺的提高,至 2008 年,40nm CMOS 工艺已经应用到 FPGA 中,

使得 FPGA 器件的密度大幅提高,为制造超大规模的 FPGA 提供了技术支持,随着工艺的不断发 展,会出现规模更大的 FPGA,可以完成更复杂系统的设计,强有力地支持 FPGA 的系统级应用。40nm 工艺因电子的跃迁距离变短而在一定程度上使得 FPGA 工作频率也得到了提升,结合目前许多其他 IC 设计技术,使 FPGA 的工作频率提升了 30%。

## 2. 电子级系统设计

电子级系统设计是对多处理器系统级芯片并行编程,实现单一高级别模型的协同软件设计。未来几年全球电子级系统设计工具营收将显著增长,将与 RTL 工具持平。

## 3. 一体化设计工具

一体化的设计开发工具将使所有用户都工作于一个统一的用户界面,避免了在不同的工具间进行切换和转换等繁琐的操作,这将大大减少用户对工具的学习、熟悉和掌握的时间,不受产品的限制。

## 4. IP 的开发

IP 的合理应用是加速 FPGA 设计流程的一个有效途径,按照美国 EDA 联盟的统计数据表明,IP 产品的销售额是全球 EDA 工业中增加最快的一个领域,IP 的不断开发和 使用是 IC 设计业中绝对的发展趋势。

## 5. FPGA 与 ASIC 相融合

高端 FPGA 由于集成了功能丰富的硬 IP 核,使得 FPGA 正在逐步进入一些过去只有 ASIC 能完成的设计领域,在 FPGA 中内嵌 ASIC 模块,能够更好地实现高速、大功耗、复杂的设计结构,而对于低速、低功耗、相对简单的电路则由传统的 FPGA 逻辑资源完成,这就形成了 FPGA 与 ASIC 的融合。长期以来,ASIC 与 FPGA 设计都互有优缺点,而 ASIC 与 FPGA 的融合必然能够使两者取长补短,使 FPGA 发挥更大的优势。

# 习 题

- 1.1 EDA 技术主要包括哪些方面的设计? 目前业界使用的 EDA 工具主要有哪些?
- 1.2 简述 FPGA 和 CPLD 在工艺上、结构上和功能上有哪些异同点。
- 1.3 一个完整的 PLD 设计流程包括哪些主要步骤? 各步骤的作用是什么?
- 1.4 常用的 PLD 设计工具有哪些? 其对应的器件有哪些?
- 1.5 下一代 PLD 设计的发展趋势是什么?
- 1.6 IP 的含义是什么?
- 1.7 IP 与 PLD 设计有怎样的关系?
- 1.8 目前,全球的 PLD 产品主要有哪些? 各有哪些特点?

## EP1C3 型 FPGA 结构

Altera 公司是全球最大的可编程逻辑器件供应商之一,主要产品有 MAX3000/7000、MAX II、FLEX6000、FLEX8000、APEX20K、Cyclone、Stratix、Cclone II、Stratix II 等。EP1C3 是 Altera 公司 Cyclone 系列中的一款 FPGA 器件,与 Cyclone 系列 FPGA 器件相同,EP1C3 通过一个基于行和列的二维结构来实现用户逻辑。行列间的不同速度级别的相互连接为逻辑阵列块(LAB)和嵌入式存储器块之间提供了信号的相互连接。

在 Cyclone 系列器件中,每个型号器件的资源也不尽相同,其中 EP1C3 的资源如表 2-1 所示。

表 2-1 EP1C3 资源表

器件型号	M4K RAM		PLL	LAB 列	LAB 行
	列	块			
EP1C3	1	13	1	24	13

EP1C3 具有 13 个 M4K RAM,被分成 1 列,1 个 PLL,被分组的 24 个 LAB 列和 13 个 LAB 行。

在 EP1C3 器件中的逻辑阵列是由逻辑阵列块(LAB)组成,每个逻辑阵列块又由 10 个逻辑单元(LE)组成。逻辑单元是 EP1C3



器件中能够有效实现用户逻辑功能的最小逻辑部件。逻辑阵列块在器件上被分组为行和列的形式。

EP1C3 器件中的 M4K RAM 块结构是一个具有 4Kb 数据存储空间,另外加上 4608 比特校验空间的真正的双端口 RAM。M4K RAM 块可以被用户配置为字宽最高达到 36 位,存储速率最高达到 200MHz 的真正的双端口、简单的双端口、或者单端口存储器。M4K RAM 在器件上被分组为列的形式位于 LAB 之间,或被嵌入到 LAB 中。

EP1C3 器件的 I/O 管脚是由位于器件外设周围的 LAB 行和列的末端的 I/O 单元 (IOE) 驱动的, I/O 管脚支持各种单端和差分 I/O 标准,如 66MHz 的, 32 位的 PCI 标准, 以及最高 311Mbps 的 LVDS I/O 标准。每个 IOE 包含一个双向输入/输出缓冲和三个用于寄存输入, 输出和输出使能信号的寄存器。双用途的 DQS、DQ 和 DM 管脚和延迟链 (用于 DDR 信号相位对齐) 相配合可以为外部存储设备, 如 DDR SDRAM 和 FCRAM 器件提供高达 133MHz(266Mbps) 的接口支持。

EP1C3 器件同时还具有一个全局的时钟网络和锁相环(PLL)。全局时钟网络由 8 个驱动整个器件的全局时钟线组成。全局时钟网络可以为器件内的所有资源提供时钟, 如 IOE, LES 和内存块。全局时钟线也可用于控制信号; 锁相环既可以提供通用的时钟功能, 如时钟倍频和相移, 还可以提供向外部输出的高速差分 I/O 支持。

## 2.1 逻辑阵列块

每个逻辑阵列块 (Logic Array Blocks, LAB) 是由 10 个逻辑单元、LE 进位链、LAB 控制信号、一个本地互连、查找表 (LUT) 链和寄存器链连接线组成。本地互连只能用来在同一个 LAB 中的 LE 之间传输信号; LUT 链连接用来将一个 LE 的 LUT 的输出传送给相邻的 LE, 用于在同一个 LAB 中的 LUT 的快速顺序连接; 寄存器链连接用来在同一个 LAB 中将一个 LE 的寄存器输出传送给相邻的 LE 的寄存器。Quartus II 在编译时, 将相关逻辑布局在一个 LAB 中或者相邻的 LAB 中, 允许使用局部、LUT 链和寄存器链连接来提高 FPGA 器件运行的性能和面积。图 2-1 是 EP1C3 的 LAB 结构图, 也是 Cyclone 系列器件的 LAB 结构。

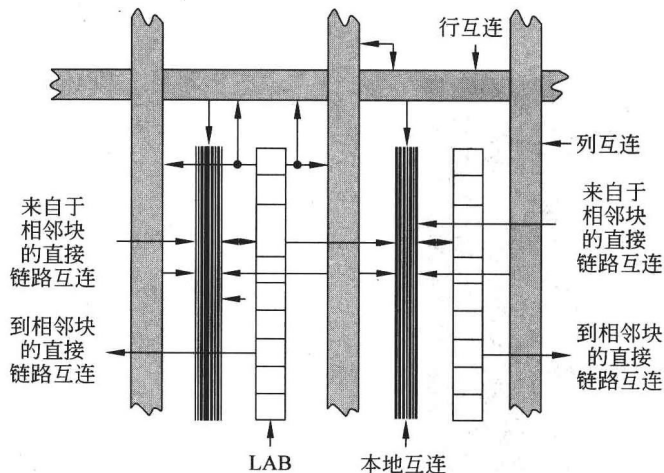


图 2-1 EP1C3 器件 LAB 结构