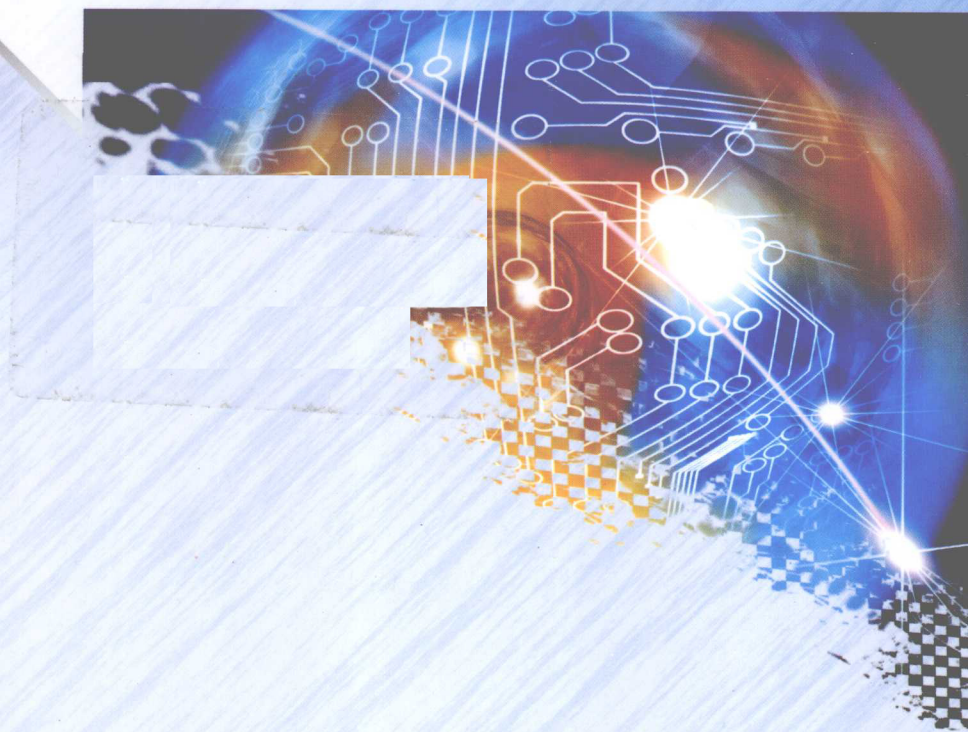


李晓维 韩银和 胡瑜 李佳 著

# 数字集成电路测试优化

——测试压缩、测试功耗优化、测试调度



科学出版社  
www.sciencep.com

# 数字集成电路测试优化

——测试压缩、测试功耗优化、测试调度

李晓维 韩银和 胡瑜 李佳 著

科学出版社

北京

## 内 容 简 介

本书内容涉及数字集成电路测试优化的三个主要方面:测试压缩、测试功耗优化、测试调度。包括测试数据压缩的基本原理,激励压缩的有效方法,测试响应压缩方法和电路结构;测试功耗优化的基本原理,静态测试功耗优化方法,动态测试功耗优化;测试压缩与测试功耗协同优化方法;测试压缩与测试调度协同优化方法;并以国产64位高性能处理器(龙芯2E和2F)为例介绍了相关成果的应用。

全书阐述了作者及其科研团队自主创新的研究成果和结论,对致力于数字集成电路测试与设计研究的科研人员(尤其是在读研究生)具有较大的学术参考价值,也可用作集成电路专业的高等院校教师、研究生和高年级本科生的教学参考书。

### 图书在版编目(CIP)数据

数字集成电路测试优化:测试压缩、测试功耗优化、测试调度/李晓维等著. —北京:科学出版社,2010  
ISBN 978-7-03-027894-4

I. ①数… II. ①李… III. ①数字集成电路-测试技术 IV. ①TN431.207

中国版本图书馆CIP数据核字(2010)第107756号

责任编辑:刘宝莉 / 责任校对:陈玉凤  
责任印制:赵 博 / 封面设计:鑫联必升

科学出版社出版

北京东黄城根北街16号  
邮政编码:100717

<http://www.sciencep.com>

中国科学院印刷厂印刷

科学出版社发行 各地新华书店经销

\*

2010年6月第 一 版 开本:B5(720×1000) 1/16  
2010年6月第一次印刷 印张:22 1/2  
印数:1—3 000 字数:433 000

定价:58.00元

(如有印装质量问题,我社负责调换)

## FOREWORD

The functional complexity resulting from the exponentially increasing number of transistors per chip severely stresses the capabilities of existing test methodologies. Also, the sustained push toward smaller and smaller technology sizes has reached a point where device quality has moved to the forefront of concerns for next-generation designs. Silicon failure mechanisms, such as extreme process variation, increased transistor infant mortality and manufacturing defects, are a growing challenge that threatens the yield and product quality. All these challenges must be addressed in a cost-effective manner—as historical data in the past 30 years have clearly indicated that the test cost has not scaled as well as the manufacturing cost for VLSI chips. This is the reason why the ITRS roadmap has warned that unless fundamental changes to test are made, it may cost more in the future to test a chip than to manufacture it.

The Joint Research Laboratory for Advanced Test Technology at Institute of Computing Technology of Chinese Academy of Science has been a key player in research of next-generation test technologies and has been producing excellent research results on the subjects of test data compression, low power testing, and test integration. These topics are among the most active test R&D subjects in the past decade, and thus the publication of this book is very timely. While some of their specific research results have been published as PhD theses as well as technical papers in various conferences and journals, this book gives a comprehensive and thorough treatment of these subjects in a unified and coherent fashion, which includes clear motivations and definitions of problems addressed, unbiased surveys of state-of-the-art solutions, and in-depth descriptions and comparisons of their new research results. As a result, this book will appeal not just to test researchers but also to researchers and practitioners in a broader electronic design and semiconductor industry, as well as academic institutions.

As design sizes have grown larger and semiconductor manufacturing processes have scaled down to extremely small feature sizes, the amount of test data needed to thoroughly test a chip is growing rapidly. To alleviate this potentially road-blocking issue to further technology scaling, test data compression became

an active research topic in the past decade. State-of-the-art compression schemes can achieve  $10\times$  to  $100\times$  reduction in both tester cycles and data volume which not only significantly reduces the test cost, but also alleviates the limitations imposed by the restricted bandwidth between the tester and the chip IOs. This might sound incredible, considering that Moore's law has been predicting only about  $2\times$  reduction every 12 to 18 months. However, many of the bits in test vectors are don't-care bits, and not every bit in the output responses needs to be observed in every test clock cycle. Test data volume is no longer viewed as a road-blocker, thanks to the advances in test compression architectures, algorithms, and tools developed in the recent past. Due to this progress, commercially available solutions to this problem have successfully established a beachhead among designers. For this reason the coverage of this topic in this book is particularly timely. Chapters 2 and 3 have done an admirable job of reviewing the problems and describing the underlying technologies that are used to solve them.

Generally, a system chip consumes more power in the test mode than in the functional mode. This increased power usage is caused by several reasons which include the high switching activities of internal nodes during testing, the practice of parallel testing for test time reduction, and the lower-than-normal cycle-to-cycle correlations of patterns used for testing. This extra power consumption could potentially damage a defect-free chip during testing and thus cause unnecessary yield loss on the production line and ultimately reduces manufacturers' gross margins. Even if the chip is not permanently damaged, testing devices exceeding their power specification would likely degrade the devices' lifetime reliability. The best way to avoid such test power problems is to incorporate power-aware testing techniques in the DFT, ATPG and test compression processes. One strength of this book is the breadth of coverage of the low power testing problem in Chapters 4 to 7 which includes fast power estimation, test power minimization for both dynamic and static power consumption, and test compression and test power co-optimization.

Design and deployment of efficient and cost-effective test access for internal cores is one of the key elements for testing highly complex, heterogeneous system chips. Test access mechanisms (TAMs) and test wrappers are now commonly used in modern SOC test access architecture. TAMs deliver pre-computed tests to cores within the chip, while test wrappers convert the tests into patterns that are directly applicable to the cores. There is enormous flexibility, as well as com-

---

plexity, in the design of TAM architectures, the optimization of core wrappers, and the test scheduling. The overall goal of test integration is to minimize the testing time, the area costs, and the power consumption during testing. The authors have done a superb job in Chapters 8 and 9 which cover the existing solutions to these problems as well as the results of their ideas on interleaved test scheduling and test flow optimization.

Another unique aspect of this book is the case study on the high-performance general purpose microprocessors Godson-2E and Godson-2F. Various DFT technologies have been applied and thoroughly analyzed in this case study which offers great insight to the benefits, as well as tradeoffs, of DFT.

This book is timely and suitable for either test professionals seeking to better understand the mechanics of test data compression, low power testing, and test integration, or for researchers who wish to investigate well-motivated test research problems outlined in each chapter of the book .

Kwang-Ting (Tim) Cheng(郑光廷)  
Univ. of California, Santa Barbara  
December 1, 2009

## 前 言

测试是集成电路的关键技术之一,是集成电路质量保障的主要技术手段。在集成电路芯片广泛应用于电子信息系统、产品质量要求日益提高的大趋势下,为尽量减少芯片制造中产生的故障可能导致的信息系统失效、经济损失甚至灾难性后果,对芯片故障的快速、可靠和精确测试的需求越来越高。

本书是首次全面论述数字集成电路测试优化方法的学术著作,以测试“优化”为主线,汇集了2001年以来中国科学院计算技术研究所数字集成电路测试方法学研究中取得的自主创新的重要研究成果和结论。内容涉及数字集成电路测试优化的三个主要方面:测试压缩、测试功耗优化和测试调度。

全书共分11章,其中技术内容可分为三大部分。第一部分(第2~3章)为测试压缩,从测试激励压缩和测试响应压缩两个角度论述激励压缩的有效方法和解压缩电路结构。第二部分(第4~7章)为测试功耗优化,论述静态测试功耗优化、动态测试功耗优化、测试压缩与测试功耗的协同优化。第三部分(第8~10章)为测试调度,论述系统芯片的测试调度、测试向量集与测试流程优化,并以国产64位高性能处理器(龙芯2E和2F)为例介绍了测试优化成果的应用。

本书的主要技术内容汇集了李晓维研究员2001年以来指导的博士生(韩银和、徐勇军、李佳、王达等)和硕士生(董婕、文科等)的学位论文工作的部分成果,以及与两位博士后(胡瑜、王伟)合作研究的成果。部分研究成果已经在本领域相关学术刊物和学术会议上发表。本书由李晓维研究员主持撰写,韩银和博士参与了第2、3章内容的整理,胡瑜博士、李佳博士、王伟博士参与了第4~9章内容的整理,王达博士参与了第10章内容的整理。中国科学院计算技术研究所李华伟研究员审阅了全部书稿,美国UCSB计算机系主任郑光廷教授撰写了序言。在此表示衷心的感谢。

本书汇集的部分科研成果是在国家重点基础研究发展计划(973)课题“高性能处理芯片的设计验证与测试”(2005CB321605)、国家自然科学基金重点项目“数字VLSI电路测试技术研究”(60633060)和“从行为级到版图级的设计验证与测试生成”(90207002)等资助下完成的。本书的出版获得了中国科学院科学出版基金的资助。研究过程中得到了中国科学院计算技术研究所李国杰院士、闵应骅研究员、胡伟武研究员、李忠诚研究员等领导和同事的关心和支持,得到了清华大学杨士元教授、香港中文大学徐强博士、宁波大学夏银水教授、合肥工业大学梁华国教授等同行的支持和帮助,在此表示衷心的感谢。

由于作者水平和经验有限,书中难免存在疏漏之处,恳请读者批评指正。

# 目 录

## FOREWORD

### 前言

<b>第 1 章 绪论</b> .....	1
1.1 测试优化方法简介 .....	3
1.2 测试优化中的关键问题 .....	6
1.2.1 测试压缩中 X 位的处理 .....	6
1.2.2 快速功耗估计与测试功耗优化 .....	7
1.2.3 测试外壳设计与测试调度算法 .....	8
1.3 本书章节组织结构.....	10
参考文献 .....	12
<b>第 2 章 测试激励压缩</b> .....	13
2.1 测试激励压缩.....	13
2.1.1 测试激励数据中的 X 位 .....	15
2.1.2 激励压缩中的相关术语 .....	16
2.1.3 激励压缩方法分类 .....	19
2.2 基于 Variable-Tail 编码的压缩方法 .....	25
2.2.1 激励压缩中的编码设计 .....	25
2.2.2 Variable-Tail 编码 .....	27
2.2.3 实验及分析 .....	31
2.3 周期可重构测试压缩方法.....	34
2.3.1 周期可重构技术及解压缩电路结构 .....	34
2.3.2 周期可重构 MUX 网络的自动综合算法 .....	37
2.3.3 测试压缩率分析 .....	39
2.4 本章小结.....	42
参考文献 .....	42
<b>第 3 章 测试响应压缩</b> .....	45
3.1 测试响应压缩.....	45
3.1.1 响应压缩中的相关术语 .....	47
3.1.2 时间维和空间维混合压缩和未知位 .....	48
3.2 时空维混合压缩方法.....	49



3.2.1	失效芯片中错误位分布及卷积编码	50
3.2.2	改进的 $(n, n-1, m, d)$ 卷积码设计	52
3.2.3	压缩电路的两种不同实现形式	55
3.3	未知位容忍技术	57
3.4	诊断设计	63
3.5	混淆率方面的一些实验结果	64
3.6	激励压缩和响应压缩的结合——商业 EDA 工具分析	66
3.7	本章小结	70
	参考文献	70
<b>第 4 章</b>	<b>动态功耗估计</b>	<b>73</b>
4.1	动态功耗模型	73
4.1.1	动态功耗来源	73
4.1.2	跳变功耗模型	76
4.1.3	UMCF 电路模型	77
4.2	功耗敏感性分析	79
4.2.1	功耗敏感性分析方法	79
4.2.2	动态功耗敏感性分析	84
4.2.3	静态功耗敏感性分析	85
4.2.4	敏感性分析应用	86
4.3	冒险共振及应用	87
4.3.1	冒险叠加现象	88
4.3.2	状态空间压缩	91
4.3.3	实验及分析	92
4.4	上电瞬态功耗估计	94
4.4.1	电源门控方法	95
4.4.2	上电电流模型	96
4.4.3	遗传算法优化方法	98
4.4.4	实验及分析	99
4.5	体系结构级功耗估计	101
4.5.1	体系结构级功耗估计	102
4.5.2	体系结构级功耗模型	104
4.5.3	实验及分析	105
4.6	动态测试功耗估计	108
4.6.1	相关术语	108
4.6.2	动态测试功耗计算模型	109
4.7	本章小结	110

参考文献	110
<b>第 5 章 动态测试功耗优化</b>	113
5.1 扫描测试功耗问题	113
5.2 移位与捕获测试功耗	115
5.2.1 移位测试功耗分析	115
5.2.2 捕获测试功耗分析	118
5.3 动态测试功耗优化方法分类	121
5.4 基于扫描链调整的动态测试功耗优化	123
5.4.1 基于可测试性设计的测试功耗优化方法相关研究	123
5.4.2 扫描单元分组连接技术	126
5.4.3 扫描链划分与排序技术	130
5.4.4 移位功耗优化效果及硬件开销实验数据分析	134
5.5 基于测试向量调整的动态测试功耗优化	138
5.5.1 基于测试向量填充的动态测试功耗优化	138
5.5.2 基于测试向量排序的动态测试功耗优化	157
5.6 本章小结	163
参考文献	163
<b>第 6 章 静态测试功耗优化</b>	167
6.1 静态功耗模型	167
6.2 静态功耗估计	168
6.2.1 静态功耗堆栈效应	169
6.2.2 静态功耗查表估计法	171
6.2.3 模拟器实现及验证	172
6.3 静态测试功耗优化	174
6.3.1 基于 X 位的漏电流优化技术	175
6.3.2 扫描功耗门锁	180
6.4 本章小结	187
参考文献	187
<b>第 7 章 测试压缩与测试功耗协同优化</b>	190
7.1 基于随机访问扫描设计的协同优化	190
7.1.1 CSCD 设计	190
7.1.2 效果分析	197
7.1.3 实验及分析	199
7.2 基于测试向量填充的协同优化	202
7.2.1 主流编码测试压缩技术	203
7.2.2 低功耗测试压缩基础	206

7.2.3	基于选择编码方案的低功耗测试压缩方案	207
7.2.4	实验及分析	216
7.3	基于 Variable-Tail 编码的协同优化	218
7.3.1	测试压缩率优化	219
7.3.2	测试中移位功耗的优化	220
7.3.3	测试数据压缩和测试功耗的协同优化	221
7.4	基于芯核并行外壳设计的协同优化	223
7.4.1	芯核测试外壳设计	224
7.4.2	串行测试外壳设计的代价	225
7.4.3	扫描切片重叠和部分重叠	227
7.4.4	并行外壳设计方法	229
7.4.5	实验及分析	235
7.5	本章小结	237
	参考文献	238
<b>第 8 章</b>	<b>系统芯片的测试调度</b>	242
8.1	系统芯片测试简介	242
8.2	测试访问机制	244
8.2.1	基于总线的测试访问机制	244
8.2.2	基于片上网络的测试访问机制	245
8.3	基于双核扫描链平衡的测试调度	246
8.3.1	基于总线的测试调度相关研究	246
8.3.2	扫描链平衡设计	247
8.3.3	基于双核扫描链平衡的测试调度方法	248
8.4	基于片上网络的交错式测试调度	255
8.4.1	片上网络测试相关工作介绍	255
8.4.2	低功耗片上网络测试调度	259
8.4.3	实验及分析	267
8.5	本章小结	271
	参考文献	272
<b>第 9 章</b>	<b>测试向量集与测试流程优化</b>	275
9.1	引言	275
9.2	测试向量集优化	276
9.2.1	固定型故障测试向量生成	276
9.2.2	时延故障测试向量生成	277
9.2.3	非压缩模式下的测试向量集优化	282
9.2.4	压缩模式下的测试向量集优化	284

9.3 测试流程优化 .....	285
9.3.1 测试项目有效性 .....	286
9.3.2 测试流程优化算法 .....	287
9.3.3 实验及分析 .....	288
9.4 本章小结 .....	289
参考文献 .....	290
<b>第 10 章 测试优化技术在龙芯通用处理器中的应用 .....</b>	<b>291</b>
10.1 通用处理器 DFT 面临的挑战 .....	291
10.2 测试优化技术在龙芯 2E 中的应用 .....	292
10.2.1 DFT 方案设计总体框架结构 .....	293
10.2.2 扫描设计 .....	293
10.2.3 存储器内建自测试 .....	294
10.2.4 测试向量产生 .....	296
10.2.5 边界扫描设计 .....	300
10.3 测试优化技术在龙芯 2F 中的应用 .....	302
10.3.1 龙芯 2F 高性能通用处理器的测试难点 .....	303
10.3.2 龙芯 2F 可测试性设计结构 .....	304
10.3.3 支持实速测试的可测试性时钟电路设计 .....	305
10.3.4 实速测试的测试生成 .....	310
10.3.5 扫描与混合测试压缩结构设计 .....	314
10.3.6 嵌入式存储器内建自测试与诊断电路设计 .....	317
10.3.7 边界扫描结构设计 .....	319
10.3.8 测试功耗控制结构设计 .....	320
10.3.9 测试向量生成与测试结果分析 .....	321
10.3.10 与主流处理器 DFT 比较 .....	324
10.4 本章小结 .....	327
参考文献 .....	327
<b>第 11 章 总结与展望 .....</b>	<b>329</b>
11.1 总结 .....	329
11.2 展望 .....	333
11.2.1 测试压缩 .....	333
11.2.2 测试功耗优化 .....	333
11.2.3 测试调度 .....	334
参考文献 .....	335
<b>索引 .....</b>	<b>336</b>

# 第 1 章 绪 论

数字集成电路(integrated circuit, IC)特征尺寸现已进入纳米尺度,片上晶体管数目已达到十亿量级,芯片工作频率已升至几千兆赫兹,测试已成为集成电路设计制造链中最具挑战性的环节之一。根据 1997 年美国半导体行业协会编制的《半导体技术发展报告》(The National Technology Roadmap for Semiconductors, NTRS)预测<sup>[1]</sup>,到 2012 年集成电路的测试成本将与制造成本持平。集成电路测试是指向待测电路(circuit under test, CUT)施加测试激励并捕获(capture)测试响应,比较实际响应与期望响应之间是否存在差异,如果存在差异则表明被测电路有故障。其主要目的是找出由于制造过程中的缺陷而导致故障的芯片,避免故障芯片流入市场,同时尽量减少将无故障芯片误判为故障芯片。其中,根据故障模型为 CUT 产生测试向量的过程称为确定性测试生成(test generation)。

为了降低数字集成电路测试复杂度与测试成本并且提高测试质量,20 世纪 70 年代提出了可测试性设计(design for testability, DFT)的概念,即在集成电路设计的早期阶段就考虑测试的需求,在电路设计中增加有助于测试的电路。扫描设计(scan design)、边界扫描设计(boundary scan design, BSD)和内建自测试(built-in self-test, BIST)设计等是工业界已广泛采用的 DFT 技术。

扫描设计是指将 CUT 中的时序单元,如触发器和锁存器,转换为扫描触发器之后,级联成扫描链(scan chain),使得测试激励能够串行移入扫描链并且测试响应能够串行移出扫描链,从而将复杂的时序测试生成问题转化为较简单的组合测试生成问题,不仅可以降低测试生成复杂度,还能提高故障覆盖率(fault coverage)。边界扫描设计是指在芯片的 I/O 引脚与内部核心电路之间增加边界扫描单元,并串联成边界扫描链,通过测试访问端口控制器对边界扫描链进行控制,以实现芯片引脚状态的串行设定和读取。边界扫描设计克服了传统探针接触测试点面临的困难,已经形成 IEEE 1149.1 标准(也称 JTAG 标准),是一种主流的 DFT 技术。BIST 设计则是把测试向量生成和测试响应分析功能做到了电路内部,不仅减少了对外部自动测试仪(automatic test equipment, ATE)的依赖,还能为高速电路提供实速测试(at-speed testing)。根据设计电路的不同类型,BIST 设计分为逻辑内建自测试(logic BIST, LBIST)设计和存储器内建自测试设计,其中存储器内建自测试(memory BIST, MBIST)设计是目前嵌入式存储器测试的主流技术。

一方面,传统的 DFT 和测试生成技术已经取得成熟应用,在商业电子设计自动化(electronic design automation, EDA)工具支持下,能够直接在集成电路设计

过程中实现。另一方面,新工艺技术的发展使 DFT 和测试生成技术面临着许多新的挑战。首先,晶体管数量和故障模型的增加导致测试数据量急剧膨胀。由于 ATE 的存储容量是很有限的,其增长速度很难跟得上测试数据量的增长,当 ATE 测试通道的存储深度小于测试数据量时,多次向 ATE 载入测试数据所花费的时间将是难以接受的。其次,ATE 的测试通道数和芯片的 I/O 引脚数都是有限的,因此限制了可用于扫描测试的引脚数。据文献[2]预测(见图 1.1),到 2014 年每管脚对应的晶体管数将超过 120 000,这意味着时序单元将级联成更长的扫描链,导致更长的测试时间。此外,越来越先进的低功耗设计与越来越高的工作频率,使测试功耗面临更加苛刻的限制。

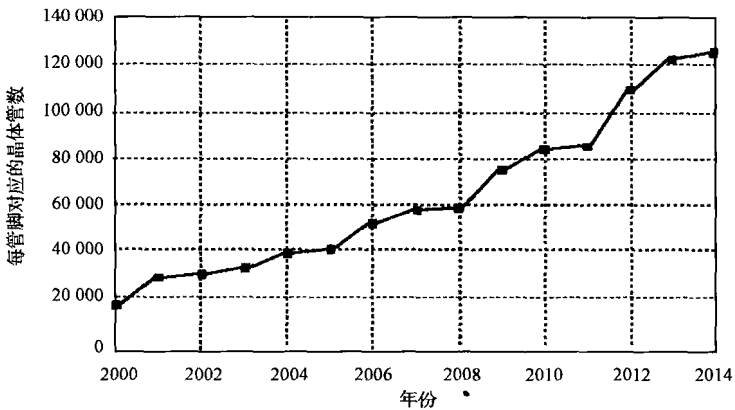


图 1.1 晶体管数与芯片引脚数的关系

除了传统的 DFT 和测试生成技术面临着许多新的挑战,设计方法学的发展也为测试带来了严峻的挑战。每 12 个月,芯片的集成度提高 58%,而设计能力只提高 21%,制造能力与设计能力的差距不断扩大<sup>[1]</sup>。为了减小制造与设计之间的差距,必须采用新的设计方法学:通过复用经过验证的电路功能模块,加上一些自定义逻辑以及胶合逻辑,来构成整个芯片设计,缩短芯片设计周期。当复用电路功能模块的单一芯片能够实现一个完整的复杂系统时,该芯片就被称为系统芯片(system-on-chip, SoC),而那些可复用的经过验证的电路功能模块,则被称为芯核(core)。由于复用芯核可快速构建系统,因此基于芯核的 SoC 设计方法一经提出,就得到了集成电路设计商、EDA 厂商和无晶圆半导体公司的热烈响应。Dataquest 调查表明,仅在 2000 年,芯核市场的增长率就达到 40.1%。芯核种类也日益丰富,例如微处理器核、存储器核、数字信号处理核、各种外设协议接口核、音视频解码器等多媒体核,以及以太网控制器核等与网络处理相关的芯核。据预测,到 2015 年 SoC 将达到万亿级(tera-scale)的计算能力,而且在一个芯片内将包含数百

上千个芯核。如何在较短的时间内完成 SoC 内部众多芯核的测试,是测试调度迫切需要解决的问题。

因此,发展原有的 DFT 和测试生成技术,采用测试压缩(test compression)、低功耗测试(low power testing)和测试调度(test scheduling)等测试优化方法,以减小测试数据量、降低测试功耗并缩短测试时间,已成为近年来数字集成电路测试领域的研究热点。

## 1.1 测试优化方法简介

首先,我们简要介绍芯片设计的主要步骤,以便说明测试优化在芯片设计中所处阶段以及所针对的优化目标。图 1.2 为芯片设计的典型流程,为清晰起见,我们在此图中忽略了一些与设计验证和参数分析相关的步骤,例如设计验证、设计规则检查、静态时序分析和互连线参数提取等。此外,用灰色框突出显示了与 DFT 和测试生成相关的步骤。

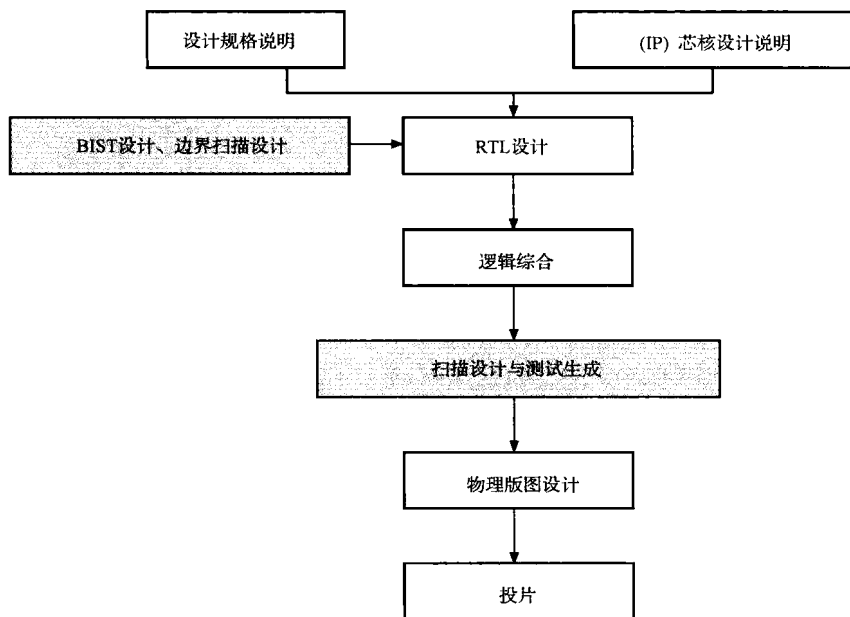


图 1.2 芯片设计的典型流程

由于传统 DFT 和测试生成技术在新工艺下面临着测试数据量庞大、测试时间过长和测试功耗过高等严峻挑战,因而工业界和学术界的研究人员提出了各种测试优化方法,以期在不降低测试质量的前提下,通过控制测试数据量、测试功

耗和测试时间,尽量减小测试成本。这些测试优化方法有的是在寄存器传输级(register-transfer level,RTL)设计阶段——例如测试访问机制(test access mechanism,TAM)与芯核测试外壳(test wrapper)设计,有的是在扫描设计与测试向量生成阶段——例如随机访问扫描结构(random access scan,RAS)设计与测试向量集(test set)优化,有的是在生成测试向量后对向量进行处理——例如测试压缩中的编码方案,而有的则位于芯片测试阶段——例如测试调度与测试流程优化(test flow optimization)。

在诸多测试优化方法中,测试压缩方法主要是针对测试数据量,低功耗测试方法则主要针对测试功耗,而测试调度方法主要是针对测试时间进行优化。值得注意的是,这些方法在解决各自主要矛盾的同时,也试图或多或少地对另外一项或者两项目标进行优化。如图 1.3 所示,箭头指向的是优化目标,粗线表明了各个测试优化方法的主要优化目标。

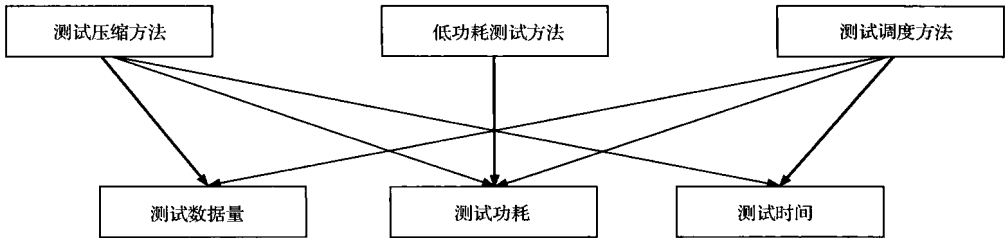


图 1.3 测试优化方法与目标

根据测试向量可以分为测试激励和测试响应,测试压缩相应地分为测试激励压缩和测试响应压缩。在测试激励向量(test vector)中,并非所有比特(bit)位都能提供有用信息,某些位取值为“0”或为“1”,并不影响测试向量的故障覆盖率,因而可对其适当赋值以有利于进行测试压缩,通常将这些位称为无关位(don't-care bit,X 位)。研究表明,X 位在测试激励向量中的比重可达 95%以上。测试激励向量中 X 位的产生和测试生成算法有关,在测试生成算法中,由于采用通路敏化,只有那些和敏化通路相关的原始输入(primary input,PI)才需要赋确定值,其他的原始输入无论取何逻辑值都不影响对当前故障的覆盖,因此为 X 位。为了减少测试向量的个数,测试生成算法通常使用静态或动态压缩技术,对 X 位进行随机填充。因此,测试生成算法对向量个数的压缩会直接影响 X 位的个数。一般而言,测试数据压缩与测试生成压缩之间是一种“此长彼消”的关系。根据是否与测试生成过程相结合,测试激励压缩方法可以分成两类。一类是在测试生成之后,对已生成的测试向量进行测试压缩,并在芯片上设计相应的解压缩电路;另一类方法是在测试生成过程中协同测试压缩,即在产生测试向量的时候,就考虑解压缩电路的结构,分析所产生的测试向量能否由解压缩电路产生。如果不可解,则舍弃这样的向量。



第二类方法由于将测试压缩和测试生成结合在一起, X 位能得到更有效的利用, 因此, 能更好地压缩测试数据量, 但由于需要了解待测电路的结构信息, 只能应用于软核。主流的商业 EDA 工具都已经将测试压缩结构增加到可测试性设计流程中, 例如 Cadence 公司的 OPMISR+, Mentor Graphics 公司的 TestKompress, Synopsys 公司的 DFT MAX, SynTest 公司的 VirtualScan 和 UltraScan, LogicVision 公司的 ETCompression 等。而第一类方法由于不需要知道电路的细节, 对于各类芯核(软核、固核和硬核)的测试数据压缩都是非常适用的, 这也是本书主要讨论的测试激励压缩方法。

与测试激励向量相对应, 被测电路对每一个测试激励向量都将产生一个测试响应向量。如果测试激励数据量大, 显然测试响应的数据量也大。相对于测试激励中的 X 位, 测试响应中可能存在的 X 位(未知位, unknow bit)是测试向量在故障模拟阶段尚无法确定值的位, 这些 X 位有可能导致测试覆盖率(test coverage, TC)降低。因而需要在响应压缩过程中考虑降低 X 位的不良影响。此外, 现已提出的响应压缩方法通常属于信息有损的压缩。根据不同的划分原则, 我们可以将响应压缩按照时间与空间、电路功能相关与电路功能无关、线性与非线性、组合与时序来划分。

与电路功能模式下的电路功耗分为静态功耗(static power)和动态功耗类似, 在测试模式下, 电路功耗主要分为静态测试功耗与动态测试功耗。静态测试功耗是测试模式下电路中各结点的逻辑状态处于静止状态时电路的功耗, 主要指电路中漏电流引起的功耗。动态测试功耗是测试模式下电路中各结点状态翻转导致的充放电功耗以及结点内部晶体管瞬间导通功耗的总和。在现有互补金属氧化物半导体(complementary metal-oxide semiconductor, CMOS)工艺条件下, 动态测试功耗仍是电路功耗的主要组成部分。研究表明测试过程中的动态功耗可能达到正常功能模式下功耗的两倍以上, 主要原因有四项: 一是由于低功耗设计是将正常功能模式下处于闲置状态的电路置于低功耗模式, 而正常功能模式下的低功耗设计在测试模式下并未被利用; 二是电路结点的高信号翻转率有助于测试效率的提高, 因此测试模式下电路结点的信号翻转率通常比正常功能模式下高出数倍; 三是正常功能模式下电路的输入向量之间通常存在明显的相关性, 而测试模式下向量之间的关联通常非常小; 四是并行测试方法虽然能够缩短测试时间, 但将大幅提高测试功耗。一方面不断升高的平均测试功耗将导致芯片测试过程中温度持续升高, 可能带来芯片封装成本的提高, 或者是可能导致芯片衬底、连线的结构性损坏; 另一方面, 过高的峰值测试功耗将带来严重的电压降(IR-drop)及相应的噪声问题, 发生误测试, 这在实速测试中是尤其需要注意的问题。

对于采用芯核复用的 SoC 设计, 由于芯核通常没有直接和 SoC 引脚相连, 为了可观测和可控制深嵌在芯片中的芯核, 需要设计 TAM 传递测试数据。显而易