

潘桂忠 编著 孙吉伟 任 翀 审核

MOS

集成电路 结构与制造技术

JICHENG DIANLU
JIEGOU YU
ZHIZAO JISHU

- PMOS集成电路结构与制造技术
- NMOS集成电路结构与制造技术
- P-Well CMOS集成电路结构与制造技术
- N-Well CMOS集成电路结构与制造技术
- 亚微米/深亚微米CMOS集成电路结构与制造技术
- 低压/高压兼容CMOS集成电路结构与制造技术
- BiCMOS集成电路结构与制造技术
- 低压/高压兼容BiCMOS集成电路结构与制造技术
- 低压/高压兼容BCD集成电路结构与制造技术

上海科学技术出版社



易文网
www.ewen.cc



上海科学技术出版社
www.sstp.cn

责任编辑 朱 剑
封面设计 房惠平

上架建议：电子技术

ISBN 978-7-5323-9990-1



9 787532 399901 >

定价：68.00元

MOS 集成电路

结构与制造技术

潘桂忠 编著
孙吉伟 审核
任 翀

上海科学技术出版社

图书在版编目(CIP)数据

MOS 集成电路结构与制造技术/潘桂忠编著. —上海:
上海科学技术出版社, 2010. 1

ISBN 978-7-5323-9990-1

I. M... II. 潘... III. MOS 集成电路 IV. TN432

中国版本图书馆 CIP 数据核字(2009)第 182543 号

上海世纪出版股份有限公司 出版、发行

上海科学技术出版社

(上海钦州南路 71 号 邮政编码 200235)

新华书店上海发行所经销

苏州望电印刷有限公司印刷

开本 787×1092 1/16 印张 28

字数:600 千字

2010 年 1 月第 1 版 2010 年 1 月第 1 次印刷

印数:1-3 250

ISBN 978-7-5323-9990-1/TN·106

定价 68.00 元

本书如有缺页、错装或损坏等严重质量问题,
请向工厂联系调换

内 容 提 要

本书利用集成电路剖面结构技术,系统地介绍 MOS 集成电路结构和典型集成电路制造技术,包括 PMOS (E/E 型、E/D 型)、NMOS (E/E 型、E/D 型)、CMOS (P-Well、N-Well、Twin-Well)、LV/HV 兼容 CMOS、BiCMOS、LV/HV 兼容 BiCMOS 以及 LV/HV 兼容 BCD。书中描绘出组成各种集成电路的各种元器件工艺剖面结构,从而建立了元器件工艺剖面结构中高达 120 余种的基本单元库。根据基本单元库描绘出高达 360 余种电路芯片工艺剖面结构。然后根据电路芯片工艺剖面结构和制造技术,介绍了 40 余种典型集成电路制造技术,并描绘出工艺制程中各个工序的平面结构和工艺剖面结构。如此深入地展示电路芯片工艺剖面结构,有助于电路设计、芯片制造、良率提高、产品质量改进、电路失效分析等。

本书技术含量高,非常实用,可作为从事 MOS 集成电路设计、制造等方面工程技术人员的参考资料或者是公司员工培训的教材,也可以作为微电子专业高年级本科生的重要参考书,同时可供信息领域其他专业的学生和相关科研人员、工程技术人员参考。

集成电路各种剖面结构和工艺制程图示的复制引用,转载时,必须得到本版权所有者的同意,否则将依法追究责任。

前 言

MOS 集成电路结构与制造技术是根据编者近 50 年从事 MOS LSI/VLSI 技术和各种芯片解剖的多年实际工作经验,进行整理、归纳、编辑,并参考了国内外有关电路芯片结构编写而成。为了直观显示出 MOS 集成电路结构与制造技术,全书各章节都采用剖面结构示意图;同时为了突出 MOS 集成电路结构与制造技术,本书不叙述构成集成电路的各种元器件工作原理、相关特性、数学公式以及电气特性等,相关内容请参阅本书后面附录 I 中的参考资料。

50 多年来,集成电路按照摩尔定律高速地向前发展,现今已进入 ULSI 时期,45nm 特征尺寸十几亿个元件集成度,12in 晶圆的采用,显示出集成电路的最新成果。表 0-1 显示出工艺技术的深刻变化,使得集成电路的设计和制造周期越来越长,电路芯片剖面结构越来越复杂,遇到的和要解决的问题愈来愈多。这就需要电路设计和晶圆制造紧密地配合和不断地沟通,剖面结构技术提供了一种有用的途径。

表 0-1 工艺技术演变

工 艺	技 术 进 展
■ 技术	PMOS → NMOS → CMOS → BiCMOS → BCD
■ 晶圆尺寸	2in → 3in → 4in → 5in → 6in → 8in → 12in
■ 衬底	N - Si < 100 > → P - Si < 100 > → Pepi/P+ - Si < 100 >
■ 阱	无阱 → P - Well → N - Well → Twin - Well → 逆向 Twin - Well
■ 隔离	平面场 SiO ₂ → LOCOS → STI
■ 栅电极	金属铝 → 多晶硅 → 硅化物/多晶硅
■ 栅介质	SiO ₂ → SiON → 铪基介质
■ 栅特征尺寸	几微米 → 亚微米 → 深亚微米 → 纳米
■ 源漏区	P+ → N+ → P+/N+ → TiSi ₂ /P+, TiSi ₂ /N+
■ Poly 层数	1 层 → 2 层 → 3 层
■ 互连金属 (铝,铜)层数	1 层 → 2 层 → 3 层
■ 集成度	10 ¹ → 10 ² → 10 ³ → 10 ⁴ → 10 ⁵ → 10 ⁶ → 10 ⁷ → 10 ⁸ → 10 ⁹ → 10 ¹⁰
■ 电源电压(U _{DD})	[- (20 - 9V)] → 5V → 3.3V → 2.5V → 1.2V

MOS 集成电路结构指的是芯片剖面结构。首先,利用计算机和它所提供的软件,并选取各层适当的尺寸,设计出构成集成电路的各种元器件剖面结构,建立起基本单元库。然后由选择基本单元库中元器件,依一定适当方式排列并拼接起来,构成电路芯片剖面结构。最后,根据该芯片剖面结构和制造技术,确定出电路芯片工艺制程,并描绘出工艺制程中各个工序的剖面结构和平面结构。我们把上述称为剖面结构技术,如图 0-1 所示。芯片制造技术工程师将剖面结构技术与电路设计工程师所设计的电路相结合,描绘出电路芯片剖面结构和工艺制程剖面结构示意图,这有助于设计与制造之间各种技术问题的讨论,使得电路设

计和制造技术得到紧密的结合。

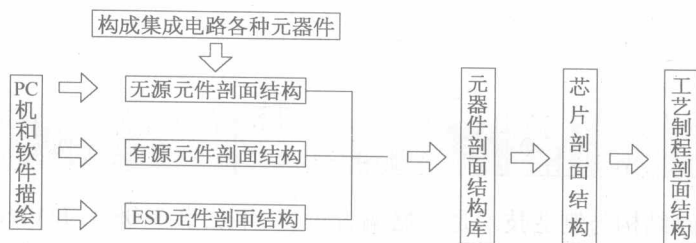


图 0-1 剖面结构技术

电路设计和晶圆芯片制造之间,一般由工艺技术人员提供设计规则和各种器件模型参数作为电路设计的依据,并作为两者之间通常的接口,如图 0-2(A,B)所示。一般来讲,电路设计工程师对其所设计电路的制造技术是不了解的,而工艺技术人员对设计的电路也不了解。为了克服这个问题,在通常的接口中加入芯片剖面结构技术,如图 0-2(B)所示。利用上面所述的剖面结构技术,会使电路设计和制造技术紧密地结合并具有直观显示效果。

电路功能是根据客户的要求进行设计,而电路性能是根据电路结构和构成电路的各种元器件模型参数来决定的。电路设计完成后得到的电路芯片功能和电气性能都必须达到设计指标。利用 CAD 技术,将设计电路中所有元器件及其相互连接转换为几何图形,即电路图形转变为电路版图,这就是版图设计。由此可得到电路芯片制造所用的一套掩模版(MASK)。它确定了电路芯片平面结构与横向尺寸,而工艺制程则不仅决定了电路芯片剖面结构与纵向尺寸,而且确定了电路功能和电气性能。剖面纵向尺寸如图 02-(C)所示。该尺寸与栅氧化膜厚度 T_{g-ox} 、有效沟道长度 L_{eff} 、阈值电压 U_t 、杂质浓度分布 N_s 、源漏结深度 X_j 、薄层电阻 R_s 以及寄生效应(这些都是剖面结构参数)等有关。如果电路设计中采用的器件模型参数不精确,则经制造工艺后所得到电路性能就达不到设计指标。反之,如果电路芯片制造中得到的剖面结构参数不精确,则所得到电路性能也达不到设计指标。所以,电路设计时要采用精确的各种元器件模型参数,而电路芯片制造时要严格按照制程中的工艺规范,得到精确的剖面结构参数。可见器件模型参数与剖面结构参数密切相关。不同晶圆制造厂的工艺制程有差异,导致了电路芯片不同的剖面结构及其纵向尺寸,即便使用相同设计规则设计的一套数字模拟电路掩模版(MASK),制造出的电路芯片电气特性通常也会差异很大。可见芯片剖面结构及其参数在电路设计和晶圆芯片制造中起着十分重要的作用。

不同的剖面结构,就有不同的制造工艺技术、不同的电路设计,不同的电气特性。深入地了解电路芯片剖面结构,对于电路设计、芯片制造、良率提高、产品质量、电路失效分析等都是十分重要。MOS 集成电路结构与制造技术共分 9 章。建立了元器件剖面结构约 120 余个基本单元库,并描绘出约 360 余种电路芯片剖面结构。限于篇幅,仅在每一章最后,选出该章中许多芯片剖面结构中的几种典型电路,介绍其芯片制造技术,并描绘出工艺制程剖面结构和平面结构。

全书各章节中简明扼要地叙述集成电路制造工艺技术概要,其中列表包含工艺技术栏(内容:技术类型,衬底材料,阱,隔离,栅,源漏扩散区,栅特征尺寸, Poly 层数,金属层数以及电源电压等)和 IC 中主要元器件栏(内容:电阻,电容,晶体管,二极管等)组成。从中可

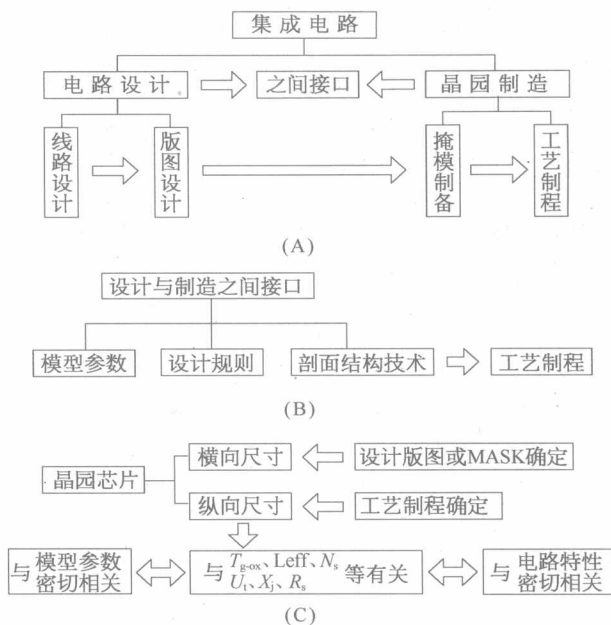


图 0-2 设计与制造之间接口

以看出该技术的主要特征。

根据集成电路的功能、性能、集成度(或档次)以及价格(或性价比)来决定电路设计,采用 $5\mu\text{m}$, $3\mu\text{m}$, $1.2\mu\text{m}$, $0.8\mu\text{m}$, $0.5\mu\text{m}$, $0.25\mu\text{m}$, 以及 $\leq 0.1\mu\text{m}$ 等不同设计技术,形成不同的集成电路剖面结构和制造技术。上述工艺技术栏中使用栅特征尺寸来表示。

书中术语缩写对照,请读者参阅本书后面附录 II。

在第一章中对于简要叙述作了较多说明,但对于直接阅读后面感兴章节的读者会造成不便或难以理解的问题。为此,请读者参阅本书后面附录 III。

限于水平和经验,书中难免存在缺点和错误,殷切希望广大读者提出批评与指正。

作者

目 录

第1章 PMOS 集成电路结构与制造技术	1
1.1 铝栅 E/E 型 PMOS 结构	1
1.2 硅栅 E/E 型 PMOS 结构	3
1.3 铝栅 E/D 型 PMOS 结构	5
1.4 硅栅 E/D 型 PMOS 结构	7
1.5 铝栅 E/E 型 PMOS 工艺制程	9
1.6 硅栅 E/D 型 PMOS 工艺制程	12
第2章 NMOS 集成电路结构与制造技术	17
2.1 E/E 型 NMOS(A) 结构	17
2.2 E/E 型 NMOS(B) 结构	19
2.3 E/D 型 NMOS(A) 结构	21
2.4 E/D 型 NMOS(B) 结构	23
2.5 E/D 型 NMOS(C) 结构	25
2.6 E/D 型 NMOS EPROM 结构	28
2.7 E/D 型 NMOS EEPROM 结构	30
2.8 E/D 型 NMOS DRAM 结构	32
2.9 E/D 型 NMOS SRAM 结构	34
2.10 E/E 型 NMOS(A) 工艺制程	36
2.11 E/D 型 NMOS(A) 工艺制程	40
2.12 E/D 型 NMOS(B) 工艺制程	43
2.13 E/D 型 NMOS SRAM 工艺制程	46
第3章 P-Well CMOS 集成电路结构与制造技术	51
3.1 铝栅 P-Well CMOS(A)[薄场] 结构	51
3.2 铝栅 P-Well CMOS(B)[薄场] 结构	52
3.3 铝栅 P-Well CMOS(A)[厚场] 结构	55
3.4 铝栅 P-Well CMOS(B)[厚场] 结构	57
3.5 铝栅 P-Well CMOS(C)[厚场] 结构	58
3.6 铝栅 P-Well CMOS(D)[厚场] 结构	62
3.7 铝栅 P-Well CMOS(E)[厚场] 结构	64
3.8 硅栅 P-Well CMOS(A) 结构	66
3.9 硅栅 P-Well CMOS(B) 结构	68

3.10	硅栅 P-Well CMOS(C) 结构	70
3.11	硅栅 P-Well CMOS(D) 结构	72
3.12	硅栅 P-Well CMOS(E) 结构	74
3.13	硅栅 P-Well CMOS(F) 结构	76
3.14	铝栅 P-Well CMOS(A)[薄场]工艺制程	79
3.15	铝栅 P-Well CMOS(A)[厚场]工艺制程	82
3.16	铝栅 P-Well CMOS(C)[厚场]工艺制程	86
3.17	硅栅 P-Well CMOS(B) 工艺制程	89
3.18	硅栅 P-Well CMOS(C) 工艺制程	93
3.19	硅栅 P-Well CMOS(E) 工艺制程	96
第 4 章 N-Well CMOS 集成电路结构与制造技术		100
4.1	N-Well CMOS(A) 结构	100
4.2	N-Well CMOS(B) 结构	102
4.3	N-Well CMOS(C) 结构	104
4.4	N-Well CMOS(D) 结构	106
4.5	N-Well CMOS EPROM 结构	108
4.6	N-Well CMOS EEPROM(A) 结构	110
4.7	N-Well CMOS EEPROM(B) 结构	113
4.8	N-Well CMOS Flash(A) 结构	115
4.9	N-Well CMOS Flash(B) 结构	117
4.10	N-Well CMOS SRAM 结构	119
4.11	N-Well CMOS DRAM(A)/(B) 结构	121
4.12	N-Well CMOS DRAM(C)/(D) 结构	123
4.13	N-Well CMOS(C) 工艺制程	126
4.14	N-Well CMOS(D) 工艺制程	130
4.15	N-Well CMOS EPROM 工艺制程	134
4.16	N-Well CMOS EEPROM(A) 工艺制程	137
4.17	N-Well CMOS DRAM(B) 工艺制程	141
4.18	N-Well CMOS SRAM 工艺制程	145
第 5 章 亚微米/深亚微米 CMOS 集成电路结构与制造技术		150
5.1	亚微米 Twin-Well CMOS(SMA) 结构	150
5.2	亚微米 Twin-Well CMOS(SMB) 结构	152
5.3	亚微米 Twin-Well CMOS(SMC) 结构	154
5.4	亚微米 Twin-Well CMOS(SMD) 结构	156
5.5	亚微米 CMOS Mask ROM(SMA) 结构	158
5.6	亚微米 CMOS Mask ROM(SMB) 结构	160
5.7	亚微米 CMOS Mask ROM(SMC) 结构	162

5.8 亚微米 CMOS EEPROM 结构	164
5.9 深亚微米 Twin - Well CMOS(DSMA) 结构	167
5.10 深亚微米 Twin - Well CMOS(DSMB) 结构	169
5.11 深亚微米 Twin - Well CMOS(DSMC) 结构	171
5.12 深亚微米 Twin - Well CMOS(DSMD) 结构	173
5.13 深亚微米 Twin - Well CMOS(DSME) 结构	175
5.14 超深亚微米 Twin - Well CMOS(VDSM) 结构	176
5.15 亚微米 CMOS(SMB) 工艺制程	180
5.16 亚微米 CMOS(SMC) 工艺制程	184
5.17 亚微米 CMOS MASK ROM(SMA) 工艺制程	189
5.18 深亚微米 CMOS(DSMB) 工艺制程	192
5.19 深亚微米 CMOS(DSMC) 工艺制程	195
第 6 章 低压/高压兼容 CMOS 集成电路结构与制造技术	200
6.1 低压/高压兼容 P - Well CMOS(A) 结构	200
6.2 低压/高压兼容 P - Well CMOS(B) 结构	202
6.3 低压/高压兼容 P - Well CMOS(C) 结构	204
6.4 低压/高压兼容 N - Well CMOS(A) 结构	206
6.5 低压/高压兼容 N - Well CMOS(B) 结构	209
6.6 低压/高压兼容 N - Well CMOS(C) 结构	211
6.7 低压/高压兼容 Twin - Well CMOS(A) 结构	213
6.8 低压/高压兼容 Twin - Well CMOS(B) 结构	215
6.9 低压/高压兼容 Twin - Well CMOS(C) 结构	218
6.10 LV/HV 兼容 P - Well CMOS(B) 工艺制程	220
6.11 LV/HV 兼容 P - Well CMOS(B*) 工艺制程	225
6.12 LV/HV 兼容 N - Well CMOS(B) 工艺制程	229
6.13 LV/HV 兼容 N - Well CMOS(C) 工艺制程	232
6.14 LV/HV 兼容 Twin - Well CMOS(B) 工艺制程	238
第 7 章 BiCMOS 集成电路结构与制造技术	244
7.1 P - Well BiCMOS[C] - (A) 结构	244
7.2 P - Well BiCMOS[C] - (B) 结构	246
7.3 P - Well BiCMOS[B] - (A) 结构	248
7.4 P - Well BiCMOS[B] - (B) 结构	250
7.5 P - Well BiCMOS[B] - (C) 结构	252
7.6 P - Well BiCMOS[B] - (D) 结构	254
7.7 N - Well BiCMOS[C] - (A) 结构	256
7.8 N - Well BiCMOS[C] - (B) 结构	258
7.9 N - Well BiCMOS[B] - (A) 结构	261

7.10	N - Well BiCMOS[B] - (B) 结构	263
7.11	Twin - Well BiCMOS[C] 结构	265
7.12	Twin - Well BiCMOS[B] - (A) 结构	267
7.13	Twin - Well BiCMOS[B] - (B) 结构	269
7.14	Twin - Well BiCMOS[B] - (C) 结构	271
7.15	Twin - Well BiCMOS[B] - (D) 结构	273
7.16	Twin - Well BiCMOS[B] - (E) 结构	275
7.17	P - Well BiCMOS[C] - (A) 工艺制程	277
7.18	P - Well BiCMOS[B] - (D) 工艺制程	280
7.19	N - Well BiCMOS[C] - (A) 工艺制程	286
7.20	N - Well BiCMOS[B] - (A) 工艺制程	290
7.21	Twin - Well BiCMOS[B] - (A) 工艺制程	293
7.22	Twin - Well BiCMOS[B] - (D) 工艺制程	297
第 8 章 LV/HV 兼容 BiCMOS 集成电路结构与制造技术		303
8.1	低压/高压兼容 P - Well BiCMOS[C] - (A) 结构	303
8.2	低压/高压兼容 P - Well BiCMOS[C] - (B) 结构	305
8.3	低压/高压兼容 P - Well BiCMOS[B] - (A) 结构	307
8.4	低压/高压兼容 P - Well BiCMOS[B] - (B) 结构	309
8.5	低压/高压兼容 N - Well BiCMOS[C] - (A) 结构	311
8.6	低压/高压兼容 N - Well BiCMOS[C] - (B) 结构	313
8.7	低压/高压兼容 N - Well BiCMOS[B] - (A) 结构	316
8.8	低压/高压兼容 N - Well BiCMOS[B] - (B) 结构	318
8.9	低压/高压兼容 Twin - Well BiCMOS[C] - (A) 结构	320
8.10	低压/高压兼容 Twin - Well BiCMOS[C] - (B) 结构	322
8.11	低压/高压兼容 Twin - Well BiCMOS[B] - (A) 结构	324
8.12	低压/高压兼容 Twin - Well BiCMOS[B] - (B) 结构	326
8.13	低压/高压兼容 Twin - Well BiCMOS[B] - (C) 结构	328
8.14	LV/HV P - Well BiCMOS[C] - (A) 工艺制程	330
8.15	LV/HV P - Well BiCMOS[B] - (A) 工艺制程	333
8.16	LV/HV N - Well BiCMOS[C] - (B) 工艺制程	338
8.17	LV/HV N - Well BiCMOS[B] - (B) 工艺制程	343
8.18	LV/HV Twin - Well BiCMOS[B] - (A) 工艺制程	346
8.19	LV/HV Twin - Well BiCMOS[B] - (B) 工艺制程	351
第 9 章 LV/HV 兼容 BCD 集成电路结构与制造技术		356
9.1	低压/高压兼容 P - Well BCD[C] - (A) 结构	356
9.2	低压/高压兼容 P - Well BCD[C] - (B) 结构	358
9.3	低压/高压兼容 P - Well BCD[C] - (C) 结构	360

9.4	低压/高压兼容 P - Well BCD[C] - (D)结构	362
9.5	低压/高压兼容 N - Well BCD[C] - (A)结构	365
9.6	低压/高压兼容 N - Well BCD[C] - (B)结构	367
9.7	低压/高压兼容 N - Well BCD[C] - (C)结构	369
9.8	低压/高压兼容 N - Well BCD[C] - (D)结构	371
9.9	低压/高压兼容 N - Well BCD[C] - (E)结构	373
9.10	低压/高压兼容 N - Well BCD[C] - (F)结构	375
9.11	低压/高压兼容 P - Well BCD[B] - (A)结构	377
9.12	低压/高压兼容 P - Well BCD[B] - (B)结构	379
9.13	低压/高压兼容 P - Well BCD[B] - (C)结构	381
9.14	低压/高压兼容 P - Well BCD[B] - (D)结构	383
9.15	低压/高压兼容 P - Well BCD[B] - (E)结构	385
9.16	低压/高压兼容 P - Well BCD[B] - (F)结构	387
9.17	低压/高压兼容 P - Well BCD[B] - (A1)结构	389
9.18	低压/高压兼容 P - Well BCD[B] - (A2)结构	391
9.19	低压/高压兼容 P - Well BCD[B] - (A3)结构	393
9.20	低压/高压兼容 P - Well BCD[B] - (A4)结构	395
9.21	低压/高压兼容 P - Well BCD[B] - (B *)结构	397
9.22	低压/高压兼容 Twin - Well BCD[C]结构	399
9.23	低压/高压兼容 Twin - Well BCD[B]结构	401
9.24	LV/HV P - Well BCD[C] - (C)工艺制程	403
9.25	LV/HV N - Well BCD[C] - (D)工艺制程	407
9.26	LV/HV P - Well BCD[B] - (F)工艺制程	410
9.27	LV/HV P - Well BCD[B] - (A3)工艺制程	415
9.28	LV/HV P - Well BCD[B] - (B *)工艺制程	419
9.29	LV/HV Twin - Well BCD[B]工艺制程	423
附录 I	参考资料	429
附录 II	术语缩写对照	430
附录 III	简要提示	434

第 1 章 PMOS 集成电路结构与制造技术

在集成电路发展过程中,PMOS 技术最早被采用。它的主要优点是制造工艺简单、技术成熟以及成本低,成为上世纪 60 年代集成电路制造的主流技术;缺点是工作速度低,电源电压高,现早已被淘汰,但 PMOS 是 CMOS 重要组成部分,有必要作些简要的介绍。本章将介绍各种 PMOS 集成电路结构和工艺制程。

1.1 铝栅 E/E 型 PMOS 结构

铝栅 E/E 型 PMOS 集成电路(IC)芯片主要元器件如表 1-1 所示。根据组成元器件的不同,该芯片又分成 A-1、A-2、A-3 等三类。

表 1-1 工艺技术概要和 IC 组成元器件

工艺技术概要		IC 中主要元器件			
			A-1	A-2	A-3
■ 技术	E/E 型 PMOS	■ 电阻	R_{sp+1}, R_{sp+2}	R_{sp-}	R_{spmos}
■ 衬底	N-Si<100>	■ 电容		C_s	C_s
■ 阱		■ 晶体管	PMOS $W/L > 1$ 增强型 PMOS $W/L < 1$ 增强型	PMOS $W/L > 1$ 增强型 PMOS $W/L < 1$ 增强型	PMOS $W/L > 1$ 增强型 PMOS $W/L < 1$ 增强型
■ 隔离	平面场 SiO_2				
■ 栅	Al/ SiO_2				
■ 源漏区	P+				
■ 栅特征尺寸	$5\mu m$				
■ Poly		■ 二极管	P+/N-Sub (剖面图中未画出)		
■ 互连金属	1 层 (AlSi)				
■ 电源 ($-U_{DD}$)	$-(9 \sim 12)V$				

注:表中 PMOS($W/L > 1$)为驱动管,PMOS($W/L < 1$)为负载管。

1.1.1 铝栅 E/E 型 PMOS 工艺技术概要

电路芯片采用铝栅 E/E 型 PMOS 制造工艺来实现。工艺技术概要如表 1-1 所示。制程完成后组成电路的各种元器件剖面结构示意图如图 1-1 所示。N 型硅衬底,厚场氧化,硼热扩散或离子注入形成源漏掺杂区,栅氧化,沟道区 11B+注入,铝栅非自对准,溅射铝等工艺组成铝栅 PMOS 基本工艺制程。从图 1-1 中可以看出,该制程中 N 型硅衬底中硼热扩散或 11B+注入形成 P+ 区为源漏,沟道区不同掺杂浓度硼注入,分别制得 $W/L > 1$ 增强型 PMOS 器件[B], $W/L < 1$ 增强型 PMOS 器件[C]以及 P+ 电阻[D]。制程中产生栅极与 U_{ss} 相连的 $W/L > 1$ 增强型 PMOS 器件和 P+ 电阻构成输入端栅保护结构[A]。制程中可得到 P- 电阻(N 型硅衬底 11B+淡注入)[E],衬底电容 C_s [F]以及 P 沟道电阻[G]等,并以 Al-G/E PMOS LSI 来表示。制程完成后电路芯片剖面结构示意图如图 1-2 所示(钝化层未画出,本书各章节都如此,不再作说明)。

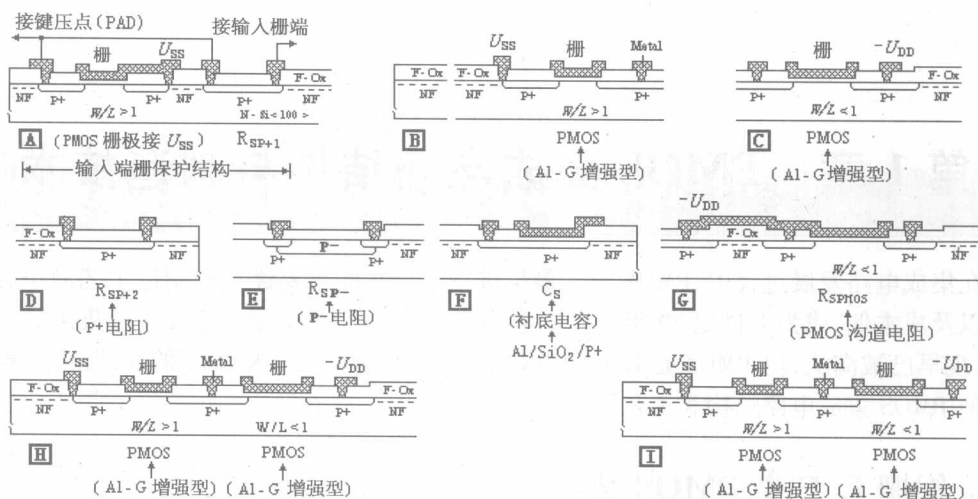
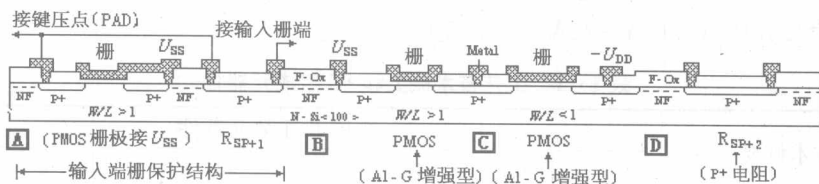
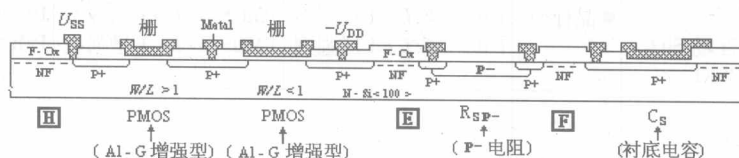


图 1-1 铝栅 E/E 型 PMOS IC 元器件剖面结构基本单元库

A1-G E/E PMOS LSI(A-1)



A1-G E/E PMOS LSI(A-2)



A1-G E/E PMOS LSI(A-3)

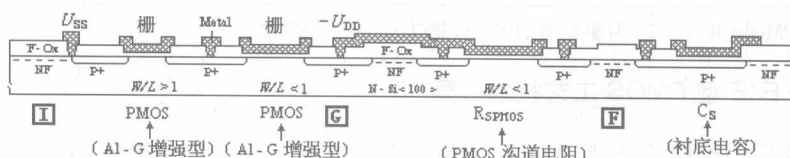


图 1-2 铝栅 E/E 型 PMOS IC 芯片典型剖面结构示意图

1.1.2 元器件剖面结构

铝栅 E/E 型 PMOS 集成电路中各元器件典型剖面结构,可以利用计算机和它所提供的软件,并选取各层适当的尺寸和标识,设计得到制程完成后如图 1-1 所示的示意图。它们组成了剖面结构基本单元库,其中[A](输入端栅保护结构),[H]以及[I]为宏单元,而[H]和[I]宏单元是由[B]和[C]两单元组成,并作了局部修改而成。[B]左边为拼接接头。选取接头和各层适当的尺寸,目的是在构成电路芯片剖面结构时各元器件剖面可以互相拼接良好,而且一般并不需要作修改。

1.1.3 电路芯片剖面结构

使用计算机和它所提供的软件,可设计出铝栅 E/E 型 PMOS 集成电路制程完成后芯片典型剖面结构示意图。由选择基本单元库(图 1-1)中不同元器件,依一定适当方式排列并拼接起来,构成如图 1-2 所示集成电路芯片典型剖面结构示意图。例如铝栅 E/E PMOS LSI(A-1)电路芯片剖面结构示意图是由选择单元库中[A]、[B]、[C]以及[D]所构成。其他剖面结构示意图依此可得。请注意:元器件和芯片剖面结构示意图指的是上表面结构,为了简明起见,背面和侧面结构都不画出(全书各章节都如此)。

要特别指出:31P+,75As+或 11B+,49BF2+注入,形成 N-,N+或 P-,P+区;Poly 淀积并刻蚀等,实际上是指经光刻后作离子注入,刻蚀(全书各章节的技术概要叙述中都作了这样的简化)。

1.2 硅栅 E/E 型 PMOS 结构

硅栅 E/E 型 PMOS 集成电路芯片主要元器件如表 1-2 所示。根据组成元器件的不同,该芯片又分成 A-1、A-2、A-3 等三类。

表 1-2 工艺技术概要和 IC 组成元器件

工艺技术概要		IC 中主要元器件			
			A-1	A-2	A-3
■技术	E/E 型 PMOS	■电阻	$R_{sP+}, R_{sP+Poly}$	R_{sP+}	R_{sP+}, R_{sPoly2}
■衬底	N-Si(100)	■电容	PMOS $W/L > 1$ 增强型	PMOS $W/L > 1$ 增强型	PMOS $W/L > 1$ 增强型
■阱	LOCOS(硅局部氧化)	■晶体管	PMOS $W/L < 1$ 增强型	PMOS $W/L < 1$ 增强型	PMOS $W/L < 1$ 增强型
■隔离	P+Poly/SiO ₂				
■栅	P+				
■源漏区	5 μ m				
■栅特征尺寸	1 层/1 层/2 层	■二极管	P+/N-Sub	(剖面图中未画出)	
■Poly	1 层(AlSi)				
■互连金属	-(9~12)V				
■电源(-U _{DD})					

注:表中 PMOS($W/L > 1$)为驱动管,PMOS($W/L < 1$)为负载管。

1.2.1 硅栅 E/E 型 PMOS 工艺技术概要

电路芯片采用硅栅等平面 E/E 型 PMOS 制造工艺来实现。工艺技术概要如表 1-2 所示。制程完成后组成电路的各种元器件剖面结构示意图如图 1-3 所示。N 型硅衬底,硅局部氧化(LOCOS),栅氧化,沟道区 11B+注入,硅栅自对准,离子注入形成源漏掺杂区,CVD 介质层,BSG 流动,溅射铝等工艺组成硅栅 PMOS 基本工艺制程。从图 1-3 可以看出,该制程中 N 型硅衬底 11B+注入形成 P+区为源漏,沟道区不同掺杂浓度硼注入分别制得 $W/L > 1$ 增强型 PMOS 器件[B], $W/L < 1$ 增强型 PMOS 器件[C]以及 P+电阻[D,E]。制程中产生栅极与 U_{ss} 相连的 $W/L > 1$ 增强型 PMOS 器件和 P+Poly 电阻构成输入端栅保护结构[A]。制程中可得到衬底电容 C_s [F]和 Poly2 电阻/场区电容 C_f [G]等,并以 Si-G E/E PMOS LSI 来表示。工艺制程完成后电路芯片剖面结构示意图如图 1-4 所示。

1.2.2 元器件剖面结构

利用计算机和它所提供的软件,并选取各层适当的尺寸和标识,设计得到制程完成后硅栅 E/E 型 PMOS 集成电路中各元器件和宏单元典型剖面结构示意图,如图 1-3 所示。它们组成了剖面结构基本单元库。选取各层适当的尺寸,目的是在构成电路芯片剖面结构时各元器件剖面可以互相拼接良好。

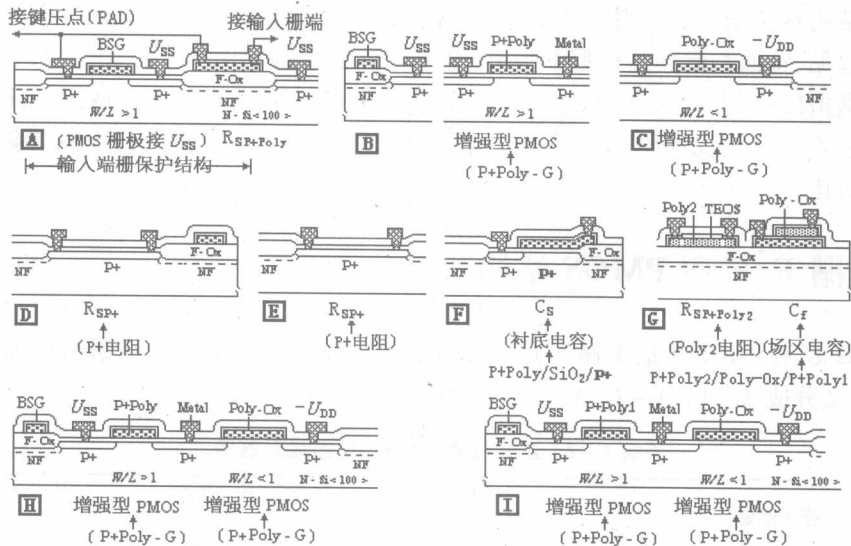
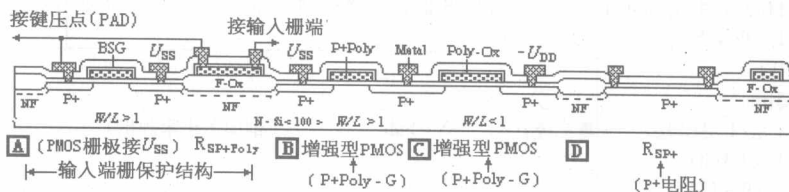
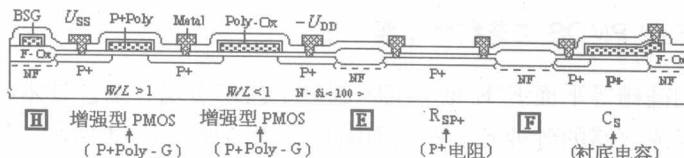


图 1-3 硅栅 E/E 型 PMOS IC 元器件剖面结构基本单元库

Si-G E/E PMOS LSI(A-1)



Si-G E/E PMOS LSI(A-2)



Si-G E/E PMOS LSI(A-3)

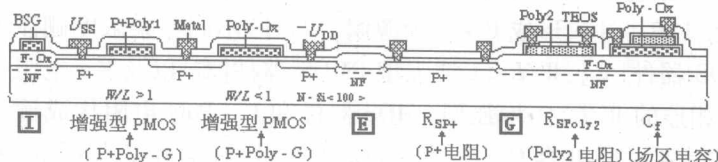


图 1-4 硅栅 E/E 型 PMOS IC 芯片典型剖面结构示意图