



国际信息工程先进技术译丛



WILEY

www.wiley.com

高性能微处理器 电路设计

DESIGN OF HIGH-PERFORMANCE
MICROPROCESSOR CIRCUITS

Anantha Chandrakasan

(美)

William J. Bowhill

等编

Frank Fox

袁小龙 喻文健 吴为民 编译



机械工业出版社
CHINA MACHINE PRESS



国际信息工程先进技术译丛

高性能微处理器电路设计

Anantha Chandrakasan

(美) William J. Bowhill 等编

Frank Fox

袁小龙 喻文健 吴为民 编译



机械工业出版社

本书论述了高性能微处理器电路设计的几乎所有方面,包括工艺技术对微处理器体系结构的影响、考虑工艺参数变动情况下的器件和连线模型、高速算术逻辑单元的设计、低电压设计技术、泄漏功耗降低技术、时钟分配、供电分配、高速信号传输、寄存器文件和缓存设计、芯片测试等等。

本书可供从事电子电路设计的相关技术人员参考,也可作为微电子专业高年级本科生和研究生的教材。

All rights reserved. Authorised translation from English language edition published by John Wiley & Sons, Ltd.

This translation published under license.

Original English Language edition Copyright © 2001 by John Wiley & Sons, Ltd.

Simplified Chinese Translation Copyright © 2010 by China Machine Press.

本书中文简体字版由机械工业出版社出版,未经出版社书面允许,本书的任何部分不得以任何方式复制或抄袭。版权所有,翻译必究。

图字:01-2008-4174号。

图书在版编目(CIP)数据

高性能微处理器电路设计/(美)钱德拉卡山(Chandrakasan, A.)等编;袁小龙等编译. —北京:机械工业出版社,2010.5

(国际信息工程先进技术译丛)

Design of high-performance microprocessor circuits

ISBN 978-7-111-30561-3

I. ①高… II. ①钱…②袁… III. ①微处理器-电路设计

IV. ①TP332

中国版本图书馆CIP数据核字(2010)第079247号

机械工业出版社(北京市百万庄大街22号 邮政编码100037)

策划编辑:张俊红 责任编辑:张俊红 王荣 责任校对:张晓蓉

封面设计:马精明 责任印制:李妍

北京振兴源印务有限公司印刷

2010年7月第1版第1次印刷

169mm×239mm·24印张·468千字

0001-3000册

标准书号:ISBN 978-7-111-30561-3

定价:88.00元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

网络服务

社服务中心:(010) 88361066

门户网:<http://www.cmpbook.com>

销售一部:(010) 68326294

教材网:<http://www.cmpedu.com>

销售二部:(010) 88379649

读者服务部:(010) 68993821

封面无防伪标均为盗版

译者序

高性能微处理器的应用已经非常广泛，在航空航天、石油勘探和开发、大范围气象预报、核爆炸模拟、材料设计、药物设计、基因信息学、密码学、人工智能、经济模型、数字电影等领域起着重要的作用。国际上的超高速巨型计算机、大型计算机等高端计算系统也都采用大量的通用高性能微处理器来建造。如何设计出更高性能的微处理器，一直是电路设计专家和计算机设计师追求的目标。我们知道，当今半导体工艺技术的巨大进步，为处理器的设计者提供了更多的资源（无论是晶体管的数量还是种类）来实现更高性能的芯片，从而有可能在单个芯片上创造更复杂和更灵活的系统，并促使微处理器体系结构的变革。但是，随着晶体管集成度越来越高、频率和计算速度越来越快，芯片的功耗问题、封装问题以及芯片的蚀刻等越来越难以处理。这些因素使得高性能微处理器的设计很复杂。另外，集成度的提高意味着信号互连线的宽度越来越小，信号在片内传输单位距离所需的延迟也相应增大，连线延迟而不是晶体管翻转速度将越来越主导处理器的工作频率。

而随着工作频率的不断提高，功耗问题越来越突出。现代通用处理器功耗峰值已经高达上百瓦，如果进一步提高工作频率，芯片的功耗太大，芯片产生的热量散不出去会导致片内温度升高，反过来导致芯片的性能和稳定性下降。在移动计算领域，功耗更是压倒一切的指标。因此，如何降低功耗也是当前微处理器设计的一个紧迫问题。

这是一本很好的介绍高性能微处理器电路设计技术的教科书。各章作者根据多年的研究经验和成果，既系统地介绍了微处理器电路设计的基本技术和新技术，又给出了一些工业界的实例来说明相关的原理与技术。本书论述了高性能微处理器电路设计的几乎所有方面，包括工艺技术对微处理器体系结构的影响、考虑工艺参数变动情况下的器件和连线模型、高速算术逻辑单元的设计、低电压设计技术、泄漏功耗降低技术、时钟分配、供电分配、高速信号传输、寄存器文件和缓存设计、芯片测试等等。尽管本书讨论的主题是高性能微处理器电路的设计，但所涉及的设计技术也同样适用于其他类型电路的设计。所以，本书对于高性能微处理器电路设计者和一般的电路设计者来说，都是一本很好的参考书。

原书共有 25 章，我们选择翻译了比较重要的 18 章，这是多位老师、学生共同努力的结果。袁小龙负责全书的统稿，并负责翻译了第 1~5 章、第 7~10 章、第 13 章和第 18 章，喻文健翻译了第 6 章、第 11 章、第 12 章、第 14 章和第 17

章，吴为民翻译了第 15 章和第 16 章。此外，本书的翻译还得到了赵博、刘金鹏、崔庆博、林雨、王生智、黄观宇、李成祥、秦国政、强鹏、马小平、叶亮和宋阳等的大力帮助。

在翻译过程中，对于有些术语，国内还没有确定的中文译法，我们按照自己的理解进行了翻译。鉴于译者水平和时间所限，错误和不足在所难免，敬请广大读者不吝指正。

译 者

原 书 序

自从 20 世纪 70 年代早期微处理器被使用以来，微处理器的性能以指数形式在提高。在半导体制造工业、电路设计、计算机结构和 CAD 工具方面的巨大技术进步使得这种增长成为可能。虽然已经解决了很多的技术问题，但是当芯片上的晶体管数目达到数十亿以及时钟频率达到吉赫时，又出现了许多新的挑战。

本书讨论了在深亚微米 CMOS 工艺技术中下一代微处理器的设计问题，书中的内容覆盖了高性能设计的本质。书中的章节都是由一些处于计算机技术前沿领域的世界顶尖级技术专家、设计师和研究人员撰写的。本书涵盖了系统抽象的各个层次，但是重点部分放在电路设计上，书中的实例大都来源于著名公司设计的处理器。

本书是为 VLSI 设计专业的学生学习而写的，同样也适用于电路设计师、结构设计师、系统设计师、CAD 工具开发者、工艺技术人员和研究人员。本书的使用者都应具备数字电路设计和器件工作的基本知识，本书包含了多种电路风格和多种 VLSI 设计技术。书中每一章都是独立的，所以读者不用考虑先后次序关系，可任意挑选感兴趣的内容进行阅读。

我们感谢那些为本书完成做出贡献的人们。首先，感谢各章的作者，这些作者在完成他们正常工作的同时，经常需要在晚上和周末准备书中的内容。其次，我们感谢本书的审阅者们，每一章都经过了严格的审阅过程，他们给了我们许多深刻的建设性的反馈意见。同时，在这本书的准备期间，IEEE 出版组织给予了我们特别的支持和指导，对此深表感谢。最后，我们要感谢无数的设计工程师和技术专家，他们的贡献引发了改造我们生活和经济的微处理器革命。这里引用艾萨克·牛顿的一句话，我们是“站在巨人的肩膀上”。

编 者

目 录

译者序

原书序

第 1 章 物理工艺对体系结构的影响	1
1.1 引言	1
1.2 CMOS 工艺下处理器体系结构的实现	3
1.3 高性能微处理器周期时间的选择	12
1.4 PA8000、21164 和 21264 处理器的比较	13
1.5 互连电阻的趋势	14
1.6 功耗趋势	15
1.7 高级封装	19
1.8 小结	20
参考文献	21
第 2 章 CMOS 器件尺寸缩小和亚 0.25 μm 系统中的问题	22
2.1 MOSFET 缩小理论	22
2.2 0.25 μm 以下工艺中 CMOS 的缩小问题	26
2.3 互连 RC 延迟	33
2.4 低温 CMOS	35
参考文献	38
第 3 章 泄漏功耗降低技术	39
3.1 引言	39
3.2 晶体管泄漏电流组成成分	40
3.3 电路亚阈值泄漏电流	44
3.4 泄漏控制技术	47
参考文献	53
第 4 章 低电压技术	55
4.1 低电压低阈值电路设计	55
4.2 电源关断方案	58
4.3 衬底偏置控制的 V_{th}	59
4.4 处理器设计举例	67
4.5 小结	70
参考文献	71
第 5 章 SOI 工艺与电路	73

5.1 引言	73
5.2 PD SOI 与 FD SOI 的器件设计考虑	73
5.3 器件结果	75
5.4 PD-SOI CMOS 数字电路	79
5.5 低功耗 SOI	87
5.6 小结	88
参考文献	89
第 6 章 器件和互连线的工艺参数变动模型	90
6.1 引言——变动来源	90
6.2 概述——统计描述	91
6.3 工艺参数变动综述	93
6.4 刻画和处理参数变动的方法	96
6.5 在互连影响分析问题上的应用	100
6.6 小结	105
参考文献	105
第 7 章 高速 VLSI 算术单元：加法器和乘法器	107
7.1 高速加法：算法和 VLSI 实现	107
7.2 乘法	120
7.3 小结	128
参考文献	128
第 8 章 钟控存储单元	131
8.1 时钟策略概述	131
8.2 时钟信号的非理想特性	132
8.3 基本锁存器对	134
8.4 基本触发器	135
8.5 鲁棒性设计准则 1	137
8.6 时序逻辑的时序特性	139
8.7 锁存器对和触发器的比较	144
8.8 高性能钟控存储单元	145
8.9 鲁棒性设计准则 2	151
8.10 钟控存储单元的性能指标	153
8.11 动态电路的锁存单元	154
8.12 建议和小结	156
参考文献	157
第 9 章 时钟分配	158
9.1 引言	158
9.2 目标	162
9.3 实现	165

9.4 时钟驱动器版图	170
9.5 变动	173
9.6 小结	176
参考文献	176
第 10 章 寄存器文件和缓冲存储器	179
10.1 基本结构	179
10.2 基本 SRAM 单元的设计和操作	184
10.3 地址路径的设计	192
10.4 读路径设计	194
10.5 写路径设计	198
10.6 冗余	199
10.7 可靠性问题	200
参考文献	201
第 11 章 分析片上互连效应	202
11.1 引言	202
11.2 简化的互连线分析	205
11.3 模型降阶	209
11.4 驱动器模型	216
11.5 小结	221
参考文献	221
第 12 章 互连驱动技术	223
12.1 工艺尺寸缩小趋势	223
12.2 与电容效应有关的问题和解决办法	230
12.3 与电感效应有关的问题和解决办法	234
12.4 与电阻效应有关的问题和解决办法	241
12.5 长距离布线的问题和解决办法	241
12.6 小结	245
参考文献	246
第 13 章 I/O 和 ESD 电路设计	247
13.1 引言	247
13.2 供电的考虑因素	247
13.3 片外驱动电路的边沿速率控制	249
13.4 混合电压 I/O	251
13.5 阻抗匹配	254
13.6 预补偿驱动器	254
13.7 输入接收器	255
13.8 ESD 威胁	256
13.9 ESD 模型	256

13.10 ESD 保护网络的电路拓扑	258
13.11 ESD 保护设计元件和方法	259
13.12 电源钳位	263
13.13 CDM 的考虑因素	264
参考文献	265
第 14 章 高速芯片间的信号传输	267
14.1 传输线	268
14.2 信号链路的性能指标	272
14.3 发送器	275
14.4 接收器	281
14.5 时钟信号生成	284
14.6 未来趋势	289
14.7 小结	293
参考文献	294
第 15 章 计算机辅助设计工具概述	297
15.1 引言	297
15.2 微体系结构设计和电路可行性研究工具	298
15.3 RTL 模型设计工具	299
15.4 RTL 数据通路/存储器设计工具	301
15.5 控制逻辑设计工具	303
15.6 芯片装配和总体线网布线	304
15.7 芯片级版图、电路以及时序验证	304
15.8 测试模式生成	306
15.9 结论	307
参考文献	307
第 16 章 时序验证	308
16.1 引言	308
16.2 时序验证的目标和分析	308
16.3 高速设计和时序验证中的关键因素	312
16.4 非存储器定制模块的时序验证	317
16.5 存储器模块的时序验证	319
16.6 设计流程和全芯片时序验证	321
16.7 未来的挑战	324
参考文献	325
第 17 章 供电网络的设计与分析	326
17.1 引言	326
17.2 供电网络设计	327
17.3 供电网络分析	337

17.4 供电网格建模	340
17.5 小结	346
参考文献	346
第 18 章 高性能处理器测试	349
18.1 引言	349
18.2 测试的基本概念	349
18.3 可测试性设计	355
18.4 小结	369
参考文献	369

第1章 物理工艺对体系结构的影响

微处理器设计的根本问题是将一个抽象的计算机体系结构映射到制造微处理器的物理工艺上。计算机体系结构由抽象的逻辑元件和存储元件组成。当在特定的工艺上实现时，逻辑值、存储状态和元件之间的连接映射到物理工艺中的逻辑电路、状态电路和金属互连上的信号。不可避免地，物理工艺会对可实现的体系结构有一定的限制。另外，当把体系结构中的元件映射到物理工艺中时也有一些可利用的机遇。当结构设计师的目标是找到一个能满足用户需求的可实现并且合理的优化体系结构时，理解物理工艺中的限制和机遇是极其重要的。

1.1 引言

体系结构的目标是找到一个能实现需要的功能并且在各种设计指标之间进行了最好折衷的设计。几乎对任何设计都适用的设计指标是性能、功耗、芯片面积、其他费用（如封装费用）及可靠性。通常，产品的功能需求使设计必须满足一个或多个设计指标。体系结构的选择确定了这些设计指标和产品目标之间的折衷。

通常，体系结构和微体系结构（micro-architecture）是有区别的。体系结构用于描述一种抽象的需求定义，而微体系结构用于描述在一个特定的设计中，实现体系结构的特定元件组成。在广义上，两个都是体系结构。在本章中对这两个概念不加区别，因为大多数的讨论在一定程度都可应用到这两个级别上。

1.1.1 CMOS 工艺的适合性

CMOS 集成电路工艺在实现体系结构抽象方面还远没有达到理想的地步。基本门的扇入是有限制的。门延迟严重依赖于扇入、扇出和导线长度。在亚微米工艺中，导线的电阻和电感会导致严重的问题。存储元件的高效实现需要仔细设计以及附加的电学验证方法来保证正确的操作。在设计和验证需求相似的情况下可采用高级的逻辑电路类型。最后，高级逻辑电路和存储电路不会同样好地支持所有相似的体系结构概念。相反，它们倾向于某一种配置。

除了上面提及的问题之外，CMOS 工艺有一些特定的特征使得它多年成为计算机设计进步的关键驱动者。最重要的特征是尺寸缩小和可制造性。制造商可以

低费用制造 CMOS 集成电路, 并且不断减小特征尺寸使得电路的速度迅速提高、费用迅速减低、芯片上集成的功能越来越多。其他的重要特征是 RAM 的高效实现、与其他工艺相比较功耗很低、自动化设计方法非常成功地应用于 CMOS。CMOS 工艺进步在将来的很多年中仍将是高性能微处理器以及其他计算技术例如嵌入式计算和 DSP 的驱动力。

1.1.2 物理工艺对各个设计层次的影响

物理工艺在几个层次上对体系结构都有影响。在芯片级, 一块芯片上可实现的功能元件数目的增多和功能元件尺寸的缩小是微处理器进步的一个重要因素。在更宏观的层次上, 元件的物理位置和互连线的密度长度都是很关键的。芯片的版图规划在体系结构级上有直观的结果。例如, 初级数据缓存的存取时延就很严重地依赖于版图规划对存取执行部件、缓存和整数执行部件之间路径的成功优化。

在部件或功能元件级, 将功能元件映射到规则结构上是很重要的。例如, 将一组计算和存储元件映射到数据通路, 将一个体系结构功能映射到一个 VLSI 阵列, 用高级的逻辑类型如多米诺逻辑实现体系结构功能, 或者将完整的功能或部分功能用一个 RAM 实现。

在电路级, 有显著的体系结构影响。例如, 算术电路通常都能从特定电路和仔细的电路设计中得到很大提高。又如, 一个静态 RAM 单元的可靠性是确定容错体系结构特征如奇偶校验码或纠错码的关键因素。

1.1.3 RISC 和精选体系结构的重要性

体系结构的一个重要发展是将焦点放在有效利用了物理工艺的体系结构作用上面。RISC (Reduced Instruction Set Computer, 精简指令集计算机) 突破是这种思想的一个关键例子。早期的 RISC 设计师在认识其他事物的同时, 也认识到把微处理器体系结构的复杂度和费用下降到在一个集成电路 (Integrated Circuit, IC) 上可实现一条有效流水线时, 性能的极大提高是可能的。进一步, 他们认识到体系结构和实现工艺的完美匹配对获得最大性能和费用效率是很重要的。

许多 RISC 概念论述为在任何工艺中可提高性能和降低费用。而现实是 RISC 思想和实践随着 CMOS 工艺的进化而进化。当今的 RISC 计算机通常很复杂, 与原来的 RISC 实现相比具有了更多的特点, 但是它们仍然反映出了设计师确定的体系结构复杂性、实现费用和时钟速度之间微妙的折衷关系, 这些折衷关系是在考虑了目标工艺的基础之上做出的。

1.1.4 关键的高层次决策和折衷

一旦选择了指令集和体系结构, 不论是不是 RISC 体系结构, 都将会有许多

由设计师做出的高层次决策, 这些决策深受工艺的影响。比如, 芯片上应用于缓存的面积为多少? 一个大的、慢的单级片上缓存和一个具有小的、快速的第一级缓存的双层次结构缓存, 哪一个更好? 多少功能单元和寄存器文件端口是可以实现的? 多大复杂度的存储系统是可行的?

在高性能微处理器设计中, 芯片的尺寸限制不是由制造工艺所能支持的最大尺寸决定, 就是由产品所允许的最大费用决定。无论是哪种情况, 这种芯片的尺寸相对于其他集成电路设计的芯片来说要大得多。

确定体系结构中组成元件的尺寸不太容易。最简单的方式是将要设计的元件与以前的设计中的相似元件作比较。当要设计的元件用规则阵列或者数据通路实现时, 有一种方式也很实用, 在这种情况下, 可通过分析基本单元中的电路和布线直接估算出尺寸。如果这些方式都不适用, 剩下的方式就是利用对门的估计、布线的估计和其他因素, 但这将损失准确性。

处理器的周期时间也许是最重要的决策, 而且也是最难的决策。1.3 节将详细分析这个决策。

1.1.5 其他的工艺问题

对于微处理器设计者来说, 很重要的一些其他工艺问题是互连的物理特性、功耗和封装的发展趋势。过去, 很长的互连布线在高层体系结构决策中并不是一个很难的问题, 但是工艺的发展趋势使得互连长度限制变成了首要考虑的约束条件。功耗作为物理工艺的一方面, 随着工艺尺寸的缩小, 对设计师来说变得越来越重要。封装的进步允许更多更快的信号, 这些信号与计算机系统元件的高层次集成使得可扩展多处理和超级计算得到迅速发展。这些问题将在本章的后几节中讨论。

物理工艺的直接结果是需要人们不断改善设计方法。设计方法是 CAD 工具、设计策略、验证策略的结合, 它们一起保证设计的成功。因为设计方法主要是由物理工艺驱动的, 并且经常与工艺产生的限制有关, 本章不直接对设计方法进行分析。

1.2 CMOS 工艺下处理器体系结构的实现

计算机结构设计师工作在一个二进制逻辑级、逻辑门和存储元件组成的抽象领域中。一个任意复杂度的逻辑功能能够由只包含少量基本逻辑门类型的逻辑构建起来。但逻辑功能的正确性不能保证其可实现性, 更不用说最小周期时间和最小费用了。同样, 可以运用基本 CMOS 锁存器和逻辑门组合构建存储阵列, 但高效的实现需要特殊的电路和设计技术。本节探索将体系结构高效映射到 CMOS,

并对速度、功耗、芯片面积和其他指标进行优化的问题。理解在 CMOS 中工作很好的结构并对体系结构进行规划使得体系结构尽可能地映射到这些结构上去，这至关重要。

下面列出一些很有用的 CMOS 映射：

- 1) 把关键逻辑函数化简为宽扇入或非门 (NOR) 或具有宽扇入或非门的与或非门 (AND-NOR)，用动态逻辑有效实现该函数。
- 2) 把多米诺逻辑用在高速和面积高效的应用中。
- 3) 采用其他高级逻辑设计类型使得某些特定的逻辑功能映射得非常好。
- 4) 功能安排到二维的阵列或数据通路中，规则的结构具有很多优点。
- 5) 在合适的地方用 RAM 阵列。

物理工艺不断进步，映射技术也需要不断进步，认识到这一点很重要。另外，新的逻辑设计技术可能会出现。成功的体系结构一直对所支持工艺的工艺限制和工艺特殊功能很敏感，本节中给出的与工艺相关的建议也将不可避免地会过时。

1.2.1 动态逻辑

动态逻辑（包括多米诺逻辑）在高性能设计中可提高设计的速度、减少设计的面积。本节简单地介绍动态逻辑，并给出微处理器中应用动态逻辑的例子。因为动态门的速度比静态门的速度快很多，所以动态逻辑可将关键路径的速度提高很多。然而，使用动态逻辑会引入新的时间约束条件，因而限制了其应用。

在动态逻辑电路的实现中有许多重要的设计问题，都是为了保证电路的正确操作和尽可能高的速度，但是这些问题基本上都超出这里讨论的范围。这里主要讨论那些对体系结构有直接影响的问题，而对体系结构影响较小的许多其他问题将被忽略。

1. 零检测电路的例子

16 位数据总线的零检测功能是一个在功能单元级上进行优化的简单例子。可以用标准的 CMOS 门实现这个功能，用由与非门 (NAND) 和或非门构成的一个树状结构来实现具有 16 个扇入的或门 (OR) 功能。这个实现和图 1.1 中所示的在一个动态门中实现 16 个扇入的或非门的动态逻辑实现比较起来，速度就慢多了。此外，和动态逻辑实现相比较，它还会占用更多的面积，并且更难实现互连的布线。

然而，动态实现有一个新的设计约束。该电路由时钟控制，输入数据必须在时钟信号上升前建立好，而且必须在时钟信号的高电平期间保持稳定和有效。在体系结构级上可看到速度优势和时间约束。

2. 比较器例子

图 1.2 给出了宽扇入或非门策略的扩展，即具有宽扇入或非门的与或非门。

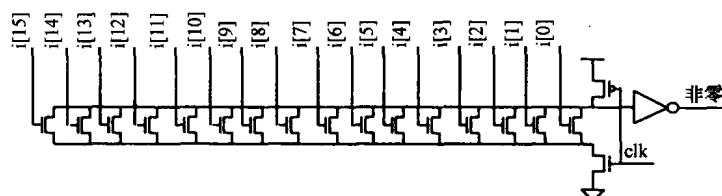


图 1.1 动态 CMOS 中的 16 位零检测器

该电路是一个 8 位的比较器。在估值阶段，如果 A 的一个输入位不等于相应的 B 输入位时，动态节点的电位将下降，输出电位将升高。关键点是在每一个 NMOS 下拉堆叠中都实现了与门（AND）功能。这个与或非门结构在许多动态控制电路中都出现过。

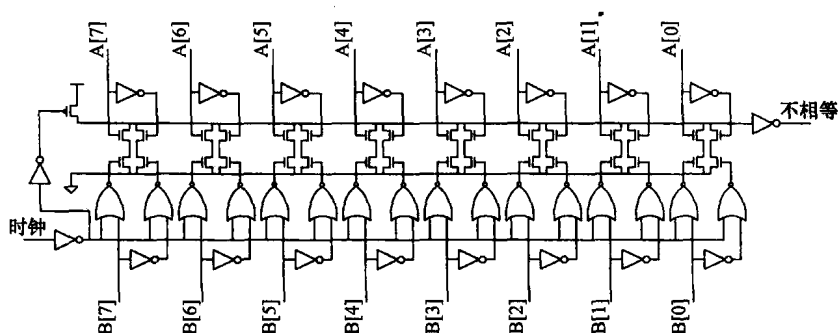


图 1.2 动态比较器例子

在图 1.2 中，每个堆叠的底部 NMOS 晶体管在预充电阶段被强迫关闭。这样就不需要类似图 1.1 中的钟控下拉器件，减少了堆叠的高度。如果扇入比较宽，当动态堆叠高度增大时，电路的速度下降很快，一些电学方面的问题更加恶化了，尽管当 CMOS 工艺变化后参数会发生变化，但最好尽量减小堆叠的高度（堆叠高度是动态输出节点和电源节点之间串联的器件数目。从实用方面来看堆叠高度是相当有限的。这就转化为动态门中对逻辑功能的限制）。

3. 多米诺逻辑

多米诺逻辑是动态逻辑的延伸，其中每个动态门的输出（反相器的输出连接到动态节点）直接连接到下一个动态门。图 1.3 给出了基本的 NMOS 多米诺结构。每个门中的 NMOS 下拉网络可以实现各种逻辑功能，但出于速度和电学方面的考虑，对设计的灵活性又有一定的限制。

顾名思义，当时钟上升时，多米诺逻辑进行逐级计算。由于 NMOS 下拉网络可以实现宽扇入的 NOR 或 AND-NOR 功能，复杂逻辑功能可用多个多米诺级来实现。然而，一些逻辑功能不能映射到连续的多米诺级上。决定逻辑功能是否

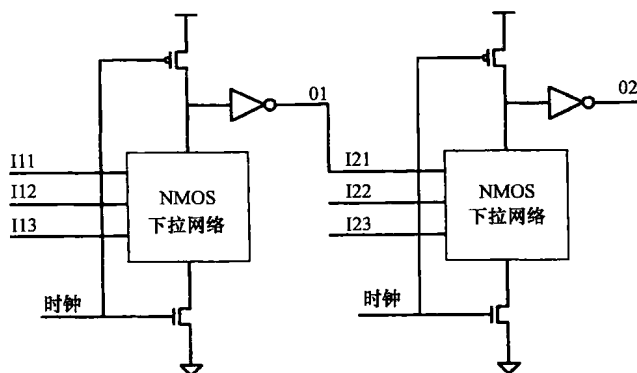


图 1.3 多米诺逻辑

可实现的关键约束条件是：①宽扇入必须映射到 NOR 功能；②每个级是非反向的。

例如，如果在一个逻辑功能的第一级输出上需要对 32 个位进行与操作，唯一的实现方法就是对所有的输入取反，然后把它们连到一个 32 位的动态或非门。根据 DeMorgan 定理，反相器的输出结果是对 32 个数据位的与非门结果。但是如果这个逻辑功能的第二级必须对 32 个逻辑与门（每个都是对 32 位的与操作）求或时，多米诺逻辑就不能用于第二级。这是因为需要一个额外的求反级使得逻辑功能正确，但多米诺逻辑仅当每个级是非反向时才能工作。这个例子中的第一级不能用一个动态与非门来实现，因为实现一个高度为 32 的与非门堆叠是不切合实际的（实际上，超过 3 个或 4 个器件串联的堆叠高度基本上就不切合实际了）。这两个约束条件一起在限制多米诺逻辑的使用范围。对结构设计师来说，面临的挑战是找到能实现预期的体系结构功能且能成功映射到多米诺逻辑的函数。

4. PLA 与自定时动态逻辑

前面的例子中，将与门插入到或门中，这本质上就是经典的 PLA 结构。因为它不能被做成多米诺形式，需要两个时钟沿，一个用于与平面估值，另一个用于或平面估值。在一个单时钟环境里，两个平面可在一个时钟周期的两个相位中进行估值，但因为速度慢，在很多情况下不采用。设计师用自定时逻辑来解决这个问题。当与平面完成了估值后，用定时器来触发或平面完成其估值。通常，这是通过实现一个虚拟与项来完成的，这个虚拟与项的负载比实际的真实与项负载略微大一些，受到的驱动力稍微弱一些。这种逻辑很难设计，而且必须留有一些裕度使得对或平面估值的延迟比需要的多一些。一般来说，不能用多米诺逻辑实现的设计都可以用自定时设计来实现，但这比较困难，会出现设计错误，绝不比多米诺逻辑快。原则上，自定时可用于任何不能用多米诺逻辑实现的设计中，但