



高等院校EDA系列教材
Electronic Design Automation

集成电路设计

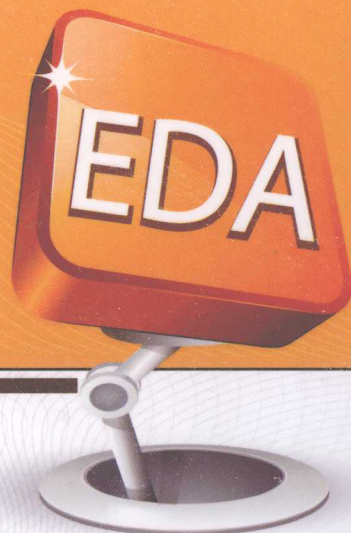
CAD/EDA工具实用教程

韩雁 韩晓霞 丁扣宝◎编著



附赠电子教案、参考程序

<http://www.cmpedu.com>



- ① 学习集成电路设计**主流软件**的经典之作
- ② 教学、**实验项目**及**工程设计实践**的结晶
- ③ 由浅入深、循序渐进，利于**快速提高**水平
- ④ 实例丰富，**操作步骤详实**



机械工业出版社
CHINA MACHINE PRESS

高等院校 EDA 系列教材

集成电路设计 CAD/EDA 工具实用教程

韩 雁 韩晓霞 丁扣宝 编著



机械工业出版社

本书基于 IC 设计实例, 系统全面地介绍了模拟集成电路设计和数字集成电路设计所需 CAD/EDA 工具的基础知识和使用方法。

模拟集成电路设计以 Cadence 工具为主, 同时也介绍了业界常用的 Hspice 电路仿真工具、Calibre 版图验证工具以及 Laker 版图绘制软件等的使用。数字集成电路设计则介绍了从使用 Matlab 进行系统级建模、使用 ModelSim 和 NC-Verilog 进行仿真、使用 Xilinx ISE 进行 FPGA 硬件验证、使用 Design Compiler 进行逻辑综合直至使用 Astro 进行布局布线的完整设计过程, 以及数字 IC 设计的验证方法学及可测性设计的基本概念和流程。

本书可作为微电子及相关专业的高年级本科生和研究生的集成电路设计课程的教材, 也可供集成电路领域科研人员和工程师参考。

图书在版编目 (CIP) 数据

集成电路设计 CAD/EDA 工具实用教程/韩雁, 韩晓霞, 丁扣宝编著.

—北京: 机械工业出版社, 2010.9

高等院校 EDA 系列教材

ISBN 978-7-111-31819-4

I. ①集… II. ①韩… ②韩… ③丁… III. ①集成电路—计算机辅助设计—高等学校—教材 IV. ①TN402

中国版本图书馆 CIP 数据核字 (2010) 第 175915 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

责任编辑: 郝建伟

责任印制: 李 妍

北京振兴源印务有限公司印刷

2010 年 9 月第 1 版·第 1 次印刷

184mm×260mm·22.5 印张·555 千字

0001—3500 册

标准书号: ISBN 978-7-111-31819-4

定价: 42.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换
电话服务 网络服务

社服务中心: (010) 88361066

门户网: <http://www.cmpbook.com>

销售一部: (010) 68326294

教材网: <http://www.cmpedu.com>

销售二部: (010) 88379649

读者服务部: (010) 68993821

封面防伪标均为盗版

前言

集成电路是电子工业的基础。以集成电路为基础的电子信息产业的发展,对国民经济发展、产业技术创新能力的提高及现代国防建设都具有极其重要的作用,而集成电路设计业则是集成电路产业链的核心。随着集成电路技术的发展,集成电路设计的手段也经历了从手工设计到计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)和计算机辅助工程(CAE),在20世纪90年代开始逐步发展到电子设计自动化(Electronics Design Automation, EDA)阶段。CAD/EDA工具已经成为当今集成电路设计和制造流程中的必不可少的部分。

技术进步伴随着设计复杂性的提高,导致了CAD/EDA工具的功能也越来越复杂,对集成电路设计工程师和科研人员提出了更高的要求:不但要有足够的数学、物理、器件、电路、工艺方面的知识,还要投入相当的精力学习、熟悉CAD/EDA工具和系统的使用。不同CAD/EDA工具提供的手册因其系统的复杂性以及不是用母语编写,会给没有相应经验指导的初学者带来很大问题。市面上已经出版的CAD/EDA书籍大多是关于电子系统级应用或者是针对超大规模集成电路的设计方法学,而针对模拟集成电路设计、数模混合集成电路设计和生产制造相关的CAD/EDA工具的指导却很少。基于这个原因,编著者结合多年的集成电路设计和CAD/EDA工具使用经验,编写了本书,辅以不同的设计实例和流程来介绍相应的典型CAD/EDA工具的使用。

本书分为两个部分,共12章。第一部分以不同的设计实例为基础,介绍了模拟集成电路设计工具的应用,以Cadence设计流程中的工具为主,同时也介绍了业界常用的Synopsys公司的Hspice电路仿真工具和Mentor Graphics公司的Calibre版图验证工具以及SpringSoft公司的Laker版图绘制软件的使用。第二部分为数字集成电路设计工具的使用教程,分别介绍了使用Matlab进行系统级验证、使用ModelSim和NC-Verilog进行HDL描述和仿真、使用Xilinx ISE进行FPGA硬件验证设计、使用Design Compiler进行逻辑综合以及使用Astro进行布局布线设计过程,最后介绍了数字IC设计的验证方法学及可测性设计的基本概念和流程。

本书出版前的讲义多年来一直作为浙江大学微电子及相关专业“集成电路课程设计”课程的教材,并且不断积累、更新。在写作方式上,一是从应用的角度引导读者学习、掌握软件的使用;二是选取了典型的工具,每部分的主体设计流程均经过了流片和测试验证,所选的例子也都是取自实际的科研和教学项目,具有一定的代表性和实用性。本书可以作为微电子及相关专业的高年级本科生和研究生的集成电路设计课程的教材,也可供集成电路领域科研人员和工程师参考。

全书由韩雁教授负责并审稿、定稿,丁扣宝副教授、韩晓霞讲师分别负责第一、第二部分的编写。本书在编写的过程中得到了浙江大学微电子与光电子研究所多名师生的大力帮助,其中有马绍宇、洪慧、陈金龙、霍明旭、黄小伟、周海峰、崔强、付文、韩成功、黄大海、陈磊、蔡友、陈茗、罗豪、张斌、程维维、廉玉平、张艳、张昊、彭成、范镇琪、蔡坤

明、斯瑞珺、彭洋洋、张吉皓、曾才赋、杜宇禅和梁筱等，他们在文档翻译、实例的仿真验证、文稿录入、图表制作等方面都做了大量工作。作者在编写的过程中也参考了大量的文献、资料、手册。在此一并表示诚挚的感谢。

由于软件原因，部分字母符号或字母代号与国标不同，特此说明。

由于编著者学识和水平有限，加之 CAD/EDA 工具的版本也在不断更新发展，书中难免有错漏之处，敬请读者批评指正。

编著者

目 录

前言

第一部分 模拟集成电路设计工具及使用

第 1 章 典型电路仿真工具软件	3
1.1 Cadence 电路仿真工具包	3
1.1.1 设计环境简介	3
1.1.2 电路图输入工具 Virtuoso Schematic Composer	6
1.1.3 仿真环境工具 Analog Design Environment	7
1.1.4 仿真结果的显示及处理	11
1.1.5 建立子模块	11
1.1.6 设计实例——D 触发器	13
1.2 Hspice 电路仿真工具	16
1.2.1 Hspice 简介	16
1.2.2 *.sp 文件的生成	16
1.2.3 运行与仿真	17
1.3 UltraSim 仿真技术	19
1.3.1 UltraSim 简介	19
1.3.2 仿真环境设置	19
1.4 芯片封装的建模与带封装信息的仿真	23
1.4.1 射频 IC 封装简介	23
1.4.2 PKG 软件的具体使用	24
第 2 章 模拟集成电路设计及仿真实例	29
2.1 电压基准源设计及仿真	29
2.1.1 电压基准源简介	29
2.1.2 电压基准源分类	29
2.1.3 实现带隙基准源的原理	30
2.1.4 基准源启动电路	32
2.1.5 基准源噪声	33
2.1.6 基准源输出驱动	33
2.1.7 基准源计算机仿真	34
2.1.8 基准源的版图设计	37
2.2 CMOS 集成电路噪声分析及仿真	38
2.2.1 噪声类型	39
2.2.2 噪声分析方法	41
2.2.3 连续时间系统的噪声仿真	42

2.3 开关电容电路仿真	43
2.3.1 开关电容电路简介	43
2.3.2 开关电容电路的精度	46
2.3.3 使用双相无交叠时钟的开关电容电路的分析方法	46
2.3.4 开关电容电路的 Cadence 仿真方法	48
2.3.5 开关电容电路频率响应仿真	49
2.3.6 开关电容电路的噪声仿真	53
第3章 版图绘制及其工具软件	61
3.1 典型 CMOS 工艺流程简介	61
3.2 设计规则简介	64
3.3 Virtuoso 软件简介及使用	66
3.3.1 Virtuoso 软件启用	66
3.3.2 Virtuoso 快捷键的使用	69
3.3.3 设计实例——反相器版图绘制	70
3.3.4 PDK 简介	73
3.4 Laker 软件简介及使用	76
3.4.1 Laker 使用时需要的文件	77
3.4.2 Laker 软件启用及主窗口	77
3.4.3 Laker 基本版图编辑功能	78
3.4.4 Laker 特有高级版图编辑功能	81
3.4.5 原理图驱动的版图编辑	83
3.4.6 设计实例——设计规则驱动的版图设计	83
3.4.7 设计实例——利用 Mcell 完成一个二输入与非门的版图设计	85
3.5 版图设计中的相关主题	88
3.5.1 天线效应	88
3.5.2 Dummy 的设计	89
3.5.3 Guard Ring 的设计	91
3.5.4 Match 的设计	92
第4章 版图验证与后仿真	94
4.1 版图验证与后仿真简介	94
4.2 Diva 验证工具	95
4.2.1 Diva DRC 规则文件	95
4.2.2 Diva 版图提取文件	98
4.2.3 LVS 文件的介绍	99
4.2.4 寄生参数提取文件	100
4.2.5 设计实例——非门的版图验证	101
4.3 Calibre 验证工具	106
4.3.1 Calibre 规则文件	106
4.3.2 Calibre 使用方法	108

4.3.3 数模混合电路 LVS 的操作方法	114
第 5 章 设计所需规则文件的详细说明	117
5.1 完整的 Diva DRC Extract LVS 规则文件	117
5.1.1 Diva DRC 规则文件	117
5.1.2 Diva Extract 规则文件	119
5.1.3 Diva LVS 规则文件	120
5.2 Diva 层次处理语句的图文解释	120
5.2.1 逻辑命令	121
5.2.2 关系命令	122
5.2.3 选择命令	126
5.2.4 尺寸命令	127
5.2.5 层生成命令	128
5.2.6 存储命令	129
5.3 Diva 中 DRC 和寄生参数提取语句	129
5.3.1 Diva DRC 语句	129
5.3.2 Diva 寄生参数提取语句	132

第二部分 数字集成电路设计工具及使用

第 6 章 系统级建模与数模混合仿真	138
6.1 Matlab 简介	139
6.2 Matlab 的 Toolboxes	140
6.2.1 数字信号处理	140
6.2.2 滤波器设计	140
6.2.3 Link For ModelSim	141
6.3 Matlab 的编程	145
6.4 Simulink 仿真基础	147
6.4.1 Simulink 简介	147
6.4.2 Simulink 的模块	147
6.4.3 Simulink 仿真参数的设定	148
6.4.4 设计实例——Simulink 操作与几个常用数字系统模型的仿真	149
6.5 Verilog-A 简介	154
6.6 Verilog-A 编程	154
6.6.1 基本语法	155
6.6.2 基本表达式	156
6.6.3 模拟运算符	157
6.6.4 Verilog-A 仿真	157
6.7 Verilog-A 建模实例	158
6.7.1 反相器	158
6.7.2 利用 Cadence 中的向导产生模拟模块	162

6.8 Spectre-verilog 混合信号仿真	164
6.8.1 Spectre-verilog 仿真简介	164
6.8.2 创建模拟模块	164
6.8.3 创建数字模块	165
6.8.4 设置仿真配置文件	166
6.8.5 设置和检查模块划分	167
6.8.6 设置数模接口	169
6.8.7 设置仿真菜单及仿真结果	170
第 7 章 数字电路设计与 Verilog	171
7.1 HDL 设计方法学	171
7.1.1 数字电路设计方法	171
7.1.2 硬件描述语言	171
7.1.3 设计方法学简介	172
7.1.4 Verilog HDL 简介	173
7.2 Verilog HDL 建模	174
7.2.1 模块	174
7.2.2 时延	177
7.2.3 三种建模方式	177
7.3 Verilog HDL 基本语法	181
7.3.1 标识符	181
7.3.2 注释	181
7.3.3 格式	182
7.3.4 数字值集合	182
7.3.5 数据类型	184
7.3.6 运算符和表达式	185
7.3.7 条件语句	189
7.3.8 case 语句	191
7.4 结构建模	191
7.4.1 模块定义	191
7.4.2 模块端口	192
7.4.3 实例化语句	192
7.5 数据流建模	194
7.5.1 连续赋值语句	194
7.5.2 阻塞赋值语句	195
7.5.3 非阻塞赋值语句	196
7.5.4 设计实例——频率计数器	197
7.6 行为建模	198
7.6.1 行为建模简介	198
7.6.2 顺序语句块	198

7.6.3	过程赋值语句	198
7.7	可综合设计	200
7.7.1	设计准则	200
7.7.2	进程划分准则	201
7.7.3	可综合子集	201
7.7.4	可综合设计中的组合电路设计	201
7.7.5	可综合设计中的时序电路设计	202
第 8 章	硬件描述语言的软件仿真与 FPGA 硬件验证	203
8.1	ModelSim 使用	203
8.1.1	ModelSim 启动	204
8.1.2	ModelSim 仿真流程	204
8.1.3	编译工艺资源库	207
8.1.4	调试	207
8.1.5	ModelSim 仿真小结	208
8.2	NC-Verilog 使用	208
8.2.1	ncvlog 命令	208
8.2.2	ncelab 命令	210
8.2.3	ncsim 命令	211
8.2.4	NC-Verilog 仿真小结	212
8.3	用 Debussy 调试仿真结果	212
8.4	HDL 仿真总结	214
8.5	FPGA 硬件验证	214
8.5.1	FPGA 基本组成	215
8.5.2	FPGA 设计流程	216
8.5.3	FPGA 下载配置	219
第 9 章	逻辑综合与 Design Compiler	230
9.1	逻辑综合	230
9.2	用 Design Compiler 综合电路	231
9.2.1	Design Analyzer 的启动	232
9.2.2	设计读入	233
9.2.3	链接	236
9.2.4	实例唯一化	236
9.2.5	设计环境	238
9.2.6	设计约束	243
9.2.7	设计的逻辑综合	249
9.2.8	逻辑综合结果的分析	250
9.2.9	逻辑综合结果的保存	253
9.2.10	时序约束文件的导出	254
9.3	Synplify 的使用方法	254

9.3.1	Synplify 概述	254
9.3.2	Synplify 设计流程	254
9.3.3	Synplify 文件类型总结	257
第 10 章 自动布局布线及 Astro		259
10.1	Astro 简介	259
10.2	数据准备	259
10.2.1	库文件	260
10.2.2	工艺文件	262
10.2.3	设计文件	262
10.3	利用 Astro 进行布局布线的设计流程	264
10.3.1	工具启动	264
10.3.2	创建设计库	264
10.3.3	读入网表文件	266
10.3.4	打开设计库和设计单元	267
10.3.5	布局规划	268
10.3.6	布局	276
10.3.7	时钟树综合	283
10.3.8	布线前的电源/地线检查	288
10.3.9	布线	289
10.3.10	可制造性设计处理	294
10.3.11	版图验证	295
10.3.12	数据输出	296
第 11 章 数字集成电路设计的验证方法学		298
11.1	OVF 验证方法学介绍	298
11.2	验证工具 QuestaSim 软件介绍	301
11.3	使用 OVF 搭建验证环境	307
11.4	随机验证	318
第 12 章 可测性设计及可测性设计软件使用		323
12.1	可测性设计基础	323
12.1.1	测试	323
12.1.2	可测性设计	323
12.1.3	故障模型	323
12.1.4	自动测试矢量生成	325
12.1.5	可测性设计的常用方法	326
12.2	使用 DFTC 进行可测性设计	328
12.2.1	Synopsys 的 DFT 流程	328
12.2.2	DFT 扫描链插入	329
12.2.3	Synopsys Adaptive Scan 压缩	332
12.3	使用 TetraMAX 进行 ATPG 生成	332

12.3.1 TetraMAX 的图形界面	333
12.3.2 TetraMAX 的基本流程	333
12.3.3 ATPG 测试向量生成	334
12.4 DFT 设计实例	336
12.4.1 设计代码编写	337
12.4.2 综合并插入扫描链的过程	338
12.4.3 ATPG 自动测试矢量生成	341
参考文献	346

第一部分

模拟集成电路设计工具及使用

虽然在许多应用场合, 信号处理已转移到数字领域, 但是, 在现实世界中仍需要大量高品质的模拟电路。随着系统集成度的提高, 单片 IC 的规模会越来越大, 越来越多的 SOC 中会包含连接现实世界物理量的模拟电路。虽然这部分电路只占整个芯片面积的一小部分, 但它通常成为整个系统性能的制约因素和集成电路设计最困难的部分。因此, 我们仍然需要先进的模拟集成电路设计工具和有经验的模拟集成电路设计者。本部分的目的就是为模拟集成电路设计者提供必要的设计工具方面的知识, 帮助其成为优秀的模拟集成电路设计师。

时至今日, 不可能手工设计深亚微米模拟集成电路, 而必须采用先进的 CAD 或 EDA 工具来进行设计。在模拟集成电路设计工具领域, 使用最多的是美国 Cadence 公司的产品。因此本部分主要介绍 Cadence 公司的模拟集成电路设计工具, 也包含了其他公司的一些常用产品, 比如 Synopsys 公司的 Hspice 等。

与数字集成电路采用标准单元的设计方法不同, 模拟集成电路往往采用全定制设计。也就是说, 模拟集成电路设计从交互式的电路图输入开始, 经过电路仿真验证, 达到设计要求, 然后进行人工版图设计。版图的验证包括设计规则检查 (DRC) 与线路图的一致性验证 (LVS), 最后还要进行版图的寄生参数提取 (RCX) 和后仿真验证 (Post-simulation)。

目前已有的 CAD/EDA 工具已经涵盖了模拟集成电路设计流程的各个阶段, 即从电路图输入到后仿真, 如图 A 所示。据此, 本部分的第 1 章首先介绍了 Cadence 公司的电路图输入工具 Virtuoso Schematic Composer; 在随后的电路仿真和验证阶段, 介绍了两种常用的仿真工具; 本章的最后部分还简单地介绍了快速仿真工具 UltraSim 的使用。为了加深理解, 在第 2 章中给出了一些模拟集成电路的仿真验证实例, 包括基准源电路的分析仿真、集成电路的噪声仿真、开关电容电路的仿真等。第 3 章开始介绍版图设计, 首先介绍了典型的 CMOS 工艺流程, 了解和熟悉半导体生产工艺对于版图设计、绘制是非常重要的; 然后介绍版图绘制工具 Cadence 公司的 Virtuoso 软件和 SpringSoft 公司的 Laker 软件; 最后给出了一些版图设计中的相关问题。第 4 章介绍了两种常用的版图验证工具: Cadence 公司的 Diva 和 Montor Graphics 公司的 Calibre, 并分别介绍了利用这两种工具进行 DRC、LVS、寄生参数提取直至后仿真的步骤方法。在第 5 章对 Diva 规则文件中的语句和命令进行了详细的解释说明, 以利于更好地理解与版图验证相关的设计过程。

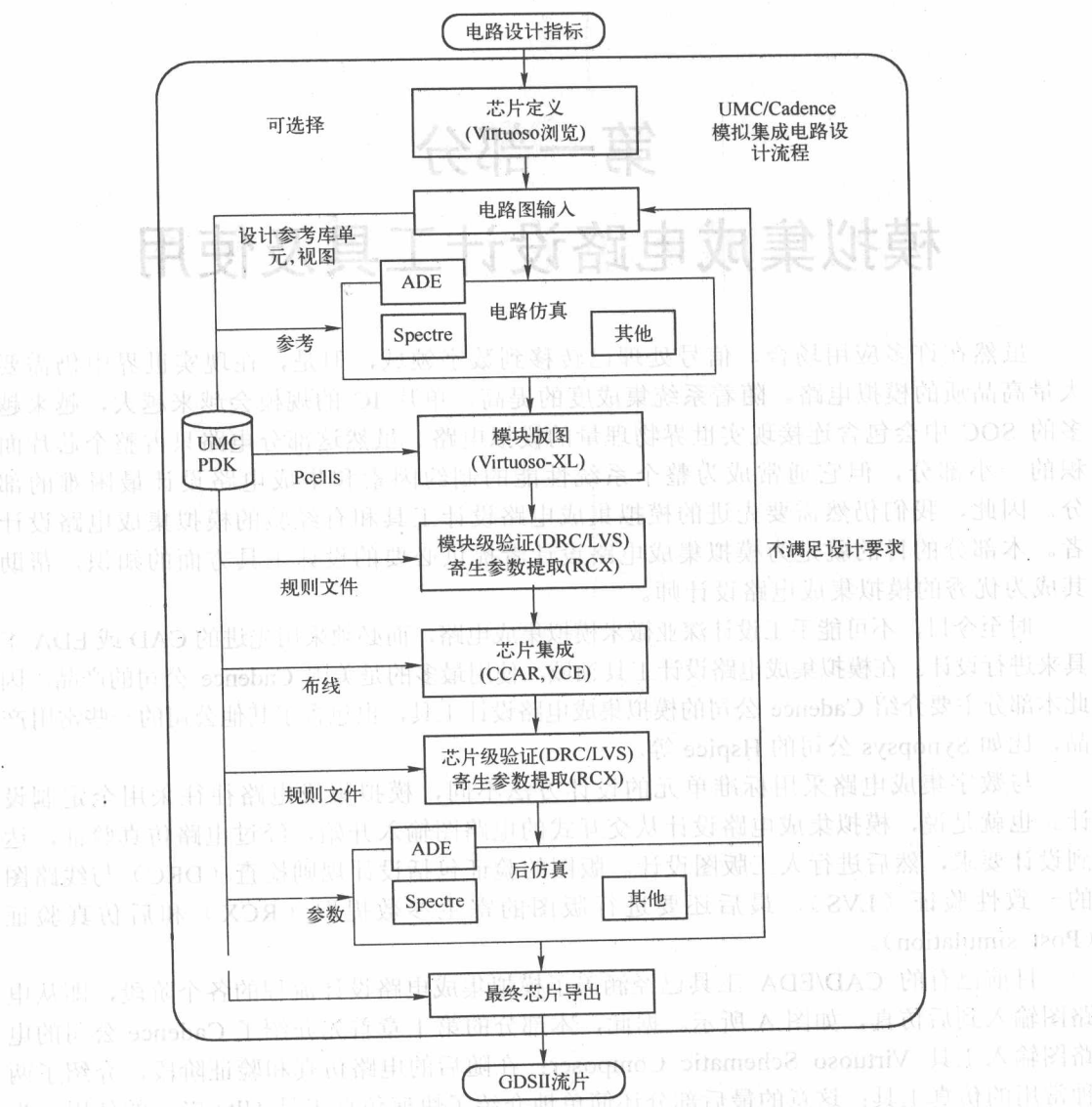


图 A 模拟集成电路设计流程

第1章 典型电路仿真工具软件

本章主要介绍几种电路仿真工具软件的使用。前两节介绍 Cadence 公司的 ADE (Analog Design Environment) 和 Synopsys 公司的 Hspice 两种模拟电路仿真工具, 第三节介绍快速仿真器 UltraSim 的使用方法。通过本章的学习, 读者可以掌握这些软件的基本使用方法, 并可以按照实例独立操作。

1.1 Cadence 电路仿真工具包

1.1.1 设计环境简介

Cadence 公司是国际著名的 CAD/EDA 工具供应商之一, 它给设计者提供大型的 EDA 软件包, 包括 IC 设计、FPGA 设计和 PCB 板级设计的成套软件。Cadence 软件在电路仿真、电路图设计、自动布局布线、版图设计及验证等方面有着绝对的优势。本节主要介绍 Cadence 电路仿真工具包里的全定制 IC 设计工具 Virtuoso Schematic Composer 和电路仿真工具 Analog Design Environment。Virtuoso Schematic Composer 提供了绘制原理图的图形化界面, 并支持 VHDL/HDL 语言的文本输入, 使用非常方便、高效; Analog Design Environment 提供了友好的图形化仿真界面, 非常直观易用。

首先, 登录工作站 (登录工作站的方式很多, 这里不作描述), 然后在命令行中键入 “icfb&” 命令进入 Cadence 设计环境, 出现如图 1-1 所示的命令解释窗口 (Command Interpreter Window, CIW), 然后开始在该设计环境中进行设计。主窗口分为信息窗口、命令行、主菜单、鼠标命令以及提示。信息窗口会给出一些系统信息 (如出错信息、程序运行情况等); 命令行可以输入某些命令; 主菜单主要有 “File” 菜单和 “Tools” 菜单, 下面将详细介绍这两个菜单。

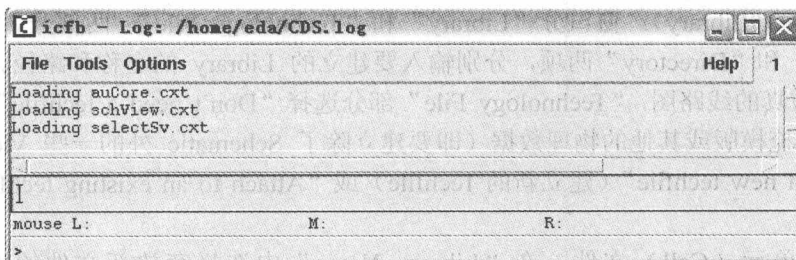


图 1-1 命令解释窗口

1. “File” 菜单

在 “File” 菜单下, 主要的菜单项有 “New”、“Open”、“Options”、“Exit” 等。在具体

解释之前不妨先理顺一下以下几个关系：库（Library）的地位相当于文件夹，它用来存放一个设计的所有数据，像一些子单元（Cell）以及子单元中的多种视图（View）。Cell 可以是一个简单的单元，如一个与非门，也可以是比较复杂的单元（由 symbol 搭建而成）；View 则包含多种类型，常用的有 schematic、symbol、layout、extracted、ivpcell 等，它们各自代表的含义在后文中将会一一提到。

“New”菜单项的子菜单下有“Library”和“Cellview”两项。“Library”项打开“New Library”（建立库）窗口，“Cellview”项打开“Create New File”（建立单元文件）窗口，分别如图 1-2 和图 1-3 所示。

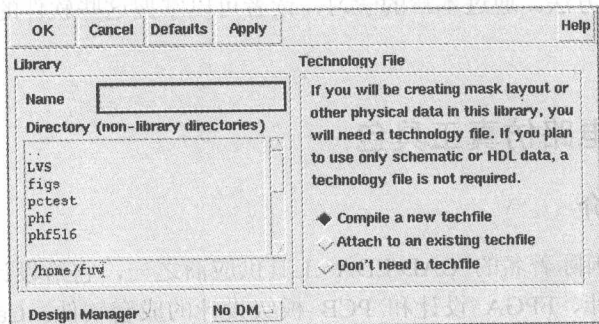


图 1-2 “New Library” 窗口

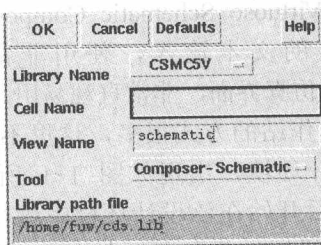


图 1-3 “Create New File” 窗口

需要注意的问题有：

1) 建立库（Library）：窗口分“Library”和“Technology File”两部分。“Library”部分有“Name”和“Directory”两项，分别输入要建立的 Library 的名称和路径。如果只建立进行 SPICE 仿真的线路图，“Technology File”部分选择“Don't need a techfile”选项；如果在库中要创立掩模版或其他的物理数据（即要建立除了 Schematic 外的一些 View），则须选择“Compile a new techfile”（建立新的 Techfile）或“Attach to an existing techfile”（使用已有的 Techfile）。

2) 建立单元（Cell）文件：在“Library Name”中选择存放新文件的库，在“Cell Name”中输入名称，然后在“Tool”选项中选择“Composer-Schematic”工具（进行 SPICE 仿真），在“View Name”中就会自动填上相应的 View Name——schematic。当然在“Tool”工具中还有很多别的工具，常用的像 Composer-symbol、Virtuoso-layout 等，分别建立的是 symbol、layout 的视图（View）。

2. “Tools” 菜单

在“Tools”菜单下，主要的菜单项有“Library Manager”、“Library Path Editor”、“Technology File”等。“Library Manager”项打开的是库管理器窗口，如图 1-4 所示。

在窗口的各部分中，分别显示的是 Library、Cell、View 相应的内容。双击需要打开的 View 名（或同时按住鼠标左、右键，从弹出菜单中选择“Open”项）即可以打开相应的文件。同样在“Library Manager”中也可以建立 Library 和 Cell。具体方法是单击“File”，在下拉菜单中“New”下选择“Library”或“Cell”即可。

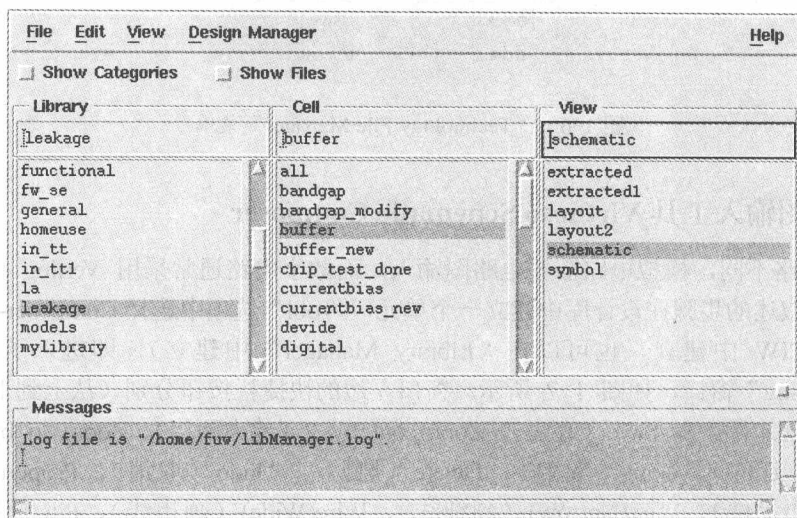


图 1-4 “Library Manager” 窗口

“Library Path Editor”项打开的是库路径编辑器窗口，如图 1-5 所示。可以从“Edit”菜单中选择“Add Library”项，填入相应的库名和路径名，即可加入相应的库；同样也可以用“Remove Library Definition”删除库的定义。

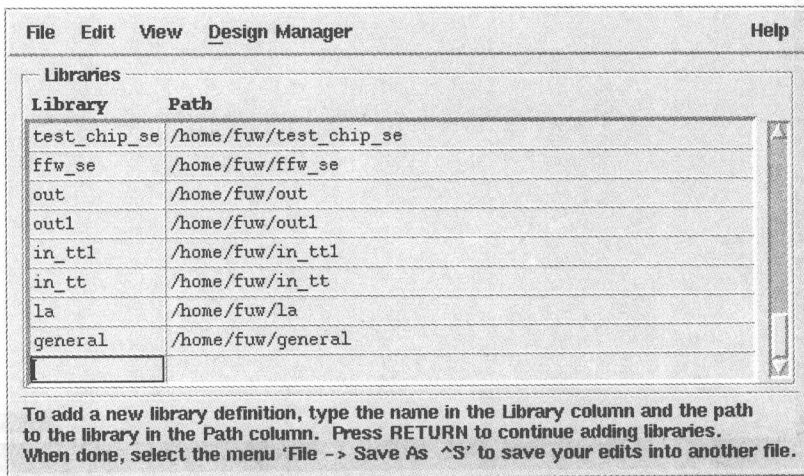


图 1-5 “Library Path Editor” 窗口