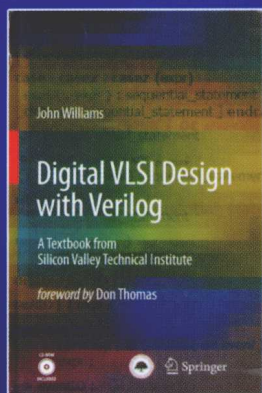


国外电子与通信教材系列

 Springer

Verilog数字 VLSI设计教程

Digital VLSI Design with Verilog
A Textbook from Silicon Valley Technical Institute



[美] John Williams 著

李林 陈亦欧 郭志勇 译

李广军 审校



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

含光盘1张

国外电子与通信教材系列
美国硅谷技术学院培训教材

Verilog 数字 VLSI 设计教程

Digital VLSI Design with Verilog
A Textbook from Silicon Valley Technical Institute

[美] John Williams 著

李 林 陈亦欧 郭志勇 译
李广军 审校

电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书分成多个课程段,讲授数字IC设计中常用技能与技术、工程设计中通常遇到的具体设计调试方法。其中包括数字IC设计流程中会遇到的诸多典型实例(计数器类型与结构、数据存储与Verilog阵列、状态机、FIFO等)以及典型问题(上升-下降延迟、串并转换、时序检查等),尤其是IC设计中PLL设计应用、时序仿真中的延迟反标注、DFT、设计验证等IC工程设计中的实用技术。通过给出设计实例,讲解此类问题的解决方案。

本书重在提高工程实践能力,读者对象为有一定硬件设计经验和数字电路基础的工程师以及掌握Verilog基本语法和数字设计基础知识的本科生。该书给出多个各自独立的单元,分别针对某个具体设计实例或设计中需要解决的问题展开详细讨论。自学的读者可以根据工作或学习的实际需要重点学习某些单元。作为培训教程,培训师可根据客户需求从众多练习中精选一部分开设专题讲座。

Translation from the English language edition:
Digital VLSI Design with Verilog by John Williams
Copyright © 2008 Springer, The Netherlands
as a part of Springer Science + Business Media
All rights Reserved

本书简体中文专有翻译出版版权由Springer Science + Business Media授予电子工业出版社。专有出版版权受法律保护。

版权贸易合同登记号 图字:01-2009-0868

图书在版编目(CIP)数据

Verilog 数字 VLSI 设计教程 / (美) 威廉斯 (Williams, J.) 著; 李林, 陈亦欧, 郭志勇译. - 北京: 电子工业出版社, 2010.7

(国外电子与通信教材系列)

书名原文: Digital VLSI Design with Verilog: A Textbook from Silicon Valley Technical Institute

ISBN 978-7-121-10991-1

I. ①V… II. ①威… ②李… ③陈… ④郭… III. ①超大规模集成电路-电路设计-高等学校-教材
②硬件描述语言, Verilog-程序设计-高等学校-教材 IV. ①TN470.2 ②TP312

中国版本图书馆CIP数据核字(2010)第100099号

策划编辑: 马 岚

责任编辑: 李秦华

印 刷:

装 订: 北京市李史山胶印厂

出版发行: 电子工业出版社

北京市海淀区万寿路173信箱 邮编: 100036

开 本: 787 × 1092 1/16 印张: 20.75 字数: 531千字

印 次: 2010年7月第1次印刷

定 价: 45.00元(含光盘1张)

凡所购买电子工业出版社的图书有缺损问题, 请向购买书店调换; 若书店售缺, 请与本社发行部联系。联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlt@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

序

2001年7月间,电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师,商量引进国外教材问题。与会同志对出版社提出的计划十分赞同,大家认为,这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材,意味着开设了一门好的课程,甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书,对近代电子学科、特别是对雷达技术的推动作用,就是一个很好的例子。

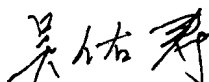
我国领导部门对教材建设一直非常重视。20世纪80年代,在原教委教材编审委员会的领导下,汇集了高等院校几百位富有教学经验的专家,编写、出版了一大批教材;很多院校还根据学校的特点和需要,陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来,随着教学改革不断深入和科学技术的飞速进步,有的教材内容已比较陈旧、落后,难以适应教学的要求,特别是在电子学和通信技术发展神速、可以讲是日新月异的今天,如何适应这种情况,更是一个必须认真考虑的问题。解决这个问题,除了依靠高校的老师 and 专家撰写新的符合要求的教科书外,引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,是会有好处的。

一年多来,电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组,选派了富有经验的业务骨干负责有关工作,收集了230余种通信教材和参考书的详细资料,调来了100余种原版教材样书,依靠由20余位专家组成的出版委员会,从中精选了40多种,内容丰富,覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面,既可作为通信专业本科生和研究生的教学用书,也可作为有关专业人员的参考材料。此外,这批教材,有的翻译为中文,还有部分教材直接影印出版,以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里,我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度,充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步,对高校教学工作会不断提出新的要求和希望。我想,无论如何,要做好引进国外教材的工作,一定要联系我国的实际。教材和学术专著不同,既要注意科学性、学术性,也要重视可读性,要深入浅出,便于读者自学;引进的教材要适应高校教学改革的需要,针对目前一些教材内容较为陈旧的问题,有目的地引进一些先进的和正在发展中的交叉学科的参考书;要与国内出版的教材相配套,安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求,希望它们能放在学生们的课桌上,发挥一定的作用。

最后,预祝“国外电子与通信教材系列”项目取得成功,为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题,提出意见和建议,以便再版时更正。



中国工程院院士、清华大学教授

“国外电子与通信教材系列”出版委员会主任

出版说明

进入 21 世纪以来,我国信息产业在生产和科研方面都大大加快了发展速度,并已成为国民经济发展的支柱产业之一。但是,与世界上其他信息产业发达的国家相比,我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入 WTO 后的今天,我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社,我们始终关注着全球电子信息技术的发展方向,始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在 2000 年至 2001 年间,我社先后从世界著名出版公司引进出版了 40 余种教材,形成了一套“国外计算机科学教材系列”,在全国高校以及科研部门中受到了欢迎和好评,得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,将有助于我国信息产业培养具有国际竞争能力的技术人才,也将有助于我国国内在电子与通信教学中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见,我们决定引进“国外电子与通信教材系列”,并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商,其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等,其中既有本科专业课程教材,也有研究生课程教材,以适应不同院系、不同专业、不同层次的师生对教材的需求,广大师生可自由选择和自由组合使用。我们还将与国外出版商一起,陆续推出一些教材的教学支持资料,为授课教师提供帮助。

此外,“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助,其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核,并得到教育部高等教育司的批准,纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作,我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望,具有丰富的教学经验,他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外,对于编辑的选择,我们达到了专业对口;对于从英文原书中发现的错误,我们通过作者联络、从网上下载勘误表等方式,逐一进行了修订;同时,我们对审校、排版、印制质量进行了严格把关。

今后,我们将进一步加强同各高校教师的密切关系,努力引进更多的国外优秀教材和教学参考书,为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足,在选题、翻译、出版等方面的工作中还有许多需要改进的地方,恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

主任	吴佑寿	中国工程院院士、清华大学教授
副主任	林金桐 杨千里	北京邮电大学校长、教授、博士生导师 总参通信部副部长, 中国电子学会会士、副理事长 中国通信学会常务理事、博士生导师
委员	林孝康	清华大学教授、博士生导师、电子工程系副主任、通信与微波研究所所长 教育部电子信息科学与工程类专业教学指导分委员会委员
	徐安士	北京大学教授、博士生导师、电子学系主任
	樊昌信	西安电子科技大学教授、博士生导师 中国通信学会理事、IEEE 会士
	程时昕	东南大学教授、博士生导师
	郁道银	天津大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会委员
	阮秋琦	北京交通大学教授、博士生导师 计算机与信息技术学院院长、信息科学研究所所长 国务院学位委员会学科评议组成员
	张晓林	北京航空航天大学教授、博士生导师、电子信息工程学院院长 教育部电子信息科学与电气信息类基础课程教学指导分委员会副主任委员 中国电子学会常务理事
	郑宝玉	南京邮电大学副校长、教授、博士生导师 教育部电子信息与电气学科教学指导委员会委员
	朱世华	西安交通大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会副主任委员
	彭启琮	电子科技大学教授、博士生导师、通信与信息工程学院院长 教育部电子信息科学与电气信息类基础课程教学指导分委员会委员
	毛军发	上海交通大学教授、博士生导师、电子信息与电气工程学院副院长 教育部电子信息与电气学科教学指导委员会委员
	赵尔沅	北京邮电大学教授、《中国邮电高校学报(英文版)》编委会主任
	钟允若	原邮电科学研究院副院长、总工程师
	刘 彩	中国通信学会副理事长兼秘书长, 教授级高工 信息产业部通信科技委副主任
	杜振民	电子工业出版社原副社长
	王志功	东南大学教授、博士生导师、射频与光电集成电路研究所所长 教育部高等学校电子电气基础课程教学指导分委员会主任委员
	张中兆	哈尔滨工业大学教授、博士生导师、电子与信息技术研究院院长
	范平志	西南交通大学教授、博士生导师、信息科学与技术学院院长

译者序

本书与其他讲述使用 Verilog HDL 设计数字集成电路的教材不同，书中除了详细讲授了 Verilog 的语法和用法，还把数字 IC 前端设计的全流程贯穿于书中的各个章节。由于这本书源自美国硅谷技术学院（Silicon Valley Technical Institute，拥有 Synopsys 及 Mentor 的认证）最近的数字 IC 培训课程，从而使中国读者有机会接受最先进、最权威的数字 IC 工程设计培训。

本书第 1 章的首个练习，是基于 90 nm 的 TSMC 库用 DC 去综合一个简单设计并产生 SDF 文件。由此可见，本书的确非常贴近实际 IC 工程项目设计。有些工程师或读者虽然已学习了 Verilog 语言，但在参与实际数字 IC 项目设计后却仍会感到茫然，这是由于进行 RTL 设计仅仅是数字 IC 设计众多环节中的一环，这本书可为这些读者解惑。本书作者为 John Williams，有多年的 IC 设计及教育培训经验，他深知一个数字 IC 设计工程师或读者最迫切需要了解和掌握什么，那就是：具有在最短的时间里承担、完成实际 IC 工程设计任务的能力。

本书共有 24 章，按作者的计划，一个星期将会完成两章内容的学习，学习完本书的时间是三个月。在这三个月内，读者将循序渐进地学习理解 Verilog 的基本语法知识，以及如何用 Verilog 来设计常用电路（状态机、FIFO 等）、事件队列、Verilog 强大的时序定义及检查功能、DFT、BIST、SDF 和电路综合等内容。同时，把目前热门的 Serdes 和 PLL 设计技术作为工程实例贯穿于全书，且每一步实际操作都有详细的说明，光盘里附有完整的源代码、testbench 及 DC 的综合脚本等。

译者曾接触过一些年轻的 IC 设计工程师，他们能够利用 Verilog 写出可以实现复杂功能的逻辑电路，但当他们在涉及后仿真、基于库的延迟信息分析等工程设计环节中，表现出分析描述时序相关语句的能力却很弱。显然，这是因为他们学习 Verilog 设计 IC 时未涉及到这方面的内容和训练。本书在这方面做了全面的讨论，读者可以深入了解这些知识。

本书对 Verilog 及数字 IC 前端设计做了深入的讲授，本书对希望从事数字 IC 前端设计和对于从事 FPGA 开发的读者来说都是一本很好的教材。读者可以根据自己的实际情况重点安排其学习计划。由于本书源自工程培训课程，本书也很适合用做培训教材。培训教师可根据实际课堂需求安排学生的学习计划。

本书由李林、陈亦欧、郭志勇翻译，李广军审校。电子工业出版社为本书的后期出版做了大量的工作。在此，对所有为本书出版提供帮助的人士表示诚挚的谢意！

由于译审者水平有限，加之时间仓促，译文中难免有不妥之处，敬请读者不吝指正。

序 言

自从20世纪80年代中期 Phil Moorby 首创了 Verilog 以来, Verilog 这门 HDL 语言及其用法不断发展。由于当时数字电路设计的平均规模大约是 10 000 门, 因此当时 Verilog 的主要用途就是提供一种仿真的方法来确保设计的正确、有效。随着设计规模的急剧扩大, 先完成 RTL 级设计, 再完成自动逻辑综合, 这已经成为现在大多数设计的标准流程。随着这一进程的逐步成熟, Verilog 这门语言本身也在不断演进和更新。

这些年出版了很多关于 Verilog 的书。为了发展和推广这门语言, 我自己也和 Phil Moorby 一起合作提供了大量的范例。随着 Verilog 语言的 5 个新版本及其用法的不断演进, 这些范例也已随之更新。

然而, 本书的视角和以前的很多书籍都不同, 很独特。本书的作者 John Williams 多年从事 ASIC 设计和教学。他给大家带来了对于 Verilog 这门语言非常深入的讲解, 并且详细地指导读者怎样配合逻辑综合工具来使用这门语言。没有其他的 Verilog 书籍这么深入浅出地涉及了这个话题。

如果想学习 Verilog, 并且想尽快地利用这门语言进行可综合的设计, 那么这就是你需要的书了。本书按章节, 循序渐进地为读者灌输了新的概念, 以及如何把这些新概念和知识运用在设计中。此外, 每一章都附有精心设计的练习和详细的练习指导。读者可以根据书中的章节来安排自己的学习进度。这也是一条我们自己走过的路。也就是说, 先学习基础概念, 然后在练习里运用它们, 逐渐深入到高级的课题中去。由于作者对于 Verilog 的教学经验非常丰富, 因此本书的章节组织得很恰当合理, 对读者学习 Verilog 会有极大帮助。

Don Thomas
宾夕法尼亚州; 匹兹堡
2008

前 言

本书基于作者在硅谷技术学院 (Silicon Valley Technical Institute) (位于美国加州圣何塞市) 多年的教学经验, 由作者在教学课件及对应的课程练习的基础上提炼出来的。

据作者所知, 这门课程是到目前为止唯一做到了以下三点的:

- (a) 完整、深入地讲解了 Verilog 语言
- (b) 实现了全双工串行 / 解串器的仿真模型
- (c) 实现了可综合的数字锁相环

在这门课程的发展和准备本书的过程中, 硅谷技术学院的 CEO, Ali Iranmanesh 博士给予了极大的鼓励和帮助。在这里, 作者表示由衷的感谢。



目 录

第 0 章	概述	1
0.1	课程描述	1
0.2	如何使用本书	1
0.3	参考文献	3
0.4	推荐的互动 Verilog 教程	5
第 1 章	Verilog 入门	6
1.1	练习 1	6
1.2	Verilog 矢量	16
1.3	练习 2: 操作数	18
1.4	小结	19
	阅读 Palnitkar (2003) (可选)	21
第 2 章	Verilog 基础知识 1	22
2.1	更多的语言结构	22
2.2	练习 3: 参数和转换	28
2.3	过程控制	30
2.4	练习 4: 非阻塞控制	35
	阅读 Palnitkar (2003) (可选)	39
第 3 章	Verilog 基础知识 2	40
3.1	线型, 仿真和扫描	40
3.2	练习 5: 简单的扫描	48
	阅读 Palnitkar (2003) (可选)	53
第 4 章	锁相环和串行/解串器入门	54
4.1	锁相环和串行/解串器工程	54
4.2	练习 6: PLL 时钟	62
第 5 章	存储与数组	71
5.1	数据存储与 Verilog 数组	71
5.2	练习 7: 存储器	80
	阅读 Palnitkar (2003) (可选)	83
第 6 章	计数器	84
6.1	计数器的类型与结构	84

6.2 练习 8: 计数器	89
阅读 Palnitkar (2003) (可选)	92
第 7 章 强度和竞争	93
7.1 竞争和操作符的优先级	93
7.2 数字基础: 三态缓冲和解码器	99
7.3 练习 9: 强度和竞争	100
7.4 接着讨论 PLL 和串行/解串器	105
7.5 练习 10: PLL 行为级锁定	114
阅读 Palnitkar (2003) (可选)	116
第 8 章 状态机和 FIFO	117
8.1 状态机和 FIFO 设计	117
8.2 练习 11: FIFO	130
阅读 Palnitkar (2003) (可选)	133
第 9 章 事件	134
9.1 上升-下降延迟和事件计划	134
9.2 练习 12: 计划	141
阅读 Palnitkar (2003) (可选)	145
第 10 章 内建器件	146
10.1 内建的门及线型	146
10.2 练习 13: 网表	151
阅读 Palnitkar (2003) (可选)	153
第 11 章 顺序控制和并发	154
11.1 顺序控制和并发	154
11.2 练习 14: 并行	163
阅读 Palnitkar (2003) (可选)	165
第 12 章 层次和 generate	166
12.1 层次命名和 generate 块	166
12.2 练习 15: generate	175
阅读 Palnitkar (2003) (可选)	179
第 13 章 函数、任务和串并转换	180
13.1 串并转换	180
13.2 练习前预习: 解串器	182
13.3 练习 16: 串并转换	185
第 14 章 UDP 和开关级模型	189
14.1 用户定义原语、时序参数和开关级模型	189

14.2	练习 17: 元件	196
	阅读 Palnitkar (2003) (可选)	200
第 15 章	参数和层次	201
15.1	参数的类型与模块连接	201
15.2	练习 18: 连线	203
15.3	层次命名和设计划分	207
15.4	练习 19: 层次	211
第 16 章	配置和时序	214
16.1	Verilog 的配置	214
16.2	时序弧和 specify 延迟	215
16.3	练习 20: 时序	221
	阅读 Palnitkar (2003) (可选)	224
第 17 章	时序检查和断言	225
17.1	时序检查和脉冲控制	225
17.2	练习 21: 时序检查	233
	阅读 Palnitkar (2003) (可选)	236
第 18 章	解串器和升级 PLL	237
18.1	串行序列解串器	237
18.2	重新设计 PLL	238
18.3	练习 22: 串行序列解串器	245
第 19 章	升级解串器	256
19.1	并行解串器	256
19.2	练习 23: 解串器	258
第 20 章	完成串行/解串器	273
20.1	串行器和串行/解串器	273
20.2	练习 24: 串行/解串器	274
第 21 章	可测性设计和全双工串行/解串器	283
21.1	可测性设计	283
21.2	练习 25: 扫描和 BIST	289
21.3	全双工串行/解串器的 DFT	295
21.4	练习 26: 测试 SerDes	296
第 22 章	SDF	304
22.1	SDF 反标	304
22.2	练习 27: SDF	305

第 23 章	Verilog 语言总结	309
23.1	Verilog 语言总结	309
23.2	课后练习 (继续完成练习 23 及以后的练习).....	313
	阅读 Palnitkar (2003) (可选)	313
第 24 章	深亚微米的问题及其验证	314
24.1	深亚微米的问题及其验证	314
24.2	课后练习 (继续完成练习 23 及以后的练习).....	319
	阅读 Palnitkar (2003) (可选)	319

第0章 概述

0.1 课程描述

本书可以用做为期12周课程的教材和练习指导手册,每周学习两章。本书已经按学习进度划分了章节。

本课程适用于已经获得电子工程方向本科学位,或有相同数字设计经验的人员。除了有数字设计的背景要求外,还要求课程的参加者熟悉一门现代的软件编程语言,如C语言。

如果要完整地学习书中的内容并完成所有的练习,大概需要在这12周里每周都拿出12个小时的时间。当然,读者可以根据自己的情况来调整进度。因此,学习这本书的时间会比参加固定进度的课程的时间要灵活得多。

本书的部分内容

讨论: 模块和层次关系;阻塞和非阻塞赋值;组合逻辑;时序逻辑;行为模型;RTL模型;门级模型;硬件时序和延迟;参数;基本的系统任务;时序检查;Generate语句;仿真事件计划;条件竞争;综合操作;可综合的结构;网表仿真;综合控制原语;Verilog对综合优化的影响;SDF文件;测试结构;补错基础等。

练习的工程: 移位和扫描寄存器;计数器;存储器与FIFO;数字锁相环(PLL);串并转换器;串行/解串器;原语门;开关级设计;网表反标等。

0.2 如何使用本书

作者推荐读者按章节顺序阅读这本书。一个知识点可能会在书中的多个部分讲到,通常是这样的:先是简要的,不完整的提到了一个新的想法或语法的特性;然后在数页之后,可能再继续深入地讨论这个话题或知识点。

每章的最后都有补充阅读的内容,阅读的书籍是两本广受好评的Verilog书籍。一本书的作者是Thomas和Moorby,另一本书的作者是Palnitkar。如果读者在学习并完成了练习之后,觉得有的内容仍然很难理解。那么,读者也许应该去读这个简介后的那些参考资料。

0.2.1 光盘中的内容

光盘里包含了本书所有练习的完整答案。此外,还有一个后缀名为tar的压缩文件,里面的内容就是这些答案,这只是为了方便读者将答案复制到Linux或UNIX环境里去。

在使用这张光盘之前,请记得先读光盘里的ReadMe.txt文件。

光盘里misc目录下的文件有练习1要用到的文件列表和其他一些非核心设计的文件。目录里还有VCS和QuestSim仿真工具的PDF简要操作文档。

misc 目录里还有作者自己写的非私有的 Verilog 库文件。在进行网表仿真的时候, 这些库可以提供接近实际情况的仿真模型。如果你在设计里使用的是 TSMC (台积电) 的库, 那么这些仿真模型是不准确的。但是, 用这些库来学习是没有问题的。请记住, 这些库仅能在练习的设计中使用。如果你的设计会在 TSMC 流片, 请使用符合 Synopsys 标准的、有正确反标时序信息的 TSMC 库。

0.2.2 完成练习

本书包含了详尽的练习步骤。在做一个练习之前, 可以把光盘对应的目录里的文件和目录都复制到你的练习环境中去。

读者在进行练习的时候, 必须要有使用仿真工具的权限。如果读者没有使用 EDA 工具的权限也没有关系, 光盘中附带了试用版的 Silos 仿真工具。除了串行/解串器这个大工程 Silos 可能应付不了之外, 其余练习的仿真都可以用这个工具来完成。你还可以使用学生版的 Aldec 仿真工具, 它的功能还要强大一些。Verilog 的仿真工具通常也会随着 FPGA 硬件开发套件免费赠送。但是, 如果要用 ASIC 库做网表仿真, 则需要更高级的仿真工具, 例如 VCS 和 QuestaSim。

如果有条件, 最好使用 Synopsys 的综合工具 DC 和仿真工具 VCS 来完成本书的练习。设计 VCS 这个软件的目的就是为了辅助大规模集成电路的设计, 而 VCS 也是进行大规模集成电路设计最好的仿真工具之一。

请记住, 无论是哪一种 Verilog 仿真工具都不会完整地支持 Verilog 的所有特性。不同的仿真工具支持的功能是有差别的。在设计练习的答案时, 作者尽量保证了这些代码在多种仿真工具里都没有问题。

作者完成光盘里的练习用的是如下配置: 软件是 Synopsys Design Compiler (Z-2007.03 SP2) 和 VCS(MX 2007), 操作系统是 Red Hat Enterprise Linux 3, 硬件的配置是 384 MB 的内存和 1 GHz 的 x86 CPU。综合的时候用到的库是 TSMC 90 nm 前端的库 (典型的 PVT 参数)。部分专业的读者可能对这些信息感兴趣。

0.2.3 私有信息和许可限制

对于公开发表 VCS, DC 或 QuestaSim 的工作性能细节的行为, 可能需要 Synopsys 或 Mentor 的书面允许。因此, 如果读者使用的是这些 EDA 工具来完成本书的练习, 作者建议读者在没有确保自己得出的信息没有包含任何有可能泄露自己所使用工具的详细特性或其他私有信息之前, 不要复制或发表这些相关的信息。这是许可的问题, 与版权、技术专利这些都无关。请先了解你所使用的 EDA 工具的许可限制。

对于 TSMC 的库来说也是这样的。虽然前端库仅被设计用来完成综合, 布局和时序验证, 但是它们也许包含了 TSMC 的秘密。如果没有 TSMC 和 Synopsys 的特殊允许, 不要将 TSMC 库和相关文档里的任何内容复制到别处。

光盘里的 Verilog 仿真库虽然看起来也像是私有的, 但是, 这个仿真库并不是由 Synopsys 或 TSMC 产生的。应该认为它们是有版权的, 但它们却不是私有的。对于购买了这本书的读者, 出于个人学习的目的, 可以复制或修改这些模型。

虽然在综合时,综合工具使用了Synopsys所有的综合库,但综合出来的网表不是私有的。而关于综合网表的某些综合性能细节的内容,在没有得到Synopsys的特许前,不应该公开发表。

0.3 参考文献

(链接之后的日期是该链接被作者使用时的新日期)

- Accellera Organization. *System Verilog Language Reference Manual v. 3.1a*. Draft standard available free for download from Accellera web site at <http://www.accellera.org/home>.
- Anonymous. "Design for Test (DFT)", Chapter 3 of *The NASA ASIC Guide: Assuring ASICs for Space*. http://klabs.org/DEI/References/design_guidelines/content/guides/nasa_asic_guide/Sect.3.3.html (2003-12-30 更新).
- Anonymous. *SerDes Transceivers*. Freescale Semiconductor, Inc. <http://www.freescale.com/webapp/sps/site/overview.jsp?nodeId=01HGpJ2350NbkQ> (2004-11-16).
- Barrett, C. (Ed.) *Fractional/Integer-N PLL Basics*. Texas Instruments Technical Brief SWRA029, August, 1999. <http://focus.ti.com/lit/an/swra029/swra029.pdf> (2004-12-09).
- Bertrand, R. "The Basics of PLL Frequency Synthesis", in the *Online Radio and Electronics Course*. <http://www.radioelectronicschool.com/reading/pll.pdf> (2004-12-09).
- Bhasker, J. A *Verilog HDL Primer* (3rd ed.). Allentown, Pennsylvania: Star Galaxy Publishing, 2005.
- Cipra, B. A. "The Ubiquitous Reed_Solomon Codes". *SIAM News*, 26(1), 1993. http://www.eccpage.com/reed_solomon_codes.html (2007-09-18).
- Cummings, C.E. "Simulation and Synthesis Techniques for Asynchronous FIFO Design" (rev. 1.1). Originally presented at San Jose, California: The *Synopsys Users Group Conference*, 2002. http://www.sunburst-design.com/papers/CummingsSNUG2002SJ_FIFO1_rev1_1.pdf (2004-11-22).
- Cummings, C. E. and Alfke, P. "Simulation and Synthesis Techniques for Asynchronous FIFO Design with Asynchronous Pointer Comparisons" (rev. 1.1). Originally presented at San Jose, CA: The *Synopsys Users Group Conference*, 2002. http://www.sunburst-design.com/papers/CummingsSNUG2002SJ_FIFO2_rev1_1.pdf (2004-11-22).
- IEEE Std 1364-2005. *Verilog Hardware Description Language*. Piscataway, New Jersey: The IEEE Computer Society, 2005. Revised in 2001 and reaffirmed, with some System Verilog added compatibility, in 2005. If you plan to do any serious work in verilog, you should have a copy of the standard. It is not only normative, but it includes numerous examples and explanatory notes concerning every detail of the language. In this text, we refer to "verilog 2001" syntax where it is the same as in the 2005 standard.
- Keating, M., et al. *Low Power Methodology Manual for System-on-Chip Design*. Springer Science and Business Solutions, 2007. Available from Synopsys as a free PDF for personal use only: <http://www.synopsys.com/lpmm> (2007-11-06).

- Knowlton, S. "Understanding the Fundamentals of PCI Express". Synopsys White Paper, 2007. Available at the Technical Bulletin, Technical Papers page at <http://www.synopsys.com/products/designware/dwtb/dwtb.php>. Free registration and login (2007-10-17).
- Koeter, J. *What's an LFSR?*, at <http://focus.ti.com/lit/an/scta036a/scta036a.pdf> (2007-01-29).
- Mead, C. and Conway, L. *Introduction to VLSI Systems*. Menlo Park, CA: Addison-Wesley, 1980. Excellent but old introduction to switch-level reality and digital transistor design and fabrication.
- Palnitkar, S. *Verilog HDL* (2nd ed.). Palo Alto, CA: Sun Microsystems Press, 2003. A good basic textbook useful for supplementary perspective. Also includes a demo version of the *Silos* simulator on CD-ROM. Our daily *Additional Study* recommendations include many optional readings and exercises from this book.
- Seat, S. "Gearing Up Serdes for High-Speed Operation", posted at http://www.commsdesign.com/design_corner/showArticle.jhtml?articleID=16504769 (2004-11-16).
- Suckow, E. H. "Basics of High-Performance SerDes Design: Part I" at http://www.analogzone.com/iot_0414.pdf; and, Part II at http://www.analogzone.com/iot_0428.pdf (2004-11-16).
- Sutherland, S. "The IEEE Verilog 1364-2001 Standard: What's New, and Why You Need it". Based on an *HDLCon 2000* presentation. http://www.sutherland-hdl.com/papers/2000-HDLCon-paper_Verilog-2000.pdf (2005-02-03).
- Thomas, D. E. and Moorby, P. R. *The Verilog Hardware Description Language* (5th ed.). New York: Springer, 2002. A very good textbook which was used in the past as the textbook for this course. Includes a demo version of the *Silos* simulator on CD-ROM. Our *Additional Study* recommendations include many optional readings and exercises from this book.
- Wallace, H. "Error Detection and Correction Using the BCH Code" (2001). <http://www.aqdi.com/bch.pdf> (2007-10-04).
- Wang, D. T. "Error Correcting Memory - Part I". <http://www.realworldtech.com/page.cfm?ArticleID=RWT121603153445&p=1> (2004-12-15: there doesn't seem to be any Part II).
- Weste, N. and Eshraghian, K. *Principles of CMOS VLSI Design: A Systems Perspective*. Menlo Park, CA: Addison-Wesley, 1985. Old, but overlaps and picks up where Mead and Conway leave off, especially on the CMOS technology *per se*.
- Zarrineh, K., Upadhyaya, S. J., and Chickermane, V. "System-on-Chip Testability Using LSSD Scan Structures", *IEEE Design & Test of Computers*, May-June 2001 issue, pp. 83-97.
- Ziegler, J. F. and Puchner, H. *SER - History, Trends, and Challenges*. San Jose, Cypress Semiconductor Corporation, 2004. (stock number 1-0704SERMAN). Contact: serquestions@cypress.com.
- Zimmer, P. "Working with PLLs in PrimeTime - avoiding the 'phase locked oops'". Drafted for a Synopsys User Group presentation in 2005. Downloadable at <http://www.zimmerdesignservices.com> (2007-04-12).