



国际信息工程先进技术译丛

吉规模集成电路 互连工艺及设计

**Interconnect Technology
and Design for Gigascale Integration**

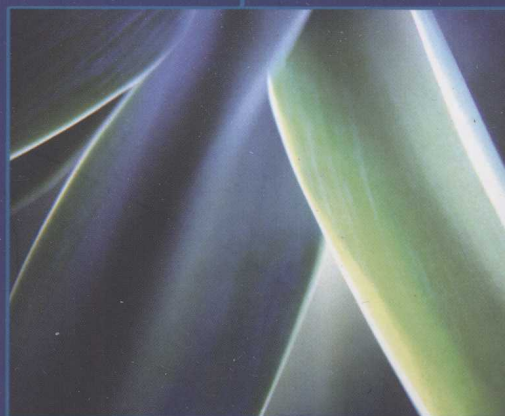
(美) Jeffrey A. Davis
James D. Meindl

骆祖莹 叶佐昌
吕勇强 喻文健

著
译

2

 **机械工业出版社**
CHINA MACHINE PRESS



TN

TN470.2

4

国际信息工程先进技术译丛

吉规模集成电路 互连工艺及设计

(美) Jeffrey A. Davis 著
James D. Meindl 著
骆祖莹 叶佐昌 译
吕勇强 喻文健 译



机械工业出版社

本书是集成电路互连设计领域的一部力作, 汇集了来自北美著名高校与研究机构的科研成果, 涵盖了 IC 互连的研究内容: 上至面向互连的计算机体系结构, 下至 IBM 公司开创的革命性的铜互连工艺。目前包括多核 CPU 在内的主流高端芯片均是吉规模集成电路, 权威学者在书中对互连工艺与设计技术所进行的全方位多视角论述, 有助于读者理解吉规模集成电路的具体技术内涵。

本书可供从事 IC 设计的相关技术人员参考, 也可作为微电子专业高年级本科生和研究生的教材。

Translation from the Chinese language edition:

Interconnect Technology and Design for Gigascale Integration by J. Davis & J. Meindl

Copyright © 2003 Kluwer Academic Publishers, The Netherlands

as a part of Springer Science+Business Media

All Rights Reserved

本书中文简体字版由机械工业出版社出版。未经出版者书面允许, 本书的任何部分不得以任何方式复制或抄袭。版权所有, 翻印必究。

图字: 01-2008-4796

图书在版编目 (CIP) 数据

吉规模集成电路互连工艺及设计/ (美) 戴维斯 (Davis, J. A.), (美) 迈恩 (Meindl, J. D.) 著; 骆祖堂等译. —北京: 机械工业出版社, 2010. 3

(国际信息工程先进技术译丛)

Interconnect Technology and Design for Gigascale Integration

ISBN 978-7-111-30301-5

I. ①吉… II. ①戴…②迈…③骆… III. ①超大规模集成电路—电路设计
IV. ①TN470.2

中国版本图书馆 CIP 数据核字 (2010) 第 059190 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 张俊红 责任编辑: 张俊红

版式设计: 霍永明 责任校对: 刘志文

封面设计: 马精明 责任印制: 乔 宇

北京汇林印务有限公司印刷

2010 年 8 月第 1 版第 1 次印刷

169mm×239mm·20 印张·390 千字

0001—3000 册

标准书号: ISBN 978-7-111-30301-5

定价: 78.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

社服务中心: (010)88361066

门户网: <http://www.cmpbook.com>

销售一部: (010)68326294

教材网: <http://www.cmpedu.com>

销售二部: (010)88379649

读者服务部: (010)68993821

封面无防伪标均为盗版

译者序

随着 CMOS 集成电路应用范围的不断扩大、生产工艺的不断升级,集成电路 (IC) 的功能也不断增强,其规模也不断增大。目前,Intel 公司已设计出了用于多核处理器的商用大规模集成电路 (GSI),GSI 带来了大量的设计、制造、封装、测量等问题,不仅需要相关学者进行大力研究,更需要广大学生和工程技术人员学习与了解最新的研究成果。为了提高微电子专业的教学水平,服务于国内快速成长的 IC 产业,故翻译了本书。

本书是一本专注于 IC 互连设计的中文译著,不仅可作为微电子专业高年级本科生和研究生的教材,还是一本有价值的工程参考书。本书共 10 章,可分为 4 个部分。第 1 部分是第 1 章,介绍了 GSI 给互连设计所带来的挑战及机遇,强调了互连设计的重要性。第 2 部分包括第 2~4 章,广泛地介绍了互连设计的基础:铜互连工艺、RLC 参数提取、分布式 RC 和 RLC 瞬态分析模型。第 3 部分包括第 5~8 章,详细介绍了 GSI 互连设计的各个方面,第 5 章介绍了电源、时钟和全局信号等全局互连线网的设计技术,第 6 章介绍了基于随机线长分布模型的多层互连设计技术,第 7 章介绍了以互连为中心的计算机体系结构,第 8 章介绍了芯片到模块之间的 I/O 互连设计技术。第 4 部分包括第 9、10 章,对 GSI 两种互连设计新技术进行了论述,第 9 章给出了 3D 集成芯片的互连设计技术,第 10 章给出了硅微光子学互连设计技术。

本书的几位译者均长期在国内外著名研究机构从事电子设计自动化 (EDA) 的研究工作,在 IC 互连设计、参数提取、性能分析、低功耗设计等领域积累了大量的设计经验。叶佐昌博士翻译了第 2、4、9 章,吕勇强博士翻译了第 6 章,喻文健博士翻译了第 3 章,骆祖莹博士负责其余章节的翻译和全书的统稿工作。同时,骆祖莹、喻文健和叶佐昌对全书进行了校对。在本书的翻译过程中,还得到了边计年教授以及博士研究生袁仲达、何鸥等同学的大力帮助。

限于译者的水平,译文中的疏漏与错误在所难免,欢迎广大读者批评指正。

译者

原 书 前 言

国际半导体技术发展路线图 (ITRS) 预计到 2011 年将制造出吉规模集成电路 (GSI), 即在单个芯片 (die) 上集成了多达 10 亿 (10^9) 只晶体管。在这个集成 10 亿只晶体管的芯片上, 由金属线构成的互连系统为每个晶体管提供电源、为锁存器和动态电路提供低偏差的同步时钟信号, 并且在芯片内传输数据与控制信号。GSI 电路采用多层互连网络, 9~10 个叠加的金属布线层将产生 10 亿亿 (10^{17}) 个耦合电感与耦合电容, 导致 GSI 互连系统的分析模型非常复杂, 使得其设计复杂度也非常巨大。本书阐述了 21 世纪 GSI 互连工艺与设计所面临的挑战及其带来的机遇。

本书汇聚了来自佐治亚理工学院、麻省理工学院 (MIT)、斯坦福大学等学术界研究成果, 以及来自 IBM 公司 T.J. Watson 研究中心、LSI Logic 公司和 SUN 微系统公司等产业界研究成果。本书内容独特, 涵盖了广泛的 IC 互连研究内容, 下至 IBM 公司开创的革命性的铜互连工艺, 上至面向互连的计算机体系结构。权威学者在书中对互连工艺与设计技术进行了全方位、多视角的论述, 有助于读者理解作为下一代半导体工业里程碑的吉规模集成电路的具体内涵。

第 1 章: GSI 所带来的互连机遇

在过去的 40 年中, 半导体技术在产能与性能这两个方面都取得了指数级的发展速度。在产能、性能、功耗与信号完整性等方面, 多层互连网络近年来已成为 GSI 设计的主要约束, 必须为大量的互连问题寻找广泛的解决方案。本章对最近取得的重要研究成果进行了概述。基于对百万单元电路设计的完全随机信号互连长度分布的预测, 适用于任意布线层对的反向光学缩放技术能够缩小单元面积、缩短时钟周期、降低功耗、减少布线层的数量。采用一种混合的伦特定律, 可以得出一种新的设计方法, 用于设计片上系统的全局信号网、时钟网和电源线/地线网络。在这些全局线网的设计中, 必须优先考虑面积、带宽与信号完整性。三维芯片技术的出现能够将最长的互连线长度缩短 75%。用于芯片输入/输出 (I/O) 互连与芯片级封装的晶元批制造技术能够提高 I/O 的带宽、抑制同时跳变噪声、降低封装与测试的成本。在改善互连延时、带宽、功耗与串扰等方面, 微光子互连技术则在未来提供了一种技术可能。

第2章：用于硅材料 CMOS 逻辑的铜材料 BEOL 互连技术

IBM 公司于 1997 年 8 月宣布了一项研究计划，使铜互连技术首次被应用到集成电路芯片制造中，这是一项自 IC 发明之后所出现的最重要后端线（BEOL）互连技术创新之一。为了能够用铜金属成功地制造出 IC 芯片中的互连线，BEOL 技术在数个方面进行了重大创新，包括详细地研究了铜导线的微结构、金属沉淀方法和工艺条件对铜导线微结构的影响、微结构对铜导线电迁移特性的影响、双大马士革结构的综合方法及这种综合方法给版图中相关图形与综合所带来的挑战，在铜导线与绝缘材料之间发明了一种隔离层结构，能够有效地防止铜材料的扩散。本章对以上铜互连技术的各个方面进行了回顾，首先简要地回顾了数年来 BEOL 互连技术的发展过程，指出正是双大马士革结构工艺和化学机械磨平工艺的发明才导致铜互连技术的实现。

第3章：互连线电阻、电容、电感寄生参数的提取

对于深亚微米工艺而言，互连线寄生电阻、电容、电感的参数提取决定电路的时延、功耗及信号完整性。本章在介绍必要的电磁学准备知识后，开始讨论一些基本的 R、C 提取算法和实用技术。由于电路工作频率高达数吉赫兹（GHz），信号的上升与下降速度非常快，互连线寄生电感的影响难以忽略，本章接着给出了片上电感的参数提取模型，用于芯片电源线/地线网络的实际仿真。以上参数提取模型和分析方程均考虑了互连线的三维几何形状、多导体环境与衬底效应。

第4章：分布式 RC 和 RLC 瞬态模型

VLSI 芯片中的全局互连线和半全局互连线可以等效为分布式 RC 和 RLC 网络，必须采用偏微分方程（PDE）来描述互连线节点的瞬态电压变化。本章给出了大量的 PDE 求解方法，用于互连的瞬态分析。对于各种规则的 GSI 互连结构，精确的瞬态分析方法可以进一步简化，推导出关于时延、电压过冲（overshoot）与串扰等计算的闭式（closed-form）表达式。本章最后讨论了非理想的电流回路对于当前与未来 GSI 设计的影响。

第5章：电源、时钟和全局信号传输

本章给出了在集成架构下设计与优化全局互连网络的技术，用于全局信号、时钟与供电等互连网络的设计与优化。为了帮助理解互连架构所面临的新设计约束，本章接着介绍了一组用于全局信号、时钟与供电等互连网络的重要模型，这些模型描述了未来几代集成电路工艺中的互连特性，可以用于构建吉规模片上系统（GSOC）的集成互连架构。

第6章：随机多层互连的建模与优化

已知的伦特定律 (Rent's Rule) 可以表述已优化逻辑网络中所必备的共有特性, 采用伦特定律可以严格地推导出互连线的长度分布, 进而推导出动态功耗、关键路径和芯片面积等的分析模型, 最后采用互连随机分布模型和时钟周期模型, 能够对复杂数字逻辑芯片的多层互连系统进行优化, 使时钟频率、芯片面积或芯片功耗达到最优。在多层互连架构中, 转发器 (repeater) 插入方法的优点在于它能够同时解决两个截然不同的问题: 线宽调节与布线层分配。在最大转发器面积开销的约束下, 转发器插入方法在有效的设计空间内, 对含有百万单元的 GSI 逻辑芯片进行面积、功耗、时钟频率和金属布线层的优化。

第7章：以互连为中心的计算机体系结构

要设计出对互连敏感的计算机体系结构, 就必须对算法、体系结构、局部化计算与通信技术进行研究。多媒体应用给具有高效计算能力的嵌入式系统芯片带来了市场机遇, 而嵌入式系统芯片的性能和片上互连系统设计质量的好坏之间存在明显的比例关系。面向多媒体应用的嵌入式系统芯片采用分布式体系结构, 大量的结构简单的分布式处理单元进行细粒度数据处理。本章首先介绍一些含有互连描述的系统模型, 然后使用这些模型来考察不同体系结构技术转变为以互连为中心的可能性, 相应的体系结构研究也采用了这些模型进行局部化计算与通信技术研究, 达到高效计算的目的。在研究中, 采用国家半导体技术发展路线图 (NTRS) 的技术能力预测, 进行实际设计选择, 并对未来设计的性能进行预测。包括芯片面积、时钟频率、功耗在内的关键性能参数被用于以上不同体系结构技术的比较。以上系统模型是将体系结构描述与互连模型关联起来, 它们的定义与应用才是研究体系结构与布线需求之间关系的主要内容。系统模型计算出来的芯片面积与实际面积之间的比较可以对系统模型的有效性进行验证, 其后进行的体系结构研究可以深入分析不同设计的性能。

第8章：芯片到模块间的互连

芯片到模块间的互连作用就是给 IC 提供关键服务和数据通信, 并以最低的可能费用将芯片性能退化与成品率损耗降到最小。基于 IC 和基板 (如印制电路板) 的技术进步, 芯片到模块间互连的方法发展很大程度上呈现出自然演化的特点。本章主要讲述芯片到模块间互连的目标与需求, 进而对服务于 IC 工业的基板与芯片到模块间互连技术进行简要的回顾, 作为论述现有芯片到模块间互连构造的基础, 接着结合未来的技术挑战, 介绍一些芯片到模块间互连的方法。

目 录

译者序

原书前言

第 1 章 GSI 所带来的互连机遇	1
1.1 引言	1
1.2 互连问题	1
1.3 反向缩小技术	4
1.4 片上系统	10
1.5 三维集成	17
1.6 输入/输出互连的强化	19
1.7 光子互连	21
1.8 小结	22
参考文献	24
第 2 章 用于硅材料 CMOS 逻辑的铜材料 BEOL 互连技术	27
2.1 引言	27
2.2 BEOL 演化	28
2.3 铜的特性	29
2.4 铜的电镀	31
2.5 铜互连的可靠性	35
2.6 铜互连的生产	42
2.7 小结	45
参考文献	45
第 3 章 互连线电阻、电容、电感寄生参数的提取	48
3.1 引言	48
3.2 电磁方程	49
3.3 电阻提取	50
3.4 电容提取	53
3.5 电感提取	60
3.6 小结	78
参考文献	79

第 9 章：三维芯片 DSM 工艺互连的性能建模与分析

本章分析了现有互连与设计技术的局限性，并论述了一种新的三维芯片设计策略，这种策略利用垂直维度（vertical dimension）来减轻互连导致的设计问题，并促进片上系统（SoC）的应用。研究人员已经提出了一个用于处理三维芯片的综合解析分析方法。研究表明，对于一个互连制约的平面（二维）芯片，只要将它分为几块，每块占有一个器件层，所有器件层垂直叠加起来，相互之间用短的垂直互连线（VILIC）连接起来，即使不使用任何新的电路或设计创新，就可以在性能上取得显著提高，并能够显著减小芯片面积。对于拥有两个器件层的三维芯片，这种分析方法对将转发器（repeater）挪到上器件层的效果进行量化，并提出了一个将互连线在不同垂直汇线通道进行分配的优化方案，进而对三维芯片所引起的高功耗密度进行了分析研究，为了对不同器件层温度进行分析，又提出了一个解析分析模型。研究表明，为了获得三维芯片的最优性能，必须采用更为先进的散热技术。此外，本章还特别着眼于 SoC 设计策略，讨论了三维芯片结构对几个电路设计、CAD 方法与工具的影响，最后本章概述了一些有希望的三维芯片制造技术。

第 10 章：硅微光子学

目前正在进行的全球信息基础建设就是要为用户提供数据、语音、视频的瞬时获取。相较于系统、软件、网络的设计，在启动这个信息革命的过程中，新材料与新型器件的不断引入则起到了更大的作用。对比于电缆中电子的信息传播能力受限于电阻与电容和终端设备，光缆中光子的信息传播能力仅受限于传输介质的光子散射。因此，在光网络中，限制网络性能与信息容量的瓶颈在于用户节点的光电转换能力。为了将大容量光子信息流接入个人信息设备中，目前的研究前沿是光子器件的大规模集成与制造。微光子学就是研究具有光子信息处理的大规模平面电路集成技术。

本书编者非常感谢各章作者在完成本书中所付出的时间与耐心，我们真实地感觉到，正是所有参与人员的真诚合作与大量的时间投入，才造就了本书的高质量，对于来自工业界与学术界的读者而言，本书具有广泛的参考价值。

Jeff Davis, James Meindl

电子与计算机工程学院

佐治亚理工学院

亚特兰大，佐治亚州

第4章 分布式 RC 和 RLC 瞬态模型	84
4.1 引言	84
4.2 分布式 RC 模型	84
4.3 分布式 RLC 模型	96
4.4 非理想返回路径	117
4.5 小结	120
参考文献	120
第5章 电源、时钟和全局信号传输	122
5.1 引言	122
5.2 全局信号互连建模	123
5.3 全局时钟传输建模	134
5.4 全局电源供电建模	144
5.5 全局互连的集成架构	158
5.6 小结	164
参考文献	165
第6章 随机多层互连的建模与优化	168
6.1 引言	168
6.2 线长分布模型	168
6.3 线网模型近似	178
6.4 与实际数据的比较	179
6.5 关键路径模型	181
6.6 动态功耗模型	184
6.7 最优 n 阶多层互连架构	186
6.8 小结	199
参考文献	200
第7章 以互连为中心的计算机体系结构	202
7.1 引言和研究动机	202
7.2 面向互连的体系结构	204
7.3 互连需求模型	204
7.4 相关研究	205
7.5 GENESYS 的组织和模型	206
7.6 异构型体系结构模型	207
7.7 系统设计分析	213
7.8 互连需求及其与体系结构的关系	218
7.9 小结	222

参考文献	223
第 8 章 芯片到模块间的互连	227
8.1 引言	227
8.2 封装和芯片到模块的发展趋势	229
8.3 微通孔印制电路板技术	237
8.4 用于 GSI 的芯片到模块间互连	242
参考文献	248
第 9 章 三维芯片 DSM 工艺互连的性能建模与分析	251
9.1 引言	251
9.2 三维芯片的研究动机	252
9.3 本章的研究范围	258
9.4 三维集成电路面积与性能估计	259
9.5 三维芯片的挑战	271
9.6 三维芯片对电路设计和片上系统应用带来的影响	278
9.7 三维芯片工艺回顾	281
9.8 小结	286
参考文献	287
第 10 章 硅微光子学	296
10.1 引言	296
10.2 光学互连	297
10.3 单片硅微光子学	298
10.4 光学时钟传输与数据 I/O	305
10.5 小结	307
参考文献	308

第 1 章 GSI 所带来的互连机遇

J. D. Meindl, J. A. Davis, P. Zarkesh-Ha, C. Patel, K. P. Martin, P. A. Kohl

Georgia Institute of Technology

* *LSI Logic Corporation*

** *IBM T. J. Watson*

1.1 引言

在过去的 40 年中，半导体技术在产能与性能这两个方面都取得了指数级的发展速度。在半导体技术进步中，以下三项通用策略起到了指导性作用：1) 缩小最小特征尺寸 (minimum feature size)，2) 增加内核 (die) 面积，3) 提高集成效率 (packing efficiency)，其中集成效率定义为单位最小特征面积 (minimum feature area) 上晶体管数目或互连长度。缩小晶体管面积可以减少它的制造费用、缩短本征状态切换延时 (intrinsic switching delay)、降低状态切换所产生的功耗。而缩小互连的尺寸尽管能够降低费用，但会绝对地增加互连延时，并相对地增加互连功耗 (相对于晶体管功耗)。对于连续两代生产工艺，互连延时与互连功耗的增加源于相对更大的互连长度 (单位为最小沟道长度: gate pitch) 和更大的内核面积。因此，对于 GSI 的性能与功耗而言，互连已成为首要的设计约束。

在上述简要介绍之后，1.2 节对互连问题的关键方面进行了量化。1.3 节对解决互连问题的主要通用方法进行了回顾，包括新材料、新工艺、特征尺寸缩小 (scaling)、新的互连架构，并着重强调了特征尺寸缩小方法。基于对信号线随机分布的预测，多层互连网络的反向缩小方法能够得到最小芯片面积、功耗、时钟周期或最少的布线层。1.4 节回顾了用于片上系统芯片 (SoC) 全局信号网、供电网络和时钟网络综合设计的集成架构。在 1.5~1.7 节中，探讨了三种减轻片上互连问题的非常规方法，即三维芯片技术、高密度输入/输出互连强化技术和兼容的微光子学互连技术。1.8 节则给出了简要的小结。

1.2 互连问题

互连的最基本用途是什么？一言以蔽之，互连就是通信。复杂一点的解释

是：互连是实现远距离端点之间的低延迟通信。如图 1-1 所示，参考文献 [1] 给出了互连用途的清晰图示说明，其横坐标是互连延时的对数，纵坐标是互连长度负二次方的对数，图中的斜线表示了互连线单位长度上的分布电阻与分布电容乘积为常数，它是描述绝大部分 GSI 互连线的首要互连模型。因此，只要减少互连线单位长度上的分布电阻与分布电容乘积，就能够使图 1-1 中的斜线移向左下角，使给定长度互连线的延时得到减少。然而如图 1-2a 所示，经过 40 年的互连工艺发展，分布电阻与分布电容乘积不断增加，使得图中的斜线不断移向右上角，其结果就是给定长度的互连延时不断增加。图 1-2b 给出了一个完全相反的对比结果，随着工艺发展则降低了晶体管功耗延时乘积或状态切换功耗，因此功耗/延时关系斜线向左下角移动，同时降低了晶体管状态切换功耗与延时。

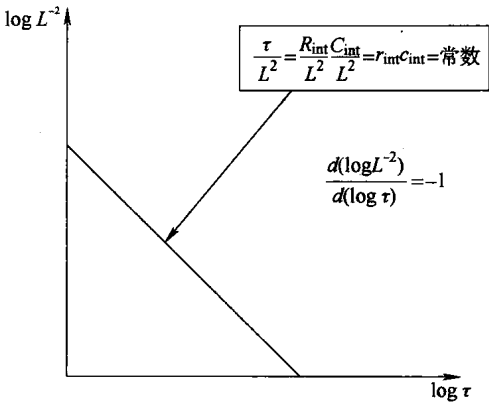


图 1-1 分布电阻与分布电容乘积为常数时，在对数坐标系上，互连长度二次方的倒数 (1/L²) 与互连延时 (τ) 之间的斜线关系

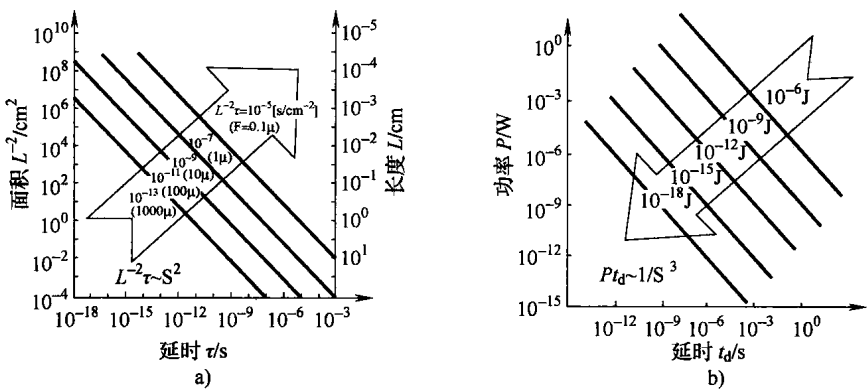


图 1-2 随着最小特征尺寸的缩小，a) 互连 (1/L²) vs. 互连延时 (τ) 和 b) 晶体管平均状态切换功耗 (P) vs. 状态切换延时 (t_d)，给出了相反的结果

表 1-1 列出了互连延时与晶体管延时的对比数据，用于显示随着工艺提高，两者之间的急剧失衡状况。对于 20 世纪 80 年代后期的 1μm 工艺，在无寄生互连电容条件下，作为 MOSFET 本征状态切换延时的“CV/I”近似为 20ps^[3]；但相同工艺下，“1mm”标准长度互连线的 RC 延时大约只有 1ps。作为对比，2005 年的 100nm 工艺，MOSFET 的“CV/I”延时降至 3ps，但“1mm”标准长度互连线的 RC 延时却增至 30ps。随着 IC 工艺从 1μm 提高到 100nm，我们观察到：

相比于晶体管本征状态切换延时,“1mm”标准长度互连线的 RC 延时从快 20 倍下降到原来的 1/6。随着工艺的进一步发展,按照 1999 年版的 ITRS 预测,2014 年的 35nm 工艺下,晶体管本征状态切换延时将下降到 2.5ps,但“1mm”标准长度互连线的 RC 延时则进一步增加到 250ps^[2]。为了对比的完整性,表 1-1 还列出了“1mm”标准长度互连线的飞行时间 (ToF)。需要指出的是,ToF 与工艺尺寸缩小无关,但取决于互连线绝缘介质的介电常数。

表 1-1 对应于 1.0 μm 、100nm、35nm 工艺的 MOSFET 晶体管延时与互连延时^[2]

工艺节点	MOSFET 状态切换延时 ($t_d = CV/I$)	RC 响应时间 ($L_{int} = 1\text{mm}$)	飞行时间 ($L_{int} = 1\text{mm}$)
1.0 μm (Al, SiO ₂)	$\approx 20\text{ps}$	$\approx 1\text{ps}$	$\approx 6.6\text{ps}$
100nm (Cu, $\kappa = 2.0$)	$\approx 5\text{ps}$	$\approx 30\text{ps}$	$\approx 4.6\text{ps}$
35nm (Cu, $\kappa = 2.0$)	$\approx 2.5\text{ps}$	$\approx 250\text{ps}$	$\approx 4.6\text{ps}$

为了进一步强调互连对于 GSI 性能改进的巨大制约,这里需要说明的是表 1-1 中 RC 延时值均是在简单的乐观条件下计算值。例如,在计算中,没有考虑表面散射、高频集肤效应、铜互连的衬套厚度、多层互连系统中的温度上升等负面因素。

除了对延时影响外,表 1-2 还给出了互连所带来的功耗问题,源于 GSI 实际封装散热性能或便携电源有限的能量供应对芯片性能的约束,互连所产生的高功耗也会显著影响 GSI 性能。互连功耗也随着工艺的提高而显著提高,与最小尺寸晶体管的状态切换功耗相比,“1mm”标准长度互连线的功耗从 1 μm 工艺的 33% 到 100nm 的 5 倍,再到 35nm 工艺的 30 倍。互连功耗与晶体管功耗之间的失衡关系表明,GSI 功耗问题基本上是互连功耗问题。

表 1-2 ITRS 关于 1.0 μm 、100nm、35nm 工艺如下参数的预测:状态切换延时、状态切换功耗、时钟频率、全芯片吸纳电流、最大布线层数、全芯片互连线总长度的最大值、pad 数

ITRS 预测的参数	工艺节点		
	1.0 μm	100nm	35nm
MOSFET 状态切换延时	$\approx 20\text{ps}$	$\approx 5\text{ps}$	$\approx 2.5\text{ps}$
RC 互连的响应时间 ($L_{int} = 1\text{mm}$)	$\approx 1\text{ps}$	$\approx 30\text{ps}$	$\approx 250\text{ps}$
MOSFET 状态切换功耗	$\approx 300\text{ps}$	$\approx 2\text{fJ}$	$\approx 0.1\text{fJ}$
互连的状态切换功耗	$\approx 400\text{ps}$	$\approx 10\text{fJ}$	$\approx 3\text{fJ}$
时钟频率	$\approx 30\text{MHz}$	$\approx 2 \sim 3.5\text{GHz}$	$\approx 3.6 \sim 13.5\text{GHz}$
供电电流 ($V_{dd} = 5.0, 1.0, 0.5\text{V}$)	$\approx 2.5\text{A}$	$\approx 150\text{A}$	$\approx 360\text{A}$
最大布线层数	3	8-9	10
芯片互连线总长度的最大值	$\approx 100\text{m}$	$\approx 5000\text{m}$	()
芯片 pad 数	≈ 200	$\approx 3000 \sim 4000$	$\approx 4000 \sim 4400$

本书前面讨论了互连所产生的功耗与延时问题,其主要着眼点是信号线。按照历史记录和 ITRS 预测,采用 $1.0\mu\text{m}$ 、 100nm 、 35nm 工艺的高端芯片,其工作频率均值分别为 30MHz 、 3.0GHz 、 13GHz 。而工作频率的飞速提升,对于如何在互连系统中实现吉规模集成电路的时钟分布网络提出了大量的新要求,带宽、功耗、时钟偏差、时钟抖动就是其中具有巨大难度的代表性设计约束。

尽管 GSI 信号与时钟传输网络都是棘手的困难问题,但供电传输网络也是一个同样难度的互连问题。如表 1-2 所示,采用 $1.0\mu\text{m}$ 、 100nm 、 35nm 工艺的高端芯片,其吸纳电流分别达到 2.5A 、 150A 、 360A 。同时,供电电压却从 $1.0\mu\text{m}$ 工艺的 5V ,下降到 100nm 的 1.0V 并进一步下降到 35nm 的 0.5V 。供电传输网络在供电电流增加和供电电压降低方向上的剧烈变化,对于互连系统将产生完全难以预料的设计要求。

最后,表 1-2 所给出的关于芯片的布线层数、全芯片互连总长度最大值、压焊基座(pad)数目或芯片的输入/输出引脚数等目标值,都极大地提升人们对于未来互连系统性能的期望。短期来看,对于片上布线的这些高要求,将在可想像到的更广阔的多维空间内,推动关于片上互连系统的综合研究。

1.3 反向缩小技术[⊖]

对于采用 RC 模型并且具有理想电流回路的单根绝缘互连线,它的延时 τ 可以近似表示为

$$\tau_{90\%} \approx r_{\text{int}} c_{\text{int}} L^2 + 2.3 R_{\text{tr}} c_{\text{int}} L + 2.3 C_L (r_{\text{int}} L + R_{\text{tr}}) \quad (1-1)$$

$$\tau_{90\%} \approx r_{\text{int}} c_{\text{int}} L^2 + 2.3 R_{\text{tr}} c_{\text{int}} L \quad (C_L \ll c_{\text{int}} L \text{ 时}) \quad (1-2)$$

和

$$\tau_{90\%} \approx r_{\text{int}} c_{\text{int}} L^2 \quad (C_L \ll c_{\text{int}} L \text{ 和 } R_{\text{tr}} \ll r_{\text{int}} L \text{ 时}) \quad (1-3)$$

式中, r_{int} 和 c_{int} 是互连线单位长度上的电阻与电容, R_{tr} 是源电阻(逻辑门输出电阻), C_L 是负载电容, L 是互连线长度。采用电阻、电感、电容模型或 RLC 模型下,低阻互连的延时可以近似表示为

$$\tau_{90\%} \approx ToL = L / [c_0 / (\epsilon_r)^{1/2}] \quad (1-4)$$

其中

$$\frac{R_{\text{int}}}{Z_0} \leq 2 \ln \left[\frac{4Z_0}{R_{\text{tr}} + Z_0} \right], (R_{\text{tr}} < 3Z_0 \text{ 和 } C_L \ll c_{\text{int}} L) \quad (1-5)$$

是近似计算 ToF 的前提条件。在式(1-5)中, Z_0 是特征阻抗, $R_{\text{int}} = r_{\text{int}} L$ 是此段互连的总电阻; c_0 是真空中光速, ϵ_r 是互连线绝缘体的相对绝缘系数。由于 RC 对

⊖ 反向缩小技术是指一个金属布线层离器件层越近,其互连线尺寸与互连间距越小。

互连所产生的性能影响要远比 ToF 来得普遍，在本节中，我们仅考虑 RC 的影响。

式 (1-3) 给出的简单关系构成了关键延时问题解决方案的理论基础。如式 (1-6) 所示，RC 模型下的互连延时是三个因子的乘积。

$$\tau = [\rho\epsilon] \left[\frac{1}{HT} \right] [L^2] \quad (1-6)$$

电阻-介电常数乘积因子 $[\rho\epsilon]$ 指出了在新材料与新工艺方面，减小互连延时的方法，如采用双大马士革结构铜工艺替代铝互连。^[4] 在 $[1/HT]$ 因子中， H 是金属线的高度， T 是绝缘层的厚度，这个因子代表在器件与电路级^[1] 采用反向缩小技术降低互连延时。最后， L 是互连线长度，而 $[L^2]$ 因子则给出了在系统级，^[5] 通过采用新的微架构使互连线尽可能短，达到改善互连延时的目的。式 (1-6) 表明，必须在每个设计层次上追求改善互连延时，从材料、工艺、器件到电路与系统。本节内容限定在器件、电路与系统级采用反向缩小技术降低互连延时。相比于采用新材料、新工艺或新的架构等降低延时方法，反向缩小技术的显著优点在于：1) 最短的实现时间，2) 最低的实现费用，3) 低风险，4) 高回报。

对于下一代产品设计而言，实现反向缩小最优化的关键在于对全随机互连线分布密度的预测能力。以一个包含 N 个微单元或逻辑门的宏单元为例，如图 1-3 所示，这个宏单元可以模型化为正方形的逻辑门阵列，伦特定律 ($R = kN^p$)^[6] 和互连守恒原理被递归地应用到这个宏单元的反向缩小中。在反向缩小过程中，参考文献 [7] 给出了如下全随机互连线密度分布的闭式表述：

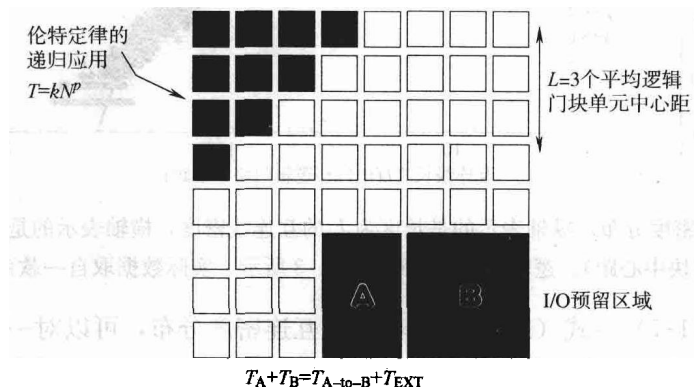


图 1-3 包含 N 个以正方形阵列形式排列的微单元或逻辑门的宏单元结构图 (伦特定律和互连守恒原理被递归地应用，以获得这个随机逻辑网表的完全随机互连长度分布)

作用域 I: $1 \leq L < \sqrt{N}$

$$f(L) = \Gamma \frac{\alpha k}{2} \left(\frac{L^3}{3} - 2\sqrt{N}L^2 + 2NL \right) L^{2p-4} \quad (1-7)$$

作用域 II: $\sqrt{N} \leq L \leq 2\sqrt{N}$

$$f(L) = \Gamma \frac{\alpha k}{6} (2\sqrt{N} - L)^3 L^{2p-4} \quad (1-8)$$

式中

$$\Gamma = \frac{2N(1 - N^{p-1})}{\left(-N^p \frac{1 + 2p - 2^{2p-1}}{p(2p-1)(p-1)(2p-3)} - \frac{1}{6p} + \frac{2\sqrt{N}}{2p-1} - \frac{N}{p-1} \right)} \quad (1-9)$$

式 (1-7) 适用于短互连的分布密度计算, 而式 (1-8) 则适用于长互连。上述公式表明: 以长度 L (单位为平均逻辑门块单元中心距) 为自变量的互连线数目分布函数 $f(L)$ 与 L 存在直接的相关关系。式中较大的伦特系数 k 和伦特指数 p 表明, 它们对互连长度 L 和逻辑网表中的逻辑门数量 N 的明显依赖性。如图 1-4 所示, 伦特定律关于互连线密度分布函数的建模与来自商业产品的实际数据相吻合^[7]。对于新一代 IC 设计互连线密度分布函数进行准确估计的关键在于: 从前一代 IC 设计中获得伦特系数 k 和伦特指数 p 的近似值, 这两个参数具有明显的遗传特征。

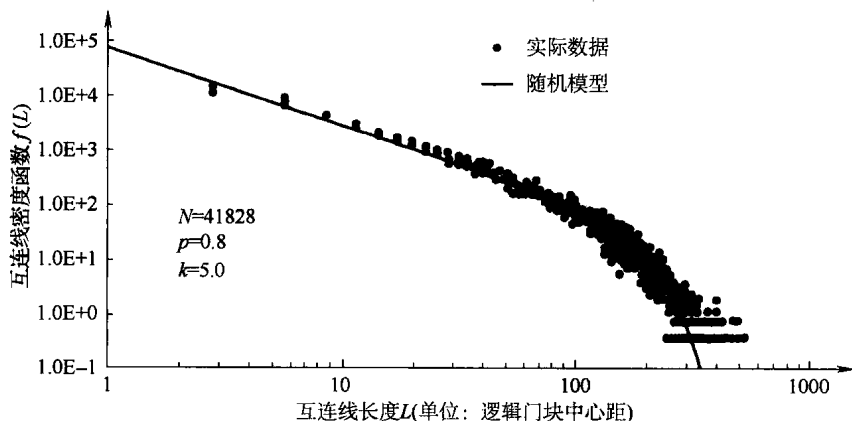


图 1-4 互连密度分布。纵轴表示的是长度为 L 的互连线密度, 横轴表示的是互连线长度 (单位是逻辑门块中心距)。逻辑门块中心距如图 1-3 所示, 实际数据取自一款商用处理器^[7]

采用式 (1-7) ~ 式 (1-9) 所示的随机互连密度分布, 可以对一个宏单元的多层互连系统进行优化, 获得最优的互连架构, 如最小的面积、最小的功耗、最短的时钟周期或金属布线层最少。为了获得最小的宏单元面积, 必须首先对布线面积的“供应与需求”进行分析, 具体如式 (1-10) 所示^[8]。

$$2e_w A_m = \chi p_n \sqrt{\frac{A_m}{N}} \int_{L_{n-1}}^{L_n} L f(L) dL \quad (1-10)$$

$$p_n = 2 \sqrt{\frac{1.1 \epsilon_r \epsilon_0 6.2 f_c}{\beta}} \sqrt{\frac{A_m}{N}} L_n \quad (1-11)$$