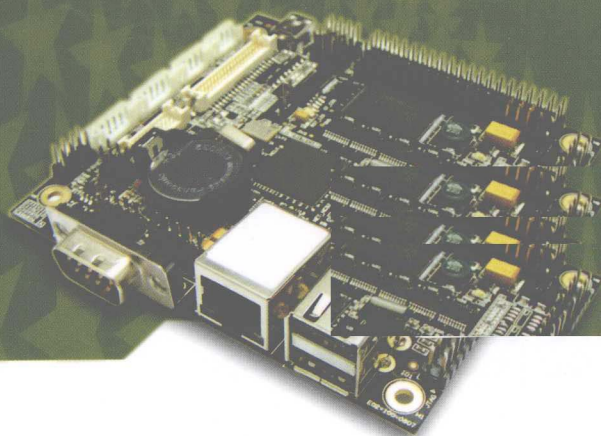


高等学校通用教材

32

位嵌入式微处理器 原理及应用



罗亚非 等编著



北京航空航天大学出版社

内容简介

本书是“32位嵌入式微处理器”课程的主要教材，也是从事该课程教学及从事该课程研究的教师、工程技术人员的重要参考书。本书共分8章，主要介绍32位嵌入式微处理器的组成、结构、指令系统、总线系统、中断系统、I/O系统、系统总线、系统软件、应用案例等。本书可作为高等院校计算机专业及相关专业的教材，也可供从事该课程研究的工程技术人员参考。

高等学校通用教材

32 位嵌入式微处理器 原理及应用

罗亚非 等编著

本书可作为高等院校计算机专业及相关专业的教材，也可供从事该课程研究的工程技术人员参考。

罗亚非 等编著

本书可作为高等院校计算机专业及相关专业的教材，也可供从事该课程研究的工程技术人员参考。

罗亚非 等编著

罗亚非 等编著

罗亚非 等编著

罗亚非 等编著

北京航空航天大学出版社

内 容 简 介

本书共分七章。主要介绍了 SPCE3200 为内核的 S+core 7 体系结构、指令系统;SPCE3200 的使用指南、功能部件、系统开发和 SPCE3200 的应用实例。

书中所含内容丰富、讲解由浅入深,通俗易懂,并附有大量的图示和程序,具有很强的实用性和指导性。

本书适用于爱好单片机专业的各大中专院校的师生教学,也选用于工程实践的科技工作者阅读与参考。

图书在版编目(CIP)数据

32 位嵌入式微处理器原理及应用 / 罗亚非等编著. --

北京: 北京航空航天大学出版社, 2010. 7

ISBN 978-7-5124-0130-3

I. ①3… II. ①罗… III. ①微处理器 IV.

①TP332

中国版本图书馆 CIP 数据核字(2010)第 121865 号

凌阳科技股份有限公司保留对此文件修改之权利且不另行通知。本公司所提供之信息相信为正确且可靠,但并不保证本文件中绝无错误。在向凌阳科技股份有限公司提出订单前,自行确定所使用之相关技术文件及规格为最新之版本。若因贵公司使用本公司之文件或产品,而涉及第三人之专利或著作权等智能财产权之应用及配合时,则应由贵公司负责取得同意及授权,本公司仅单纯销售产品,上述关于同意及授权,非属本公司应为保证之责任。又未经凌阳科技股份有限公司之正式书面许可,本公司的所有产品不得使用于医疗器材、维持生命系统及飞行航空等相关设备。

版权所有,侵权必究。

32 位嵌入式微处理器原理及应用

罗亚非 等编著

责任编辑 金友泉

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编:100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:bhpress@263.net 邮购电话:(010)82316936

北京时代华都印刷有限公司印装 各地书店经销

*

开本:787mm×1 092mm 1/16 印张:21.75 字数:557 千字

2010 年 7 月第 1 版 2010 年 7 月第 1 次印刷 印数:4 000 册

ISBN 978-7-5124-0130-3 定价:35.00 元

序

我国的嵌入式系统入门教育一般是从学习 8 位单片机开始的。8 位单片机具有简单易学、技术成熟的优点；但这种单片机存储资源相对较小，所以若在片内应用操作系统，会造成存储资源紧张。随着消费电子产品制造业的不断升级，对 MCU 性能要求较高的手持设备（像手机、数码相机、PDA、GPS、电子游戏机、MP3 播放器、MP4 播放器和 PMP 等）的产量增长迅速，同时包括数码相框、机顶盒、安防监控、信息家电等有更高性能要求的多媒体和通信设备的推出，以及有越来越多的像电视机、汽车音响及电子玩具等传统应用也提出数字化和“硬件软化”的要求，它们对 MCU 计算性能、集成度的要求都超出绝大多数 8/16 位微控制器能提供的范围。飞思卡尔、瑞萨科技、NEC、NXP、意法半导体、英飞凌、Atmel、富士通、三星等世界半导体大公司根据不同的市场定位，或采用自己的 CPU 核，或采用购买 ARM、MIPS 内核，利用 SOC 技术纷纷推出自己高性能的 32 位产品，以满足不同终端产品对 MCU 性能的需求。

2006 年凌阳科技公司在台湾率先推出了以 S+core 7 为内核的 32 位微处理器。该处理器在一个芯片上集成了像手机、数码相机、PDA、GPS、电子游戏机、MP3 播放器、PMP、汽车信息娱乐（infotainment）、STB 以及家庭娱乐系统中多媒体系统所需的功能，具有强大的多媒体特性。凌阳公司目前已经陆续推出多款 S+core 7 内核系列 32 位芯片，并在多个产品上得到大量应用。

凌阳公司是全球最大消费性 IC 设计厂商之一。2001 年底在中国内地开展校企合作的大学生计划，利用企业的资源改善高校教学、实验、科研条件，增加高校师生接触新技术、新器件的机会，提高高校的嵌入式技术的教学水平。凌阳实施大学计划 8 年来先后与 600 余所院校合作，共建凌阳 16 位单片机实验室 300 余所。为了使学校教学内容不与新技术脱节，培养学生追踪新技术和创新的能力，凌阳公司特为高等院校设计一款采用凌阳 S+core 7 内核、集成较多新技术、具有丰富的硬件资源及多媒体特色的 32 位 SOC 微处理器——SPCE3200。

SPCE3200 处理器芯片内部集成了 MPEG4 硬件编解码模块、32 KB 片上 SRAM、4 KB 指令和 4 KB 数据缓存、DMA 接口控制器等；外围接口包括支持隔行扫描/逐行扫描的 NT-SC/PAL 视频输出接口、16 位的立体声音频 DAC、VGA/CIF 模式 TFT/STN 型 LCD 控制器接口；支持包括 RGB565 格式、CCIR-601/656 CMOS 影像传感器控制接口、TVE 控制器、光枪接口；支持 SD 卡和 Nand 型 Flash 接口用于海量数据存储；支持 USB 1.1 主机或 USB 1.1 外设；支持包括 RS232、SPI、SIO、I²C、I²S 等串行接口。SPCE3200 集成度高，内含众多多媒体新技术，能完成当前大多数高端电子产品的开发，是学习嵌入式系统的好平台。

本套教材包括二大部分。第一部分为 32 位嵌入式微处理器原理及应用，介绍 SPCE3200 的原理、基础功能模块和基础应用；第二部分为嵌入式微处理器的高级应用，介绍 SPCE3200 的高级功能模块及其多媒体应用。两个部分分别为一本书，作为一种教材推出。本套教材由浅入深、注重基础，不仅可以作为学习嵌入式系统开发的教科书，对于从事 SPCE3200 开发者而言还是一套实用的参考书。

凌阳爱普科技
有限公司总经理 罗亚非
2010 年 5 月

前 言

SPCE3200 是台湾凌阳科技推出的以 S+core 7(凌阳科技自主研发)为内核的 32 位嵌入式开发系统,内嵌 12 位 ADC、16 位 DAC;具有 UART、SPI、I²C、SIO、USB 等标准硬件控制器接口;具有 6 个定时器、实时时钟和时基;具有 Nor 型 Flash、Nand 型的 Flash、SD 卡控制器;具有 TFT/STN 型 LCD 控制器及 TV 控制器接口;具有 MPEG4 编解码器、CMOS 接口单元等资源。

SPCE3200 丰富的硬件资源及多媒体特性使其独具特色。由于大部分的功能由硬件完成,所以在实现功能时软件只承担较少的工作。同时凌阳科技还研发了凌阳 32 位集成开发环境 S+core IDE,此工具可在 Windows 环境下操作,具有友好的操作界面,支持标准 C 语言和凌阳 32 位嵌入式开发系统汇编语言等,集编辑、编程、仿真等功能于一体,使 SPCE3200 的开发更加容易方便。

1. 本书的结构安排

本书主要介绍 SPCE3200 的内核 S+core 7 的体系结构、指令系统,SPCE3200 嵌入式开发系统引脚、ADC 和 UART 等基础功能模块的工作原理、操作寄存器及基本操作,SPCE3200 开发板系统及其集成开发环境 S+core IDE,并以一个实例介绍了 SPCE3200 的开发方法。全书共分为 7 章:

第 1 章讲解 S+core 7 的体系结构,分别从处理器模式、内部寄存器、异常和缓存等方面介绍。

第 2 章讲解 S+core 7 的指令系统,介绍 S+core 7 处理器的指令结构和指令编码,还介绍 S+core 7 处理器的两种指令集,即 32 位和 16 位的指令集。

第 3 章讲解 SPCE3200 的使用指南,介绍 SPCE3200 的特性、引脚、结构、存储器映射、中断控制器、APBDMA 和启动代码等使用基础知识。

第 4 章讲解 SPCE3200 的 15 个基础功能模块,包括 GPIO、Timer、实时时钟、时基、看门狗、睡眠唤醒、ADC、UART、SPI、I²C、SIO、NOR 型 Flash、TFT 型 LCD 控制器的特性、工作原理及操作寄存器,并介绍基本的操作方法。

第 5 章讲解 SPCE3200 的开发板和集成开发环境 S+core IDE 的使用方法。

第 6 章是一个开发实例,分别从软、硬件介绍 SPCE3200 的开发方法。

第 7 章是附录,包括常用术语、本书中涉及的 SPCE3200 芯片寄存器相关助记符的缩写和约定的含义、S+core 7 内核寄存器速查表、SPCE3200 基础功能模块硬件寄存器速查表和 S+core 7 的伪指令速查表。

2. 本书的特色

本书内容丰富,讲解由浅入深、通俗易懂,还附有大量的图示和程序,而且专



门安排了应用设计实例,具有很强的实用性和指导性。

3. 本书的读者对象

本书适合于各大高校计算机、电子、自动化等相关专业在校大学生及从事电子开发的科研人员使用。

本书由北京凌阳爱普科技有限公司总经理罗亚非统一审稿,由凌阳科技的大学计划处技术支持部李健、胡安兴等编写。在编写过程中,台湾凌阳科技萧信志、Rex Wu 及相关人员给予技术支持和指导,在此致以诚挚的谢意。

有关 SPCE3200 的最新资料和相关信息,可关注凌阳科技大学计划网站 www.unsp.com 和产品内所附光盘。如果用户在阅读本书和使用 SPCE3200 的过程中有疑惑之处,请到凌阳科技的大学计划网站技术论坛(bbs.unsp.com)提出,或者发邮件至 unsp@sunplus.com.cn,凌阳科技大学计划工程师将及时与广大用户交流。

由于编者水平有限,对于书中存在的不足之处,欢迎广大读者批评指正。

编者
2010 年 5 月

目 录

第 1 章 S+core 7 体系结构	1
1.1 S+core 7 简介	1
1.2 S+core 7 特点	1
1.3 体系结构直接支持的数据类型	2
1.4 处理器模式	2
1.5 内部寄存器	3
1.5.1 概 述	3
1.5.2 通用寄存器	3
1.5.3 用户自定义引擎寄存器	4
1.5.4 特殊功能寄存器	4
1.5.5 控制寄存器	4
1.6 异 常	10
1.6.1 异常原因	10
1.6.2 异常处理流程	10
1.6.3 异常优先级	12
1.6.4 异常向量	13
1.6.5 各种异常描述	14
1.7 缓存简介	17
1.7.1 指令 Cache	18
1.7.2 数据 Cache	19
1.7.3 存储器一致性	19
1.8 指令存储器和数据存储器	20
1.8.1 指令存储器	20
1.8.2 数据存储器	20
1.9 片上调试	20
第 2 章 S+core 7 指令系统	22
2.1 概 述	22
2.2 指令格式与编码	22
2.3 32 位指令集	25
2.3.1 装载与存储指令	25
2.3.2 数据处理指令	32
2.3.3 分支指令	43
2.3.4 特殊指令	44



2.3.5	协处理器指令	49
2.4	16 位指令集	51
2.4.1	装载与存储指令	51
2.4.2	数据处理指令	53
2.4.3	跳转与分支指令	54
2.4.4	特殊指令	55
2.4.5	并行条件执行	55
2.5	合成指令集	55
2.6	S+core 7 处理器的 GNU 编译器	59
2.6.1	S+core 7 C 编译器参数	59
2.6.2	S+core 7 C 编译器的基本数据类型	60
2.6.3	S+core 7 C 编译器的函数调用约定	60
2.7	S+core 7 处理器的 GNU 汇编器	62
2.7.1	S+core 7 C 汇编器参数	62
2.7.2	汇编语言语法	63
2.7.3	汇编器伪指令	63
2.7.4	段及其重定位	66
2.8	S+core 7 处理器的 GNU 链接器	67
第 3 章	SPCE3200 使用指南	68
3.1	简介	68
3.1.1	概述	68
3.1.2	SPCE3200 特性	68
3.2	引脚信息	69
3.2.1	SPCE3200 的引脚分布	69
3.2.2	SPCE3200 的引脚描述	69
3.3	结构概述	76
3.4	存储器分配	77
3.5	存储器映射	78
3.6	锁相环 PLL 与时钟发生器 CKG	80
3.6.1	锁相环 PLL	80
3.6.2	时钟发生器 CKG	81
3.6.3	寄存器描述	82
3.6.4	系统时钟调整	85
3.7	中断控制器	89
3.7.1	概述	89
3.7.2	特性	89
3.7.3	中断源	89
3.7.4	结构框图	91



3.7.5	寄存器描述	91
3.7.6	中断机制	97
3.7.7	应用举例	105
3.8	存储器接口单元	106
3.9	APB 总线 DMA	110
3.10	启动代码	117
3.10.1	文件组成	118
3.10.2	* _Prog.ld	118
3.10.3	* _startup.s	119
3.10.4	启动代码工作流程	120
第 4 章	SPCE3200 功能部件	122
4.1	通用 I/O 口	122
4.1.1	概 述	122
4.1.2	引脚描述	125
4.1.3	结 构	125
4.1.4	寄存器描述	126
4.1.5	基本操作	129
4.2	定时器	129
4.2.1	概 述	129
4.2.2	特 性	130
4.2.3	引脚描述	130
4.2.4	结 构	130
4.2.5	寄存器描述	131
4.2.6	基本操作	136
4.2.7	注意事项	146
4.3	实时时钟	146
4.3.1	概 述	146
4.3.2	特 征	146
4.3.3	寄存器描述	147
4.3.4	基本操作	150
4.3.5	应用举例	151
4.4	时 基	152
4.4.1	概 述	152
4.4.2	结 构	152
4.4.3	寄存器描述	152
4.4.4	基本操作	155
4.4.5	应用举例	155
4.5	看门狗	156



10	4.5.1 概 述	156
70	4.5.2 特 性	156
201	4.5.3 结 构	156
301	4.5.4 寄存器描述	157
011	4.5.5 基本操作	159
711	4.5.6 注意事项	160
811	4.6 睡眠与唤醒	160
211	4.6.1 睡 眠	160
111	4.6.2 睡眠相关寄存器	160
081	4.6.3 唤 醒	161
131	4.6.4 键唤醒相关寄存器	164
	4.6.5 应用举例	165
131	4.7 模/数转换器	166
131	4.7.1 概 述	166
131	4.7.2 特 性	167
131	4.7.3 引脚描述	167
131	4.7.4 结构框图	168
131	4.7.5 寄存器描述	168
131	4.7.6 基本操作	177
131	4.7.7 注意事项	181
081	4.8 通用异步串行通信模块	181
131	4.8.1 概 述	181
131	4.8.2 特 性	181
131	4.8.3 引脚描述	182
131	4.8.4 结构框图	182
131	4.8.5 寄存器描述	183
131	4.8.6 基本操作	190
131	4.8.7 注意事项	195
041	4.9 串行外围接口	195
131	4.9.1 概 述	195
081	4.9.2 特 性	195
131	4.9.3 引脚描述	196
131	4.9.4 结构框图	196
131	4.9.5 SPI 描述	196
131	4.9.6 寄存器描述	199
131	4.9.7 基本操作	203
131	4.9.8 注意事项	206
131	4.10 标准的硬件接口	207
131	4.10.1 概 述	207



4.10.2	特 性	207
4.10.3	引脚描述	207
4.10.4	结构框图	207
4.10.5	I ² C 描述	208
4.10.6	寄存器描述	213
4.10.7	基本操作	218
4.10.8	注意事项	222
4.11	SIO 控制器	222
4.11.1	概 述	222
4.11.2	特 性	223
4.11.3	引脚描述	223
4.11.4	结 构	224
4.11.5	寄存器描述	224
4.11.6	基本操作	230
4.11.7	注意事项	234
4.12	NOR 型 Flash 控制器	235
4.12.1	概 述	235
4.12.2	特 性	242
4.12.3	引脚描述	242
4.12.4	寄存器描述	244
4.12.5	基本操作	246
4.13	TFT LCD 控制器	251
4.13.1	概 述	251
4.13.2	特 性	253
4.13.3	引脚描述	253
4.13.4	寄存器描述	254
4.13.5	基本操作	267
第 5 章 SPCE3200 开发系统介绍		269
5.1	SPCE3200 实验仪	269
5.1.1	功能特点	269
5.1.2	硬件原理	270
5.2	S+core IDE 集成开发环境	272
5.2.1	工程的编辑	272
5.2.2	工程的调试	288
5.3	应用举例	299
第 6 章 SPCE3200 应用实例		306
6.1	原理概述	306



6.2	应用分析	306
6.3	硬件电路	307
6.4	程序设计	308
6.4.1	主程序	308
6.4.2	软件 FIFO 管理程序	308
6.4.3	UART 收发程序	309
6.4.4	RTC 控制及日期计算程序	309
6.4.5	NOR 型 Flash 操作程序	311
6.4.6	命令获取和分配程序	311
6.4.7	命令处理程序	313
第 7 章	附 录	316
7.1	常用术语、缩写和约定解释	316
7.1.1	术 语	316
7.1.2	缩 写	318
7.1.3	约 定	319
7.2	CPU 内核寄存器速查表	320
7.3	硬件模块寄存器速查表	321
7.4	汇编指令速查表	329
7.5	伪指令速查表	333

第 1 章 S+core 7 体系结构

随着电子产品的不断升级和高性能的产品的推出,现有的 8/16 位微控制器 MCU 计算性能、集成度已不能满足一些产品的开发要求。因此,各大公司纷纷用 ARM、MIPS 或自己的 CPU 核推出高性能的 32 位微控制器,以满足不同终端产品对 MCU 性能的需求。S+core 7 处理器是台湾凌阳科技公司推出的一款 32 位嵌入式微处理器,与其他 32 位微处理器相比,它具有强大的多媒体特性。凌阳目前已经推出多款基于 S+core 7 内核的 32 位芯片,SPCE3200 是其中的一款。为了系统了解凌阳 32 位系列芯片,本书先介绍 S+core 7 内核体系结构、指令集等基础和共性的知识,然后介绍 SPCE3200 特色。本章详细介绍 S+core 7 处理器内核特点、数据类型、处理器模式、内部寄存器、异常、缓存和调试等方面内容。

1.1 S+core 7 简介

S+core 7 处理器由台湾凌阳科技公司自行设计,是台湾第一个拥有独立知识产权的 32 位 RISC (Reduced Instruction Set Computing,精简指令集)CPU 内核。

S+core 7 是一个单任务、具有 7 级流水线的高性能、高速 32 位 RISC 处理器,采用了 Sunplus ISA (Instruction Set Architecture,指令集构架)指令集。该处理器架构支持 32/16 位混合指令模式以及并行条件执行,从而提高了代码密度。S+core 7 内核采用了 AMBA (Advanced Microcontroller Bus Architecture,增强型微控制器总线构架)总线,为 SoC (System on a Chip,片上系统)集成、扩展协处理器和用户接口提供了灵活性;S+core 7 使用 SJTAG 技术使测试和调试程序更加有效。凌阳公司目前已经推出多款 S+core 7 内核系列 32 位芯片,并在多个产品上得到大量应用。

S+core 7 处理器在一个芯片上还集成了像手机、数码相机、PDA、GPS、电子游戏机、MP3 播放器、MP4 播放器、PMP、汽车信息娱乐机顶盒,以及家庭娱乐系统等多媒体系统所需的功能,适用于多种多媒体开发和嵌入式应用等领域。

1.2 S+core 7 特点

S+core 7 处理器采用了 Sunplus ISA (Instruction Set Architecture)指令集、采用哈佛 (Harvard)结构、7 级流水线,运行速度可达 162 MHz,CPU 最多支持 63 个优先级的外部硬件中断。此外,它还提供了一些高性能的指令来实现特定功能。

S+core 7 处理器具有的如下特征:

- ① 支持 32 位与 16 位混合指令模式;
- ② 支持并行条件执行;
- ③ 提供软件安全设计;
- ④ 采用哈佛 (Harvard)结构,包含 I-Cache (4 KB)和 D-Cache (4 KB);



- ⑤ 采用 Fixed - MMU(固定映射模式);
- ⑥ 采用增强型微控制器总线构架(AMBA),可以方便地实现 SoC 集成;
- ⑦ 63 个外部硬件中断和 2 个软件中断,中断采用中断向量;
- ⑧ 采用 SJTAG(Sunplus JTAG)调试协议。

1.3 体系结构直接支持的数据类型

S+core 7 处理器支持的数据类型和 ARM 处理器的类似,支持字节(8 位)、半字(16 位)、字(32 位)3 种数据类型,可以表示有符号数和无符号数。其中,字要 4 字节对齐(地址的低两位为 0),半字要 2 字节对齐(地址的最低位为 0)。

S+core 7 处理器支持 32 位与 16 位混合指令模式,32 位指令正好为一个字,字边界对齐;16 位指令正好为一个半字,半字边界对齐。

所有的数据处理操作都是以“字”为单位的,例如 ADD 操作。Load/Store 操作可在寄存器和存储器之间传送字节、半字和字的数据;但是当字节或半字类型的数据被装载时,会自动进行零扩展或符号扩展。

S+core 7 处理器各种数据类型对应的数据范围,如表 1.1 所列。

表 1.1 数据类型

数据类型	范 围		备 注
字节(Byte)	有符号数	$-27 \sim (+27-1)$	
	无符号数	$0 \sim (+28-1)$	
半字(Halfword)	有符号数	$-215 \sim (+215-1)$	必须半字边界对齐
	无符号数	$0 \sim (+216-1)$	
字(Word)	有符号数	$-231 \sim (+231-1)$	必须字边界对齐

1.4 处理器模式

当前,几乎所有 32 位微处理器在实际应用中都要运行操作系统。为在内核级给操作系统提供支持,微处理器可以在多种模式下运行。

S+core 7 处理器支持三种处理器模式:用户模式(User Mode)、核心模式(Kernel Mode)和调试模式(Debug Mode)。

(1) 用户模式

用于执行应用程序或操作系统程序。通常情况下,处理器均处于用户模式,直到发生异常,处理器切换到核心模式。处理器处于用户模式时,用户不能访问被系统保护的资源。

(2) 核心模式

该模式是操作系统专用的模式。当处理器通过异常进入核心模式后将一直处于该模式,直到一条从异常中返回的指令(RTE,return from exception)被执行。

(3) 调试模式

该模式用于用户调试阶段。在该模式下,用户程序可以完全访问用户模式和核心模式下



的寄存器,也可以访问其他一些调试寄存器。

1.5 内部寄存器

1.5.1 概 述

S+core 7 处理器包含 32 个通用寄存器(r0~r31)(GPR)、2 个用户自定义引擎(Custom Engine)寄存器(CEH、CEL)、3 个特殊功能寄存器 Sr0~Sr3,分别为循环计数寄存器 CNT、装载合并寄存器 LCR、存储合并寄存器 SCR、19 个系统控制寄存器(CR18~CR0)及 3 个调试控制寄存器 CR31~CR29,分别为 DSAVE、DEPC、DREG)。

当处理器运行在不同模式时寄存器的访问权限不同。当处理器运行在用户模式下时,用户程序可以访问 32 个通用寄存器(GPR)、2 个用户自定义引擎寄存器以及 3 个特殊功能寄存器;当处理器运行在核心模式下时,用户程序除了可访问所有用户模式下的寄存器外,还可访问 19 个系统控制寄存器;当处理器运行在调试模式下时,用户程序除了可访问所有用户模式下以及核心模式下的寄存器外,还可访问 3 个调试控制寄存器。各模式下可访问的寄存器如图 1.1 所示。

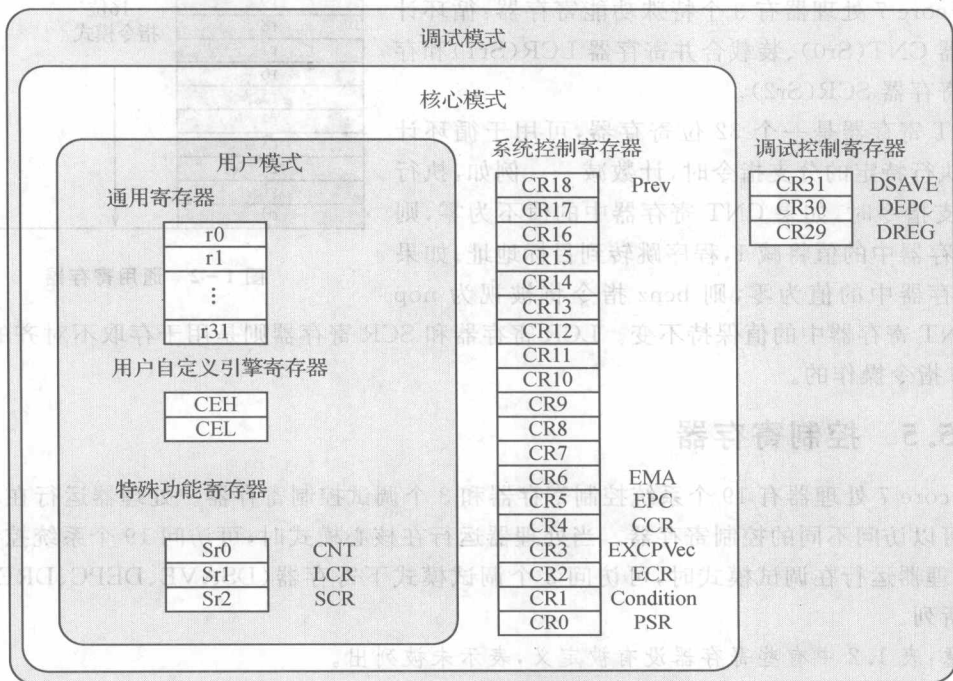


图 1-1 S+core 7 内核寄存器集

1.5.2 通用寄存器

S+core 7 处理器有 32 个 32 位的通用寄存器(r0~r31)。在 32 位指令模式下,所有这些通用寄存器均可以被访问。由于指令编码的限制,在 16 位指令模式下,只有 r0~r15 可以被



访问,如图 1.2 所示。其中,r3 寄存器在跳转/分支或链接指令中,被用做链接寄存器,用于保存下一条指令地址。

1.5.3 用户自定义引擎寄存器

用户自定义引擎寄存器包括 CEH 和 CEL 两个寄存器,用来存储乘法/除法的运算结果。乘法运算完成后,双字运算结果的高字被放到 CEH 寄存器中,低字运算结果被放到 CEL 寄存器中。除法运算完成后,余数放到 CEH 寄存器中,商放到 CEL 寄存器中。

通过 MFCEH、MFCEL、MFCEHL、MTCEH、MTCEL 或 MTCEHL 指令,可实现这两个寄存器与通用寄存器之间的数据传送。详细请参考指令系统这一章的内容。

1.5.4 特殊功能寄存器

S+core 7 处理器有 3 个特殊功能寄存器:循环计数寄存器 CNT(Sr0)、装载合并寄存器 LCR(Sr1)和存储合并寄存器 SCR(Sr2)。

CNT 寄存器是一个 32 位寄存器,可用于循环计数。当执行特定的分支指令时,计数减一。例如,执行 bcnz 分支指令时,如果 CNT 寄存器中的值不为零,则 CNT 寄存器中的值将减 1,程序跳转到目标地址;如果 CNT 寄存器中的值为零,则 bcnz 指令将被视为 nop 指令,CNT 寄存器中的值保持不变。LCR 寄存器和 SCR 寄存器则是用于存取不对齐的 Load 和 Store 指令操作的。

1.5.5 控制寄存器

S+core 7 处理器有 19 个系统控制寄存器和 3 个调试控制寄存器。处理器运行在不同的模式时可以访问不同的控制寄存器。当处理器运行在核心模式时,可访问 19 个系统控制寄存器;当处理器运行在调试模式时,可访问 3 个调试模式下寄存器(DSAVE、DEPC、DREG),如表 1.2 所列。

注意:表 1.2 中有些寄存器没有被定义,表示未被列出。

表 1-2 控制寄存器

寄存器名称	助记符	寄存器编号
程序状态寄存器	PSR	CR0
条件寄存器	Condition	CR1
异常原因寄存器	ECR	CR2

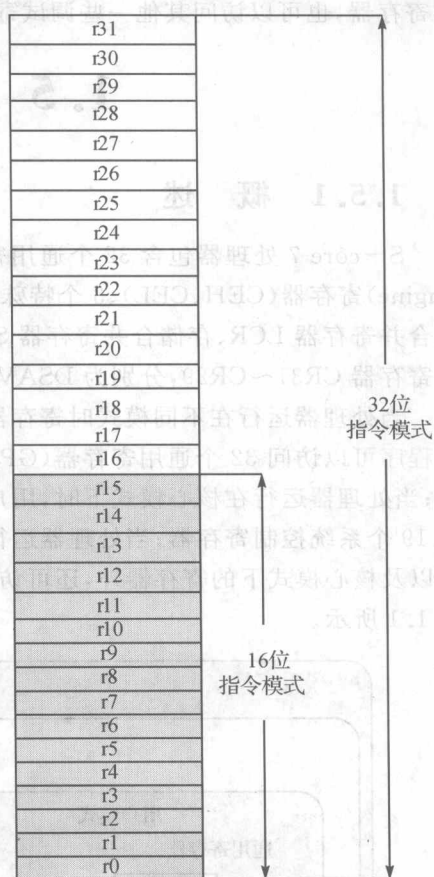


图 1-2 通用寄存器



续表 1-2

寄存器名称	助记符	寄存器编号
异常向量寄存器	EXCPVec	CR3
Cache 控制寄存器	CCR	CR4
异常程序计数器	EPC	CR5
异常存储器地址寄存器	EMA	CR6
LIM 物理帧号	LIMPFN	CR15
LDM 物理帧号	LDMPFN	CR16
Prev 寄存器	Prev	CR18
Debug 寄存器	DREG	CR29
Debug 异常程序计数寄存器	DEPC	CR30
Debug 异常内容保存寄存器	DSAVE	CR31

1. 程序状态寄存器

程序状态寄存器(PSR)用于指示协处理器是否可用,指示中断屏蔽位、大小端及保存处理器的模式等,程序状态寄存器各位对应的状态及默认值如表 1.3 所列。

表 1.3 程序状态寄存器(PSR)

位	b31~b29	b28	b27~b24	b23~b18	b17~b16	b15
读/写	R/W	R/W	R/W	R/W	R/W	R
默认值	0	0	0	0	0	1
名 称	CU[2:0]	CRA	—	IM_H[5:0] ^①	IM_S[1:0] ^①	Endian
位	b5	b4	b3	b2	b1	b0
读/写	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0
名 称	UMb ^②	IEb ^②	UMs ^②	IEs ^②	UMc ^②	IEc ^②

表中要注意以下二点:

① IM[7:2]是一个 6 位的代码,可编码成 0,1,...,63(26—1)的数值。0 表示所有硬件中断请求都被允许。 $n(1\sim 63)$ 表明优先级为 n 的以及低于 n 的硬件中断请求均被屏蔽。IM[1:0]是软件中断屏蔽位,IM[1]或 IM[0] = 1 表明软件中断 1 或 0 的请求被屏蔽。

② UMb、IEb、UMs、IEs、UMc 以及 IEc 六位形成了一个三级的硬件栈,用来保存处理器模式(UM)和中断激活(IE)的信息。UMc 和 IEc 保存当前的 UM 和 IE 值;UMs 和 IEs 保存发生异常前的 UMc 和 IEc 值;UMb 和 IEb 是 UMs 和 IEb 的一个备份。例如,异常发生时,硬件先把当前的 UMc 和 IEc 值保存在 UMs 和 IEs 中,然后再重新设置 UMc 和 IEc;执行异常返回指令 RTE 时,UMs 和 IEs 中的值自动复制回 UMc 和 IEc。

现将表内名称及对应位功能说明如下:

CU[2:0] b31~b29 CU[n] = 1:协处理器 $n+1$ 是可用的,协处理器指令可以被执行;
CU[n] = 0:协处理器 $n+1$ 是不可用的,协处理器指令不可以被执行。