

Broadview
www.broadview.com.cn

15.7

Cadence SPB 工程实例入门

于争 著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>



15.7

Cadence SPB 工程实例入门

于争 著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING



内 容 简 介

Cadence SPB 15.7 软件是目前高端 PCB 设计领域最流行的 EDA 工具之一, 由于其功能强大, 所以众多知名企业都将其视为必备工具。但是该软件功能强大, 操作内容繁多, 也让很多初学者感到入门困难。

为了解决初学者入门问题, 本书从一个工程师的角度出发并根据实际项目开发中的顺序, 循序渐进地讲解及演示了软件的操作方法, 内容涵盖原理图元件库开发、原理图绘制、原理图编辑及后处理、PCB 零件库开发、PCB 布局、约束设计、PCB 布局、PCB 布线、铺铜, 以及最后的光绘文件的输出等。全书以一个 DSP6713 最小系统开发为主线, 使初学者能够通过实际的项目开发了解并掌握软件的操作流程及方法。

本书适合于从事硬件开发的工程技术人员, 同时也可以作为电子类专业在校学生的入门教程。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目 (CIP) 数据

Cadence SPB 15.7 工程实例入门 / 于争著. —北京: 电子工业出版社, 2010.5
ISBN 978-7-121-10482-4

I. C… II. 于… III. 印刷电路—计算机辅助设计—应用软件, Cadence SPB 15.7 IV. TN410.2

中国版本图书馆 CIP 数据核字 (2010) 第 038281 号

责任编辑: 孙学瑛

印 刷: 北京市天竺颖华印刷厂

装 订: 三河市鑫金马印装有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×980 1/16 印张: 22.75 字数: 512 千字

印 次: 2010 年 5 月第 1 次印刷

印 数: 4000 册 定价: 49.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

电子产品开发的趋势正朝高速、高集成度及小型化方向发展，由此也带来了一系列的信号完整性、电源完整性和 EMI 的问题。硬件电路设计的难度越来越大，设计过程中必须对电路板的各种参数，如线宽、线距、走线长度及线长匹配等问题进行控制。以往仅凭经验即可设计出符合要求的产品，而现在工程师们不得不借助更高性能的 EDA 工具来对电路板的各种参数进行量化处理，熟悉高性能 EDA 软件已成为硬件设计工程师的必备技能之一。

本书特点

Cadence Allegro 软件是目前高端 PCB 设计领域最流行的 EDA 工具之一，本书主要介绍 Cadence SPB 15.7 软件的使用方法。根据工程师在实际工程中使用软件的习惯，以及思维和学习方式，本着在实际工程中学习的原则，对全书的顺序及构架进行了精心安排。作为一本为工程师量身定做的参考教程，全书处处体现了为工程师和初学者着想的特点。本书选择的操作简单有效，能够让初学者在最短的时间内熟悉软件的使用。学完一本书，完成一个工程，熟悉一个软件。更贴近实战，达到快速入门的目的。

本书内容

全书以一个 DSP6713 最小系统的工程实例为主线，讲解实际工程中软件使用的全过程。全书共分 13 章。第 1 章简单介绍了 Cadence SPB 15.7 软件及本书的工程实例 DSP6713 最小系统的构成；第 2 章介绍了利用 OrCAD Capture CIS 进行原理图设计的方法，注重讲解了一些最常用的操作；第 3 章介绍了 Allegro PCB Editor 软件模块的一些相关背景知识及重

要概念；第 4 章详细地介绍了焊盘及 Footprint 的制作方法，涵盖了本工程中所用的各种封装类型零件的 Footprint 的制作方法；第 5 章介绍了创建电路板的方法及相关设置；第 6 章详细介绍了零件布局最常用的几种方法；第 7 章详细介绍了如何设置常用的约束规则，包括线宽线距规则、拓扑约束规则、区域约束规则、线长约束规则、等长设置及差分规则等；第 8 章对布线过程中的主要操作进行了详细讲解；第 9 章主要讲解铺铜及电源层分割方法；第 10 章说明为完善设计的处理工作；第 11 章至第 13 章详细介绍设计输出的各种操作，包括丝印处理、生成钻孔数据，以及制作光绘文件的操作方法等。

为了便于学习，本书附录中给出了 DSP6713 最小系统的原理图。读者可根据该图并参照各章节介绍的操作方法，自行完成整个工程的原理图设计及 PCB 设计。

本书相关的视频教程可登录于博士信号完整性研究网 www.sig007.com 免费下载。

本书作者

全书由于争博士主编，其他编写人员包括：赵全良、韩素珍、邵争艳和王庆彬。

Cadence 软件的操作非常灵活，不可能在一本书中涵盖所有操作方法及技巧。加之时间与水平有限，书中难免会有错误及不妥之处，敬请广大读者批评指正。如有问题可登录于博士信号完整性研究网 www.sig007.com 或通过邮箱 yu@sig007.com 与作者本人联系。

目 录

第 1 章 概 述	1	2.8.1 使用 wire	34
1.1 Cadence SPB 15.7 简介	1	2.8.2 使用 net alias	35
1.2 Cadence SPB 15.7 常用软件		2.9 在不同页面之间创建电气互联	36
模块	2	2.10 使用总线创建连接	38
1.3 本书所用的工程实例概述	4	2.10.1 创建总线	38
第 2 章 OrCAD Capture CIS 原理图		2.10.2 放置非 90°转角总线	39
设计	7	2.10.3 命名总线	39
2.1 创建原理图工程及设置工作		2.10.4 连接总线与信号线	40
环境	7	2.11 编辑原理图的基本操作	41
2.2 工程管理器简介	11	2.11.1 选择元件	41
2.3 创建元件库及元件	12	2.11.2 移动元件	41
2.4 创建非规则图形元件	17	2.11.3 旋转元件	41
2.5 创建及使用分裂元件	22	2.11.4 镜像翻转元件	42
2.5.1 创建 Homogeneous 类型		2.11.5 修改元件属性及放置	
元件	23	文本	42
2.5.2 创建 Heterogeneous 类型		2.12 替换与更新元件	43
元件	25	2.12.1 批量替换	43
2.5.3 使用分裂元件	26	2.12.2 批量更新	44
2.6 使用电子数据表创建零件	29	2.13 使用 EditBrowse 选项的技巧	44
2.7 添加元件库及放置元件	31	2.13.1 使用 Parts 选项	45
2.7.1 放置普通元件	31	2.13.2 使用 Nets 选项	46
2.7.2 放置电源和地	33	2.14 在原理图中搜索特定元素	48
2.8 在同一个页面内创建电气互联	33	2.14.1 搜索元件	48
		2.14.2 查找网络	49

2.15	原理图页相关操作	51	4.11	实例: 制作 0805 表贴封装 ..	105
2.16	添加 Footprint 属性	52	4.12	实例: 制作 BGA 类型封装 ..	113
2.16.1	单个添加	52	4.13	实例: 制作 SOIC 类型封装 ..	122
2.16.2	批量添加	55	4.14	实例: 制作 QFP 类型封装 ..	129
2.17	生成 Netlist	58	4.15	实例: 制作包括非电气引脚 的零件封装	137
2.18	生成元件清单	61	4.16	实例: 使用零件制作向导 ..	142
2.19	打印原理图	63			
第 3 章	Allegro 基础	66	第 5 章	创建电路板	148
3.1	Allegro 电路设计流程	66	5.1	创建电路板工程	148
3.2	Allegro PCB Editor 软件操作 界面	68	5.1.1	使用向导创建电路板 ..	148
3.3	两个重要概念 Class 和 Subclass	71	5.1.2	手工创建电路板	156
第 4 章	制作焊盘及零件封装	72	5.2	设置工作区尺寸	157
4.1	基础知识	72	5.3	创建电路板外框	158
4.1.1	零件库开发在 PCB 设计 流程中的位置	72	5.3.1	绘制电路板边框线	158
4.1.2	零件库的文件类型	72	5.3.2	倒角矩形板框	159
4.1.3	使用零件库的方式	74	5.4	创建其他区域	160
4.1.4	零件库开发工具	75	5.4.1	绘制允许布线区域	160
4.1.5	生成零件库的方式	75	5.4.2	绘制允许零件摆放 区域	162
4.2	焊盘	76	5.5	添加安装孔及光学定位孔	163
4.3	Pad Designer 操作界面	78	5.6	设置层叠结构	165
4.4	实例: 制作规则形状的表贴 焊盘	82	5.6.1	操作界面说明	165
4.5	实例: 制作自定义形状的表 贴焊盘	85	5.6.2	操作方法	166
4.6	实例: 制作圆形有钻孔的通 孔焊盘	95	5.7	设置栅格点	169
4.7	实例: 制作方形有钻孔的通 孔焊盘	96	5.8	设置绘图选项	170
4.8	实例: 制作长条形孔隙类通 孔焊盘	97	5.9	设置显示颜色	173
4.9	实例: 制作环形 Flash 焊盘	99	第 6 章	零件布局	176
4.10	实例: 制作自定义形状的 Flash 焊盘	102	6.1	导入网表	176
			6.1.1	Import Logic 窗口	176
			6.1.2	导入网表	179
			6.2	手工摆放零件	179
			6.2.1	Placement 窗口	179
			6.2.2	操作步骤	184
			6.2.3	其他相关操作	186
			6.3	摆放零件的相关操作	187

6.3.1	移动零件	187	8.1.1	设置颜色及 Subclass 的显示	260
6.3.2	旋转零件	189	8.1.2	更改电源和地网络的 鼠线显示方式	262
6.3.3	镜像摆放零件	192	8.1.3	设置高亮显示	264
6.4	使用原理图交互式摆放零件	194	8.1.4	设置 DRC 标记符号显示 方式	265
6.5	按原理图页面摆放零件	197	8.1.5	使用不同颜色同时高亮 显示多个网络	266
6.6	按 Room 摆放	203	8.1.6	设置布线栅格点	266
6.7	使用 OrCAD Capture CIS 按 Room 摆放	209	8.2	BGA 零件的自动扇出	267
6.8	快速布局及自动定位零件	213	8.3	手工布线	271
6.8.1	快速布局	213	8.3.1	控制面板	271
6.8.2	自动定位零件	213	8.3.2	常用操作	273
第 7 章	设置约束规则	215	8.4	群组布线	274
7.1	规则设置方法	215	8.5	布线时显示延迟及相对延迟 信息	276
7.2	设置线宽线距规则	219	8.6	动态显示走线长度	278
7.2.1	设置电源线线宽约束 规则	219	8.7	差分布线方法	279
7.2.2	设置时钟线的线宽线 距规则	222	8.8	包含 T 形连接点的网络走线 方法	281
7.3	设置区域规则	226	8.9	蛇形走线	282
7.4	创建总线	230	8.10	修线	284
7.4.1	设置器件模型	230	8.10.1	移动走线	284
7.4.2	创建总线	233	8.10.2	替换走线	285
7.5	设置拓扑约束	235	第 9 章	铺铜	287
7.7	设置线长约束	245	9.1	内电层铺铜	287
7.8	设置相对延迟	248	9.1.1	操作方法	287
7.8.1	设置同网络各分支间 相对延迟约束	249	9.1.2	处理正片和负片	288
7.8.2	设置不同网络间相对 延迟约束	251	9.2	外层铺铜	290
7.8.3	Allegro 中的 Match Group	252	9.3	编辑 Shape 边界	292
7.9	设置差分规则	254	9.4	指定网络	292
第 8 章	布线	260	9.5	手工 Void	293
8.1	布线准备	260	9.6	删除孤岛	293
			9.7	铺静态铜皮	295

9.8	合并铜皮	296	第 12 章	生成钻孔数据	321
9.9	分割内电层	298	12.1	设置钻孔参数	321
第 10 章	完善设计	303	12.2	生成钻孔文件	323
10.1	添加测试点	303	12.3	处理 Slot 类型钻孔	325
10.1.1	自动添加	303	12.4	生成钻孔表及钻孔图	328
10.1.2	手动添加测试点	306	第 13 章	制作光绘文件	330
10.2	添加局部光学点位点	308	13.1	光绘文件	330
10.3	重新编号反标回原理图	308	13.2	选项说明	332
10.3.1	重新编号	308	13.3	操作方法	335
10.3.2	反标回原理图	310	13.3.1	设置底片内容	335
10.4	设计检查	312	13.3.2	设置底片选项	341
第 11 章	处理丝印信息	314	13.3.3	输出光绘文件	342
11.1	生成丝印信息	314	13.3.4	查看光绘文件	344
11.2	调整丝印	317	附录 A	348	
11.3	添加丝印文字	319			

第 1 章 概 述

当今电子产品开发的趋势正朝高速、高集成度和小型化方向发展。同时低成本化以及开发周期的缩短加大了电子产品开发的难度，传统电路设计中没有出现的信号完整性、电源完整性、EMI 及 EMC 等问题现在都显现出来。所有这些对硬件电路设计人员提出了非常苛刻的要求，设计难度越来越大，高性能的 PCB 设计软件成为硬件电路设计人员的必备的工具。

在高端 PCB 设计领域，Cadence 是当前市场上两大主流高端软件供应商之一，其产品以卓越的性能备受各大企业的青睐。但该软件强大的性能也使操作复杂，让初学者上手略显困难。

1.1 Cadence SPB 15.7 简介

Cadence SPB 15.7 是 Cadence 公司推出的一款高性能电路设计软件包，涵盖电路原理图设计、PCB 设计及电路仿真等整个设计流程中所需功能。它主要包含两大部分，一部分是 OrCAD 软件模块，该软件模块是原 OrCAD 公司的产品，后被 Cadence 公司收购集成到 Cadence SPB 系列软件包中；另一部分是 Cadence 公司自有软件模块，即 Allegro 软件模块。在 Cadence SPB 系列软件包中已经把 OrCAD 软件和 Allegro 软件整合在一起，完成了两个软件的无缝连接，从而构成了一个功能强大的系统互连设计平台。

OrCAD 软件以其强大的原理图设计功能著称，其原理图设计部分使用非常方便，是板级电路设计领域使用最多的原理图设计软件。

Allegro 软件以其强大的版图设计功能著称，该软件最初只能运行于 UNIX 系统的工作

站，如 Sun、IBM 及 HP 等，借助这些工作站强大的运算能力，来实现复杂的高级功能。随着 PC 在运算能力上大幅度提高，已经能够满足软件运行及计算能力的需求，Allegro 软件也因此被移植到 PC 上。目前该软件在 NT/UNIX 系统上实现了统一的设计环境，因此极大地推动了其普及。Allegro 的布局布线设计工具是业界领先的 PCB 设计系统，作为一个交互的环境，它用于创建和编辑复杂且多层印制电路板，其丰富的功能可满足当今世界设计和制造的需求。

Cadence SPB 15.7 系统互联设计平台优化了高性能、高密度电路的设计，提供了板级设计、IC 设计及电路仿真等全套的设计流程及优化的解决方案，极大地缩短了电路设计的周期，方便了对电路板的各项参数进行控制。

Cadence SPB 15.7 系统互联设计平台使用协同设计方法来设计高性能的集成电路，以及封装和印制电路板的互联，从而降低成本并加快产品上市时间。该平台能够跨集成电路、封装和 PCB 协同设计高性能互联，应用其协同设计方法，电路设计工程师可以迅速优化 I/O 缓冲器之间和跨集成电路、封装和 PCB 的系统互联，从而避免硬件返工并降低硬件成本和缩短设计周期。约束驱动的设计流程包括的高级功能用于设计捕捉、信号完整性和物理实现。由于它还得到了 Cadence Encounter 与 Virtuoso 平台的支持，所以 Cadence SPB 15.7 系统互联设计平台的协同设计方法使得高效的设计链协同成为现实。

1.2 Cadence SPB 15.7 常用软件模块

Cadence SPB 15.7 软件包含多个功能模块，初学者往往感到迷惑。使用该软件之前应对各个模块有一个大致的了解，以便对软件有一个整体的认识，下面对各个模块做简单介绍。

(1) Design Entry CIS。该模块是以 OrCAD 为基础的原理图设计工具，其核心部分是原 OrCAD 的原理图设计工具。该原理图设计工具使用快捷方便、简单易懂、功能强大，而且支持多种网表格式的输出，与其他 PCB 软件兼容性好。

(2) Design Entry HDL。该模块是 Cadence 自有的原理图输入工具，提供了一个原理图输入和分析环境。它与数字模拟电路及电路版图设计集成在一起，是作为所有与系统和高速设计流程相关的 CAE 要求的任务中心。

Design Entry HDL Ruler Checker 是 Design Entry HDL 的规则检查工具。

(3) Layout Plus。该模块是原 OrCAD 公司的 PCB 设计工具，集成到 Cadence 软件中后在高速板设计中很少使用，PCB 设计工具主要使用原 Cadence 公司的 PCB Editor。

(4) Layout Plus SmartRoute Calibrate。该模块是原 OrCAD 公司 Layout Plus 的布线工具。

(5) Library Explorer。该模块是数字设计库管理软件，可以调用 Design Entry HDL、PCB Librarian、PCB Designer 和 Allegro System Architect 等工具建立的元件符号和模型。

(6) Model Integrity。该模块是器件 IBIS 及 SPICE 模型的编辑验证工具，为仿真前进行模型管理的必备工具。

(7) Online Documentation。该模块是在线帮助文档，其中集成了软件各个模块的所有帮助文件，使用较多。

(8) PCB Editor。该模块是强大的印制电路板设计软件，是 PCB 设计中最主要的设计工具，与其他模块完美结合，对布局布线中集合每一个细节都提供强大的控制能力，尤其在高速度、高密度电路板的设计中更能体现出其明显的优势。该模块提供了约束驱动布局、约束驱动布线能力，对于解决设计中关键信号的信号完整性问题提供了便捷的方法。

(9) PCB Librarian。该模块是 Allegro 库开发管理工具，包括焊盘、自定义焊盘形状、零件封装、机械符号、格式符号和 Flash 焊盘开发等。

(10) PCB Router。该模块是 Allegro 的布线工具，为强大的自动布线引擎。

(11) PCB SI。该模块是 Allegro 自有的仿真工具，提供了一个交互式集成高速设计环境，方便关键信号的提取和仿真，能对信号完整性、电源完整性和 EMI 等进行仿真，是高速板及封装设计的主要仿真环境。

(12) Physical Viewer。该模块是 Allegro 的浏览器模块。

(13) Project Manager。该模块是 Design Entry HDL 的项目管理工具。

(14) SigXplorer。该模块是网络拓扑结构提取、编辑和仿真模块，是仿真过程中最常用的模块。

(15) PCB Editor Utilities。该模块包括很多小工具，如焊盘设计工具 Pad Designer。

一个设计不会用到上述全部模块。一般利用 Design Entry HDL 或 Design Entry CIS 来设计电路原理图，利用 PCB Editor 进行电路板约束设置、布局与布线，利用 PCB Router 自动布线，利用 PCB SI 和 SigXplorer 进行电路仿真，利用 Model Integrity 管理器件 IBIS 及 SPICE 模型。

1.3 本书所用的工程实例概述

系统地完成一个实际工程，在工程中学习是学习软件使用方法的最佳方式，也更符合工程师的学习习惯。本书所用的工程实例是一个 DSP6713 最小系统。主芯片为 TI 公司的 TMS320C6713BGDPA200，系统框图如图 1-1 所示。

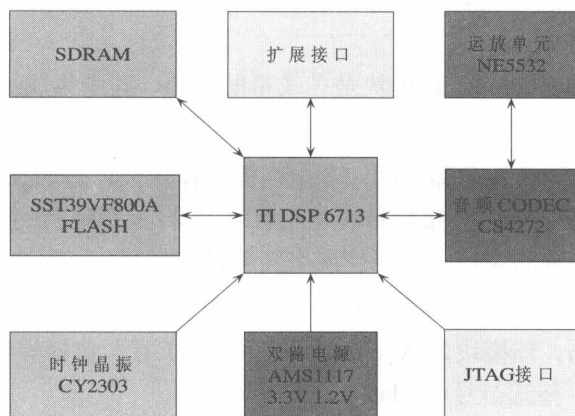


图 1-1 DSP6713 最小系统框图

系统分为存储模块、时钟模块、电源模块、音频输入/输出模块，调试接口及扩展接口等部分，包含了构成 DSP 最小系统必备的部分。

存储模块包括一片 SDRAM，选用 Micron 的 MT48LC2M32B2B5-6 芯片，存储容量为 64 MB。该芯片具有 32 位数据总线接口，可以与 DSP 的 EMIF 接口实现无缝连接。Flash 芯片选用 SST39VF800A，用于存储 DSP 程序代码，存储容量为 8 MB。两个存储芯片同时挂在 DSP 的 EMIF 接口上，如图 1-2 所示为存储模块接线图。DSP 的 32 位数据线与 SDRAM 的数据线对应连接，Flash 的数据线占用 DSP 数据总线的低 16 位。地址线同样处理，SDRAM 占用 DSP 地址总线的低 13 位，EA13 和 EA14 用于选择 SDRAM 的 Bank Address。Flash 地址总线占用 DSP 的全部 19 位地址线，其他控制信号连接方法可参考芯片手册的信号定义。虽然 SDRAM 和 Flash 共享 DSP 的地址和数据总线，但两块芯片占用不同的存储空间，在存储空间中的地址由 CE0 和 CE1 控制。CE0 控制 SDRAM，在 DSP 的存储空间中位置为 80000000~8FFFFFFF；CE1 控制 Flash，在 DSP 的存储空间中位置为 90000000~9FFFFFFF。因此在访问两个存储器时，只需访问不同的存储空间即可。注意，CE1 用于 DSP 从外部存储器进行 Bootload 引导，因此这里作为 Flash 控制信号。

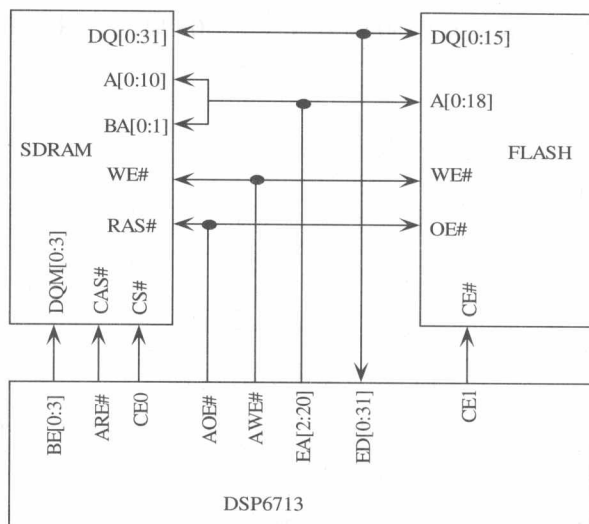


图 1-2 存储模块接线图

音频输入/输出模块采用 Cirrus 公司的 CODEC 芯片 CS4272，通过 DSP 多通道缓冲串行口 MCBSP0 可以实现与 DSP6713 的无缝连接。运放部分采用常用的 NE5532 芯片构成模拟接口。本工程中的 CS4272 接线图如图 1-3 所示，这种接线方式能灵活控制 CS4272 的工作方式，既可工作在 Slave 模式，也可工作在 Master 模式，具体含义参见 CS4272 芯片手册。注意 CS4272 不同的工作方式下串行时钟 SCLK 方向不同，图 1-3 中所画的方向为 CS4272 工作在 Slave 模式下的配置情况。

CS4272 的 LRCLK 与 DSP 的帧同步信号 FSX0 和 FSR0 连接，通过适当配置 MCBSP0 的工作方式，可以方便地将左、右声道的采样数据交替送入 DSP，或者将 DSP 处理过的左、右声道数据按照 CS4272 可接受的数据模式送入 CS4272。

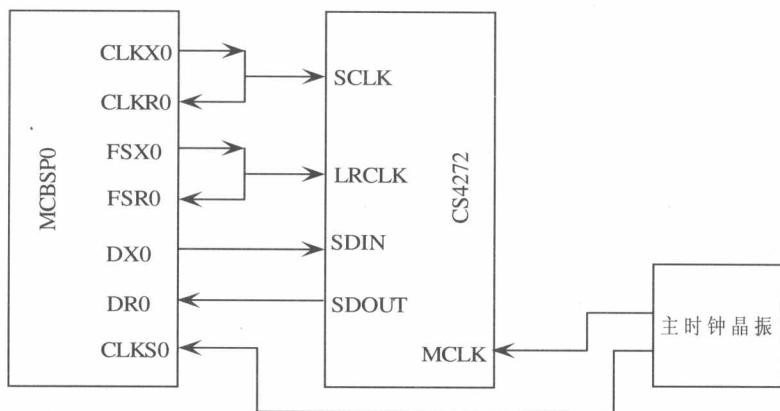


图 1-3 CS4272 接线图

时钟模块选用 CYPRESS 的 CY2303 芯片，CY2303 原理框图如图 1-4 所示。

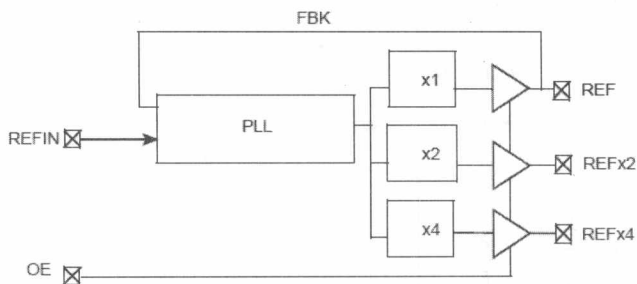


图 1-4 CY2303 原理框图

该芯片可提供 3 路时钟输出，分别为输入参考时钟的 1 倍频、2 倍频和 4 倍频，分别为 DSP 芯片、DSP 多通道缓冲串行口 MCBSP0 及音频 CODEC 芯片提供时钟。本工程中使用 4 倍频输出作为 DSP 的主时钟输入，1 倍频输出作为 CS4272 的主时钟输入；2 倍频输出作为 DSP 多通道缓冲串行口 MCBSP0 的外部时钟输入。这种处理方式能够使 MCBSP0 工作在低数据速率，满足某些低采样率音频应用。

电源模块需要提供+12 V、-12 V、+5 V、+3.3 V 和+1.2 V 等多个电压等级，其中+12 V、-12 V 和+5 V 由外部提供，+3.3 V 采用 AMS1117-3.3 芯片提供，+1.2 V 由 AMS1117-ADJ 芯片提供。

详细原理图参见附录。

第 2 章 OrCAD Capture CIS 原理图设计

2.1 创建原理图工程及设置工作环境

启动 OrCAD Capture CIS，选择 Design Entry CIS 选项，弹出 Cadence Product Choices 对话框，如图 2-1 所示。

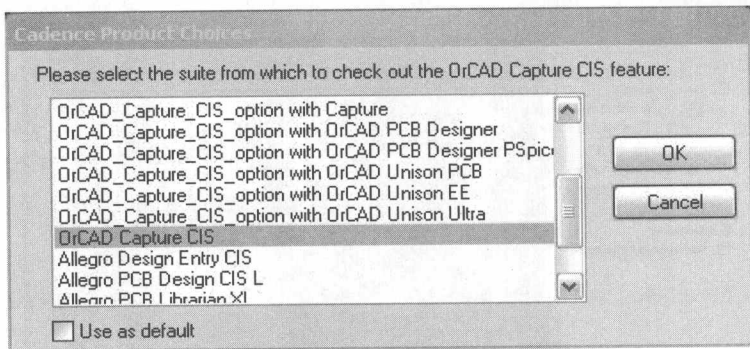


图 2-1 Cadence Product Choices 对话框

选择“OrCAD Capture CIS”选项，单击“OK”按钮打开程序界面，其中只有左下角有一个 session log 最小化窗格。

选择 FileNewProject 选项，弹出“New Project”对话框，如图 2-2 所示。

在其中选择要创建的工程类型，因为要设计原理图，所以选择“Schematic”选项。在“Name”文本框中输入工程名称 myproject，单击“Browse”按钮，选择工程路径。

单击“OK”按钮，显示“OrCAD Capture CIS”界面，如图 2-3 所示。

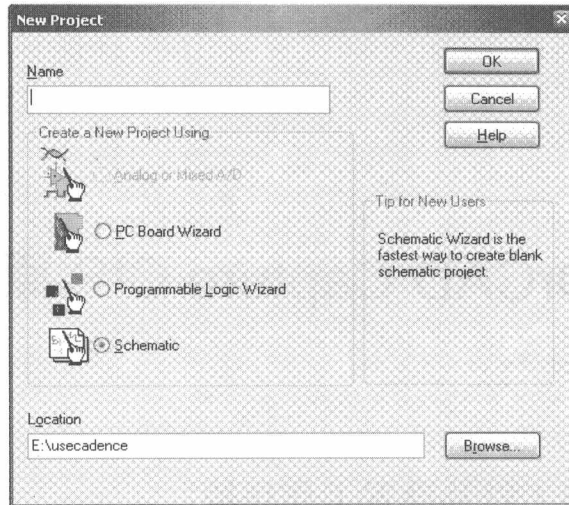


图 2-2 “New Project” 对话框

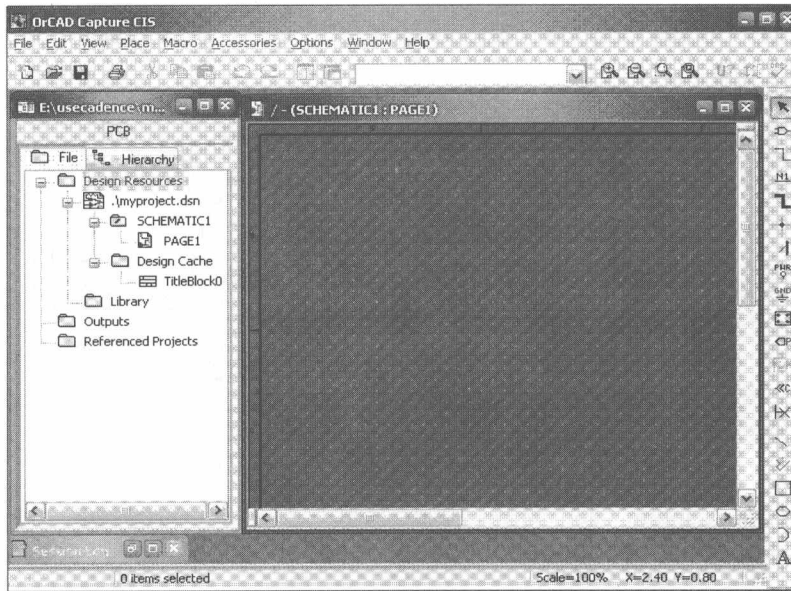


图 2-3 OrCAD Capture CIS 界面

左侧为工程管理器，其中 myproject.dsn 是数据库文件，包括 SCHEMATIC1 和 Design Cache 两个文件夹，SCHEMATIC1 文件夹中保存原理图的各个页面；右侧为原理图窗格，在其中放置元件后，Design Cache 文件夹中会出现该元件的名称路径等信息。这是数据库