

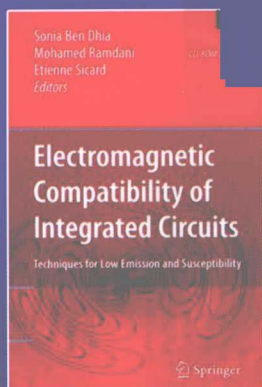
国外电子与通信教材系列

 Springer

集成电路的电磁兼容

——低发射、低敏感度技术

Electromagnetic Compatibility of Integrated Circuits
Techniques for Low Emission and Susceptibility



[法] Sonia Ben Dhia
Mohamed Ramdani 等编著
Etienne Sicard
王洪博 孙倩 李炜 等译



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

国外电子与通信教材系列

集成电路的电磁兼容

——低发射、低敏感度技术

Electromagnetic Compatibility of Integrated Circuits
Techniques for Low Emission and Susceptibility

[法] Sonia Ben Dhia Mohamed Ramdani 等编著
Etienne Sicard
倩、李 炜 等译

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书的宗旨是综述集成电路的电磁兼容现象, 介绍最新的 EMC 测量方法和 EMC 建模方法。

本书给出了集成电路辐射和敏感度的历史与现状、基本概念及原理, 并通过各种案例给出了详细的建模方法、测量方法, 以及一些企业和科研实验室的仿真与测量结果, 有助于集成电路和电子系统设计人员减少 IC 和电子系统的寄生发射, 以及对射频干扰的敏感度。

本书是在集成电路的 EMC 方面的专门的信息汇总, 希望能够为广大集成电路电磁兼容的专家、学者、设计工程师、电子工程学爱好者提供帮助。

Translation from the English language edition:

Electromagnetic Compatibility of Integrated Circuits: Techniques for Low Emission and Susceptibility

by Sonia Ben Dhia, Mohamed Ramdani, Etienne Sicard

Copyright © 2006 Springer-Verlag Berlin Heidelberg Springer is a part of Springer Science + Business Media

All rights Reserved

本书中文简体版专有出版权由 Springer-Verlag GmbH 授予电子工业出版社, 专有出版权受法律保护。

版权贸易合同登记号 图字: 01-2007-2003

图书在版编目 (CIP) 数据

集成电路的电磁兼容: 低发射、低敏感度技术 / (法) 齐亚 (Dhia, S.B.) 著; 王洪博等译. —北京: 电子工业出版社, 2010.4

书名原文: Electromagnetic Compatibility of Integrated Circuits: Techniques for Low Emission and Susceptibility
ISBN 978-7-121-10579-1

I. ①集… II. ①齐… ②王… III. ①集成电路—电磁兼容性 IV. ①TN402

中国版本图书馆 CIP 数据核字 (2010) 第 049936 号

策划编辑: 窦 昊

责任编辑: 侯丽平 文字编辑: 谭丽莎

印 刷: 北京智力达印刷有限公司

装 订: 北京中新伟业印刷有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 18.5 字数: 494 千字

印 次: 2010 年 4 月第 1 次印刷

印 数: 4 000 册 定价: 49.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

译者序

当今，集成电路的电磁兼容性已经越来越受到人们的重视。电子设备和系统的生产商正努力改进他们的产品以满足电磁兼容规范，降低电磁发射，增强抗干扰能力。过去，集成电路生产商关心的只是成本、应用领域和使用性能，几乎很少会考虑到电磁兼容的问题。虽然单片集成电路通常不会产生较大的辐射，但它还是经常成为电子系统辐射发射的根源。当大量的数字信号瞬间同时切换时便会产生许多高频分量。近年来，集成电路的频率越来越高，集成的晶体管数目越来越多，集成电路的电源电压越来越低，加工芯片的特征尺寸进一步减小，越来越多的功能，甚至是一个完整的系统都能够被集成到单个芯片之中，这些发展都使得芯片级电磁兼容显得尤为突出。因此，集成电路生产商也需要考虑自己的产品在电磁兼容方面的问题了。

由于集成电路的电磁兼容是一个相对较新的学科，国内这方面的书籍还不够全面和详尽，Sonia Ben Dhia, Mohamed Ramdani 和 Etienne Sicard 等编著的《*Electromagnetic Compatibility of Integrated Circuits*》一书，结合了国外众多业界专家的专业技术和经验，精心编排了涉及集成电路电磁兼容领域的热点章节，给出了集成电路辐射和敏感度的历史与现状、基本概念及原理，并通过各种案例给出了详细的测量方法、建模方法，以及一些企业和科研实验室的仿真与测量结果之间的比较，对于研究和学习集成电路电磁兼容的专家、学者、设计工程师、电子工程学爱好者来说都是一本难能可贵的好书。

电子工业出版社秉承“洋为中用”的原则，一直致力于引进国外优秀的专业书籍，并独具慧眼地选择了本书的外文原版。译者承蒙编辑部之约请，将本书译为中文版，愿与国内的专家、学者、工程技术人员共同学习进步。

参加本书翻译的有王洪博、齐殿元、孙倩、李炜、程琪、林浩、林军、杨军、刘宝殿、周镒、万艳、张博钧、余纵瀛等。译者在电磁兼容、微波与无线通信领域有着丰富的研发经验，并主导制定了多项国际标准、国家标准及通信行业标准。面对内容如此浩瀚博大的英文巨著，虽然译者尽其所能，力求做到最好，但是译书中难免会有译词欠妥、言语疏误之处，敬请广大读者朋友批评指正。

王洪博
于北京

序 言

2004年，在法国昂热（Angers）的国际电磁兼容（EMC）研讨会（EMC Compo 2004）上，与会者提出写一本关于集成电路电磁兼容专著的计划。经过大家的共同努力，终于把这本专著呈现在读者面前。按照各自的专长，共有三十多位专家应邀参加了本书相关章节的编写。编者把专家们的技术贡献收集起来，就本领域的热点话题，尽最大的努力整理成自我完备的章节，即测量方法、系统建模手段及低发射设计技术。几个测试案例专门收录在“案例研究”一章。本专著的技术内容旨在帮助集成电路（IC）和电子系统设计人员减少IC和电子系统的寄生发射，以及对射频干扰的敏感度。

本书是难得的一本专门收集集成电路电磁兼容的书籍。书中给出了集成电路发射和敏感度的历史与现状、基本概念和相应的理论，并通过各种案例详细阐述了标准的测量方法。通过在传导开关噪声、信号完整性、近场和辐射噪声中的应用，作者对内核、输入/输出（I/Os）、电源网络和封装的EMC模型进行了阐述。本书给出了来自不同企业和科研实验室的案例研究，主要有对集成电路的深刻描述、测试布置、测量与仿真之间的比对等内容。本书也给出了经验丰富的EMC专家在获得低发射、低敏感度方面的具体准则。

目 录

第 1 章 集成电路电磁兼容的基本概念	1
1. 集成电路的电磁兼容	1
1.1 芯片内的 EMC	1
1.2 外部耦合的 EMC	4
2. 集成电路的电磁兼容测量基础	7
2.1 骚扰测量	7
2.2 抗扰度试验	9
3. IC 的 EMC 模型	10
4. 总结	10
5. 参考文献	10
第 2 章 历史与现状	12
1. 早期的研究工作	12
2. 1990—1995 年间 ICS 在集成电路 EMC 方面的研究	14
3. 集成电路的敏感度（从 1995 年开始）	16
4. 集成电路的寄生发射	18
5. 集成电路 EMC 的标准化	22
5.1 测量方法	22
5.2 器件的 EMC 模型	23
5.3 趋于融合	25
6. 特别事件和出版物	25
7. IC 的发展历程	25
8. 封装蓝图	29
9. EMC 问题	31
10. 总结	33
11. 参考文献	33
12. 参考标准	36
第 3 章 基础和理论——EMC 现象的数学背景	38
1. 基本电磁场理论	38
1.1 电磁辐射的物理概念	38
1.2 电偶极子的计算公式	39
1.3 磁场环的辐射	39

1.4	辐射功率	40
1.5	讨论	41
2.	傅里叶分析	41
3.	传输线	44
3.1	传输线模型	45
3.2	电报方程	45
3.3	信号在无损耗线路上的传播	46
3.4	负载条件	47
3.5	集成电路中的传输线	47
3.6	史密斯图	48
4.	RLC 表达式	48
4.1	介绍	48
4.2	分布式模型和集总模型	50
4.3	集总模型的限制	50
4.4	趋肤效应	52
4.5	互连线	56
5.	S 参数	61
5.1	S 参数的影响	62
5.2	S 参数的定义	62
5.3	S_{11} , S_{12} , S_{21} 和 S_{22} 的测量	63
5.4	S 矩阵的特性	64
5.5	S 参数的测量	65
6.	总结	66
7.	参考文献	66
第 4 章	测量方法——集成电路的发射和敏感度	67
1.	简介	67
2.	TEM/GTEM 小室方法	68
2.1	简述	68
2.2	TEM 小室内 IC 发射测量的配置	70
2.3	使用 TEM 小室测量微处理器的辐射	71
2.4	GTEM: TEM 小室的高频变体	72
2.5	不同小室测量结果的相关性	74
3.	近场扫描方法	74
3.1	扫描仪和定位系统	75
3.2	近场扫描使用的探头	76
3.3	集成电路发射	78
3.4	讨论	79
4.	1 Ω /150 Ω 传导法	79
5.	工作台法拉第笼法	80

5.1	WBFC 方法的适用范围	81
5.2	工作台法拉第笼法的基本观念	81
5.3	功率匹配	83
5.4	耦合去耦网络	84
5.5	测量	84
5.6	讨论	85
6.	大电流注入法 (BCI)	85
6.1	RF 输入系统的校准	86
6.2	测试配置	87
6.3	干扰	88
6.4	BCI 测试算法	88
6.5	不合格判据检测	89
6.6	PCB 和其他硬件设置	90
6.7	BCI 测试结果	90
7.	直接功率注入法 (DPI)	91
7.1	DPI 测试算法	92
7.2	DPI 测试结果	93
8.	集成电路的瞬态抗扰度	93
8.1	动机	93
8.2	耦合路径	94
8.3	瞬态抗扰度环境	94
8.4	集成电路的测试方法	95
8.5	新兴的 IC 测试方法	98
8.6	讨论	104
9.	电波暗室内的发射和抗扰度测试	105
9.1	IC 的远场发射	105
9.2	测量 IC 的远场电场	106
9.3	电波暗室内的发射测量	106
9.4	IC 辐射的抗扰度测试	107
9.5	电波暗室内的抗扰度测试	107
9.6	混响室内的发射和抗扰度测试	109
9.7	讨论	110
10.	片上测量	111
10.1	片上示波器	111
11.	集成电路的 EMC 测试计划	113
11.1	标准发射电平	113
11.2	抗扰度电平	115
12.	讨论和总结	116
13.	参考文献	117

第 5 章 EMC 建模——集成电路中骚扰发射和抗扰度现象的建模概览	119
1. 静电放电模型	119
1.1 简介	119
1.2 ESD 测试模型	120
1.3 人体模型 (HBM)	120
1.4 机器模型 (MM)	122
1.5 带电器件模型 (CDM)	123
1.6 传输线脉冲模型 (TLP)	125
2. 内部电流整流	126
2.1 起因	126
2.2 寄生发射的基本原理	127
3. 印制电路板模型	129
3.1 PCB 概述	129
3.2 PCB 的标准形状和特征	129
4. 封装	135
4.1 标准 IC 封装技术	135
4.2 等效封装电路的计算	135
4.3 例 1: 中等功率 IC 封装	137
4.4 例 2: Cesame 芯片封装	138
5. 发射模型	138
5.1 简介	138
5.2 ICEM 模型	139
5.3 IBIS 模型	150
5.4 IMIC 模型——集成电路的 I/O 界面模型	156
5.5 LECCS 模型: 线性等效电路和电流源模型	162
6. 输入/输出模型	166
6.1 简介	166
6.2 I/O 的模块描述	166
6.3 缓冲器模型	166
6.4 I/O 模块模型	168
6.5 LECCS-I/O 模型	168
7. 抗扰模型	170
7.1 简介	170
7.2 仿真模型元素的介绍	170
7.3 仿真的设置	172
7.4 失败判据的定义	172
7.5 仿真与测量结果的比较	175
7.6 抗扰 LECCS 模型	177
7.7 内部抗扰分析	177

8. 串音效应	180
8.1 数学模型	180
8.2 串音引起功率消耗的增加: 仿真分析	181
8.3 实验测量步骤	183
9. 辐射发射的模拟	185
9.1 TEM 小室测量方法的模拟	185
9.2 近场扫描	186
10. 总结	189
11. 附件	189
12. 参考文献	192
13. 参考标准	195
第 6 章 案例研究——EMC 测试芯片、低发射的微控制器	198
1. 用于表征传导和辐射发射特性的意法半导体公司的测试芯片	198
1.1 概述	198
1.2 基于 ICEM 的模型	199
1.3 测量	200
1.4 测量和仿真间的比较	202
1.5 结论	203
2. 飞利浦测试芯片: SI 和 EMC 测量疑问的多参数分析	203
2.1 目标	203
2.2 测试芯片介绍	203
2.3 统计法	204
2.4 可测量的参数	205
2.5 参数范围的编码和译码	205
2.6 彻底分析	207
2.7 结论	207
3. 用于内部转换电流分析的英飞凌测试芯片	208
3.1 目标	208
3.2 介绍	208
3.3 发射模型的结构	208
3.4 TASC 组成模块	210
3.5 TASC 电流传感器	211
3.6 TASC 测试装置	212
3.7 TASC 模块的仿真	213
3.8 时域和频域的测量	214
3.9 结论	215
4. 飞思卡尔微控制器的传导发射特性	216
4.1 概述	216
4.2 微控制器建议模型	216

4.3	传导测量和仿真	217
4.4	结论	219
5.	爱特梅尔 (ATMEL) 微控制器的传导发射特性	219
5.1	概述	219
5.2	ICEM 模型	220
5.3	仿真	221
5.4	结论	224
6.	集成反相器对高频干扰的敏感度	224
6.1	概述	224
6.2	被测设备	224
6.3	模型描述	225
6.4	干扰测试平台	228
6.5	测量	230
6.6	结论	232
7.	飞思卡尔微控制器的敏感度	232
7.1	概述	232
7.2	设计约束条件	233
7.3	执行微控制器抗扰度测量的设置	234
7.4	结论	238
8.	飞利浦抗扰度实例研究	238
8.1	概述	238
8.2	低频研究	238
8.3	模拟电路关于 RF 信号的非线性性能	241
8.4	仿真和测量的结果	242
8.5	结论	242
9.	电子控制单元设计流程的 LECCS 模型的应用	243
9.1	概述	243
9.2	LSI 外围电路级的分析	243
9.3	产品板级的分析	245
9.4	产品板级的抗扰度分析	247
9.5	结论	248
10.	总结	248
11.	参考文献	249
12.	参考标准	250
第 7 章	准则——用于改进 EMC 的规程	251
1.	低发射准则	251
1.1	内核供电噪声准则	251
1.2	片上电容准则	256
1.3	布局	257

1.4 输入/输出缓冲器.....	259
1.5 衬底噪声.....	260
2. 改进抗扰性准则.....	261
2.1 概述.....	261
2.2 片上去耦.....	261
2.3 防御性软件.....	262
2.4 防御性软件举例.....	266
2.5 通过设计改进抗扰性.....	269
3. 总结.....	271
4. 参考文献.....	271
附录 A 有用的相关表格.....	273
附录 B 术语集——用于集成电路电磁兼容领域的缩写.....	277

第 1 章 集成电路电磁兼容的基本概念

摘要：本章介绍与集成电路（IC）的电磁兼容（EMC）有关的关键性概念，说明基本的测量方法，并提供用于 EMC 预测的 IC 模型的概貌。本章也将简要地叙述电、磁场耦合、传导和辐射骚扰及抗扰度。

关键词：电磁兼容；电场；磁场；耦合；同时开关噪声；串音；辐射骚扰；传导骚扰；EMC 模型；EMC 测量方法

1. 集成电路的电磁兼容

集成电路（IC）往往在电子系统的电磁兼容（EMC）中扮演着重要角色。通常，IC 是产生干扰的信号与噪声的根源，它们会把供给的直流（DC）电源转化为作用于无意发射和耦合的高频电流和电压。

电磁干扰最大的牺牲者也往往是集成电路。在典型电子系统的所有器件中，集成电路最易因过电压和过电流条件而损坏。即使没有损坏，耦合到 IC 的输入或电源引脚的噪声也可能使它们发生故障。

虽然 IC 通常是 EMC 问题的根源或牺牲者，但是绝大多数与 EMC 相关的研究和解决的问题的焦点都在 IC 封装之外。传统上，EMC 工程师把他们的努力集中在了电路板、机壳和线缆的设计上。除了一些值得注意的例外（例如，过电压保护和转换速率控制），EMC 在集成电路本身的设计中没有发挥主要作用。

伴随集成电路的 EMC 问题一般分为“芯片内”或“外部耦合”。当一个或多个电路里产生的信号或噪声与同一芯片内的另一个电路的运行彼此干扰时，就产生了芯片内的 EMC 问题。当集成电路里产生的信号或噪声干扰芯片外的电路或器件时，或者反之，当外部产生的噪声干扰集成电路的正常工作时，就产生了外部耦合的 EMC 问题。

1.1 芯片内的 EMC

两个最普遍的芯片内的 EMC 问题是串音和同时开关噪声。当一个电路中的电压或电流无意地耦合到另一个电路中时，就产生了串音。如果耦合足够强，耦合的信号还会影响被干扰电路接收到的信号幅度和定时，从而引起电路故障或使其功能异常。

1.1.1 串音

两个电路的串音（Crosstalk）一般定义为被干扰电路负载上呈现的无意电压与干扰源电路上信号电压的比值。它通常用 dB 表示，即

$$\text{串音 (dB)} = 20 \log \left| \frac{\text{电路2中接收机上呈现的耦合电压}}{\text{电路1中的信号电压}} \right| \quad (1-1)$$

因为耦合电压一般比信号电压小，故以 dB 表示的串音通常是负值。

在集成电路中，一般有三类耦合会导致串音：公共阻抗耦合、电场耦合、磁场耦合。公共阻抗耦合（也叫传导耦合）发生在两个电路的部分电流路径共享同一导体时（例如，同一接地金属）。这类耦合的一个例子见图 1-1，该图中，具有源 V_{S1} 和 V_{S2} 的两个电路共享一个电阻为 R_{RET} 的公共导体。

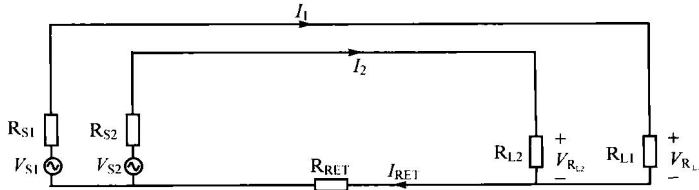


图 1-1 两个电路共享一个公共电流回路

请注意，公共导体的有限的阻抗会导致在两个电路上都出现电压降。一般来说，耦合的电压与公共阻抗和源电流的乘积成正比。

当电力线起始于一个电路的导体，终止于另一个电路的导体时，电场耦合（也叫容性耦合）就产生了。这可以用两个导体间的寄生电容概略地描述。这类耦合的一个典型例子是如图 1-2 所示的空间上非常靠近的两个导体间的耦合。通常，电场耦合会在被干扰电路中感应出一个与源信号的时间导数成正比的电流（ $C dV/dt$ ）。

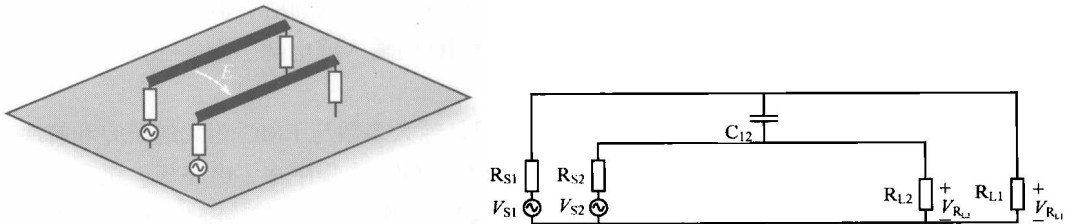


图 1-2 信号导体间的电场耦合

在集成电路中，磁场耦合（或感性耦合）也是串音的一个重要根源。当源电路的时变电流产生的磁场“耦合”到第二个电路（即穿过第二个电路的环形区域）中时，磁场耦合就产生了。这与变压器初、次级之间的耦合类似。如图 1-3 所示是两个有重叠环形区域的电路之间的磁场耦合。磁场耦合会在被干扰电路上产生一个与源电路信号电流的时间导数成正比的电压（ $L di/dt$ ）。

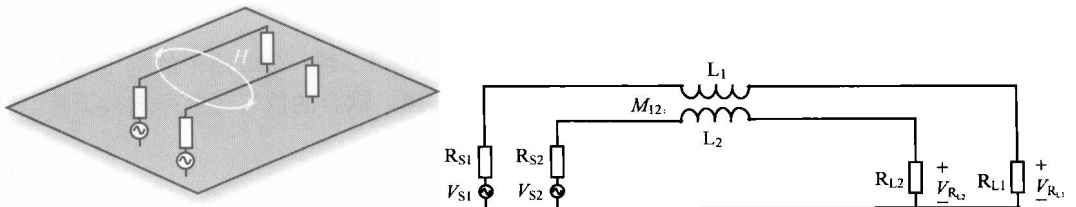


图 1-3 信号导体间的磁场耦合

表 1-1 列出了导致集成电路中的电路之间串音的三种基本耦合机制，以及产生每种耦合的条件和可能的应对措施。集成电路中的串音问题一般可以通过遵循在芯片上布线的基本准则来避免。跟踪每个信号的电流路径和电压是非常重要的。

表 1-1 集成电路串音的基本耦合机制

耦合类型	条 件	措 施
公共阻抗耦合	低频率 低阻抗	隔离电流路径 减小公共路径的阻抗
电场耦合	高频率 高阻抗源	分离电路 用地导体隔离电路 减小信号电压

1.1.2 同时开关噪声

同时开关噪声可能是与 IC 设计有关的最恶劣的 EMC 问题。同时开关噪声也叫做地弹、电源反冲或 ΔI 噪声。它是很多芯片失效的根源，过去有些芯片直到完全投产时才发现这类问题。

同时开关噪声基本上是一个公共阻抗耦合问题，是由于在一个集成电路中各种电路共享同一个电源分布总线产生的。当一个电路从电源总线吸纳电流时，在总线上会产生一个小的电压降。电源总线上的这个电压降会影响与总线相连的所有电路。

图 1-4 阐述了同时开关噪声的基本概念。假设有两个图腾电极输出级在一个 CMOS 电路中共享电源分布路径，回到信号源的电源路径电阻是 $R_{DD} + R_{SS}$ 。如果第一个电路输出 V_{SIG1} 处于高电平状态，那么 $V_{SIG1} = V_{DD} - V_{SS}$ 。

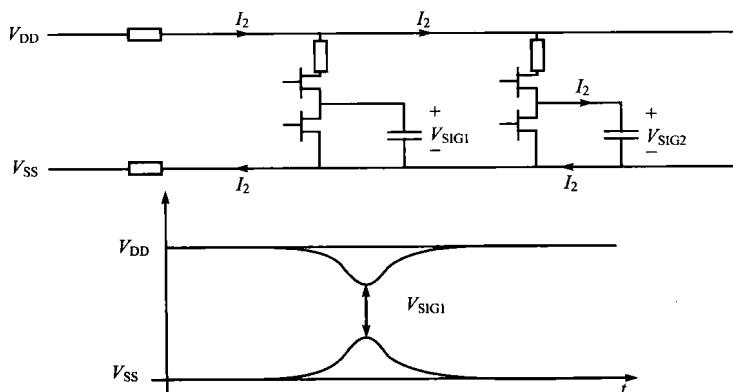


图 1-4 两个图腾电极 CMOS 驱动程序共享一个电源总线

当第二个电路从低电平切换到高电平时，从电源总线的 V_{DD} 侧吸纳电流 I_2 并流向电源总线的 V_{SS} 侧。电流 I_2 仅仅流到恰好给与信号 2 (V_{SIG2}) 有关的电容充电。然而，由于 I_2 被拉过电源总线的电阻，对两个电路来说都有个瞬时电压降。此时电压 V_{SIG1} 将取一个新值： $V_{SIG1} = V_{DD} - V_{SS} - I_2(R_{DD} + R_{SS})$ 。

一方面如果电阻为几毫欧，峰值电流为安培量级，则电压波动只有几毫伏。另一方面，如果同时切换的电路数目很大，从电源总线吸纳的电流峰值会高到足以使输出波动几伏，从而引起原本稳定的输出状态的改变。

同时开关噪声可以通过在 IC 上提供低阻抗电源分布总线来减小。高速 VLSI 设计也使用芯片上的去耦电容来防止同时开关产生的问题。芯片上的去耦电容是连接在 V_{DD} 和 V_{SS} 之间的电容，为附近的电路同时切换所需电流提供暂时的电荷来源。图 1-5 说明了附近的去耦电容是如何防止由于同时切换而使电流从电源总线被吸纳的。当一个电路切换时，开始给信号电容充电所需的峰值

电流首先由附近较大的去耦电容吸纳而不是由电源总线电阻吸纳。电流需求的最初高峰过后，去耦电容就慢慢地被电源总线充电了。

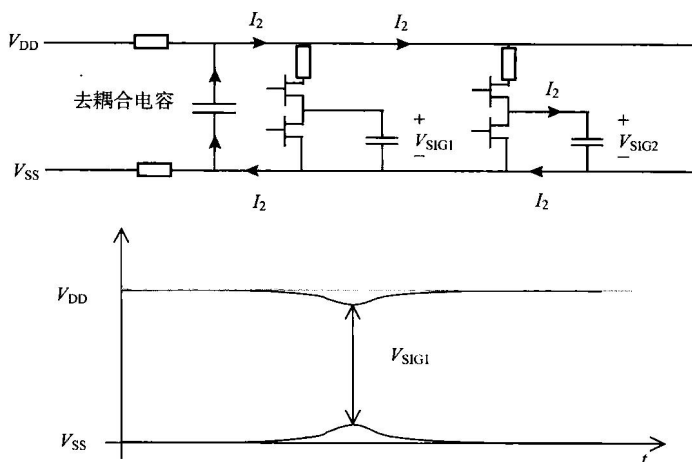


图 1-5 两个图腾电极 CMOS 驱动程序附近有去耦电容

1.2 外部耦合的 EMC

绝大多数集成电路设计在量产前都进行了完整的测试，即器件在置入真正的产品之前，通常已经将芯片内的 EMC 问题都彻底解决了。

然而，由于耦合进或出芯片封装的噪声，没有芯片内部问题的半导体器件仍然有可能是 EMC 问题的根源（或敏感体），如图 1-6 所示。

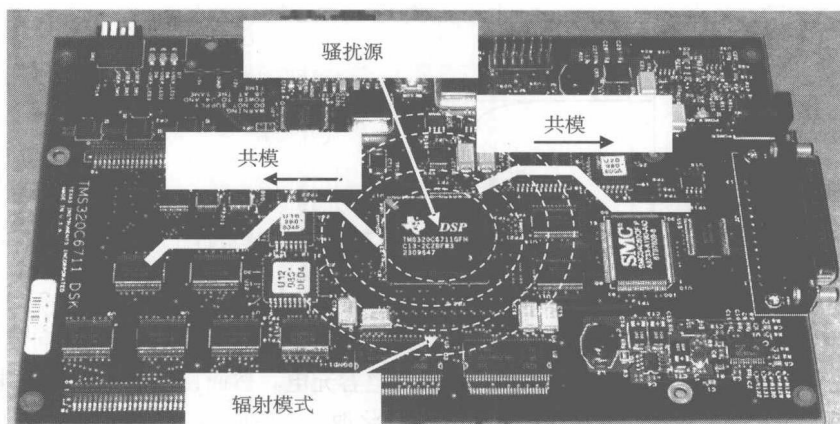


图 1-6 由于集成电路内部开关行为引起的传导和辐射骚扰

电磁噪声耦合进或出集成电路有四种可能的机制。与器件内的串音类似，外部耦合的噪声可以通过导体路径、电场或磁场来传递。另外，芯片或其封装也可能直接辐射能量。

1.2.1 传导耦合

噪声耦合进或出集成电路最明显的途径是封装引线或引脚。一个高频输入/输出接口与一个低频输入/输出接口之间的串音是噪声传导耦合的途径之一。同时开关噪声是另一个常见的高频噪声

