



电子信息与电气学科规划教材·电子科学与技术类

集成电路制造技术

——原理与工艺

王蔚 田丽 任明远 编著

刘晓为 主审



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

电子信息与电气学科规划教材·电子科学与技术类

集成电路制造技术 ——原理与工艺

王蔚 田丽 任明远 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书是哈尔滨工业大学“国家集成电路人才培养基地”教学建设成果，系统地介绍了硅集成电路制造当前普遍采用的工艺技术，全书分5个单元。第1单元介绍硅衬底，主要介绍硅单晶的结构特点，单晶硅锭的控制及硅片（包含体硅片和外延硅片）的制造工艺及相关理论。第2~5单元介绍硅芯片制造基本单项工艺（氧化与掺杂、薄膜制备、光刻、工艺集成与封装测试）的原理、方法、设备，以及所依托的技术基础及发展趋势。附录A介绍以制作双极型晶体管为例的微电子生产实习，双极型晶体管的全部工艺步骤与检测技术；附录B介绍工艺模拟知识和SUPREM软件。附录部分可帮助学生从理论走向生产实践，对微电子产品制造技术的原理与工艺全过程有更深入的了解。

本书可作为普通高校电子科学与技术、微电子学与固体电子学、微电子技术、集成电路设计及集成系统等专业的专业课教材，也可作为集成电路芯片制造企业工程技术人员的参考书。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目（CIP）数据

集成电路制造技术：原理与工艺/王蔚，田丽，任明远编著. —北京：电子工业出版社，2010.9
电子信息与电气学科规划教材·电子科学与技术类
ISBN 978-7-121-11751-0

I. ①集… II. ①王… ②田… ③任… III. ①集成电路工艺—高等学校—教材 IV. ①TN405

中国版本图书馆CIP数据核字（2010）第173004号

策划编辑：史鹏举

责任编辑：侯丽平

印 刷：北京市顺义兴华印刷厂

装 订：三河市双峰印刷装订有限公司

出版发行：电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本：787×1 092 1/16 印张：25.25 字数：712千字

印 次：2010年9月第1次印刷

定 价：39.80元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zltz@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

前 言

从 1996 年开始, 编者就在哈尔滨工业大学讲授“微电子工艺”课程, 至今已有十余年。最初因没有合适的教材, 编者编写了《微电子工艺讲义》作为微电子科学与技术专业本科生的校内教材, 并在 2002 年进行了修订。该讲义主要介绍硅基微电子分立器件与集成电路基本单项工艺的原理与方法、典型分立器件工艺流程, 以及集成电路工艺特有的隔离技术等。微电子技术是高速发展的产业推动型学科, 微电子产品制造技术更是日新月异。随着工艺技术的发展进步, 原讲义内容需要更新, 且原讲义是针对 30 授课学时使用的教材, 内容涵盖面小、偏浅。因此, 编者从 2008 年开始在原讲义基础之上重新编写本教材, 并得到哈尔滨工业大学“十一五”规划教材项目的资助。鉴于本教材内容及硅基集成电路在微电子产品中的主导地位, 且集成电路制造工艺已涵盖了分立器件工艺的内容, 本教材最终定名为《集成电路制造技术——原理与工艺》。

本书共分 5 个单元。第 1 单元介绍硅衬底, 主要介绍硅单晶的结构特点, 单晶硅锭的拉制及硅片(包含体硅片和外延硅片)的制造工艺及相关理论。第 2~5 单元介绍硅芯片制造基本单项工艺的原理、方法、设备, 以及所依托的技术基础及发展趋势。其中, 第 2 单元氧化与掺杂, 介绍热氧化生长二氧化硅工艺, 以及通过热扩散和离子注入与退火相结合的在硅片特定区域的定量掺杂工艺, 这是最基本的硅平面工艺; 第 3 单元薄膜制备, 介绍化学气相淀积(CVD)和物理气相淀积(PVD)两类薄膜制备方法, 以及二氧化硅、氮化硅介质薄膜, 多晶硅薄膜, 金属薄膜和化合物薄膜的淀积工艺; 第 4 单元光刻技术, 介绍光刻工艺过程, 现代光刻技术和刻蚀工艺; 第 5 单元工艺集成与封装测试, 介绍典型工艺集成技术的要点, 典型的 CMOS 电路、双极型电路工艺流程, 以及芯片制造过程中的工艺监控、测试和芯片封装技术。另外, 附录 A 介绍以制作双极型晶体管为例的微电子生产实习, 双极型晶体管的全部工艺步骤与检测技术; 附录 B 介绍工艺模拟知识和 SUPREM 软件。

本书适合作为电子科学与技术类本科生的微电子工艺(或集成电路工艺)课程教材, 建议授课学时 40 学时。学生在学习完“微电子工艺”课程之后, 若再进行 3 周的微电子生产实习, 就能从理论走向生产实践, 对微电子产品制造技术的原理与工艺全过程有更深入的了解。本教材也适合作为微电子领域及相关专业技术人员了解集成电路制造工艺技术的参考书。

本书绪论、第 1 单元、第 3 单元和附录 A 由王蔚执笔, 并进行了全书的统稿; 第 2 单元和附录 B 由田丽执笔; 第 4 单元和第 5 单元由任明远执笔。总装微/纳米技术专家组成员、哈尔滨工业大学国家集成电路培养基地主任刘晓为教授对全书进行了主审。

本书编撰过程中兰慕杰教授对初稿进行了审校, 并给予许多宝贵意见; 另外, 学生宣雷、傅建齐、李昊鸣在初稿编写中帮助收集资料并撰写部分内容。在此, 对上述各位, 以及为本书出版给予支持与帮助的人士表示衷心的感谢!

由于作者水平有限, 书中错漏之处在所难免, 恳请读者予以指正。

王 蔚

2010 年 9 月于哈尔滨工业大学

目 录

第0章 绪论	(1)
0.1 何谓集成电路工艺	(1)
0.2 集成电路制造技术发展历程	(3)
0.3 集成电路制造技术特点	(5)
0.4 本书内容结构	(7)
第1单元 硅 衬 底	
第1章 单晶硅特性	(10)
1.1 硅晶体的结构特点	(10)
1.2 硅晶体缺陷	(15)
1.3 硅晶体中的杂质	(18)
本章小结	(23)
第2章 硅片的制备	(24)
2.1 多晶硅的制备	(24)
2.2 单晶硅生长	(25)
2.3 切制硅片	(33)
本章小结	(36)
第3章 外延	(37)
3.1 概述	(37)
3.2 气相外延	(40)
3.3 分子束外延	(53)
3.4 其他外延方法	(57)
3.5 外延缺陷与外延层检测	(60)
本章小结	(63)
单元习题	(64)
第2单元 氧化与掺杂	
第4章 热氧化	(66)
4.1 二氧化硅薄膜概述	(66)
4.2 硅的热氧化	(71)
4.3 初始氧化阶段及薄氧化层制备	(85)
4.4 热氧化过程中杂质的再分布	(86)
4.5 氧化层的质量及检测	(90)
4.6 其他氧化方法	(94)
本章小结	(97)

第5章 扩散	(98)
5.1 扩散机构	(98)
5.2 晶体中扩散的基本特点与宏观动力学方程	(101)
5.3 杂质的扩散掺杂	(105)
5.4 热扩散工艺中影响杂质分布的其他因素	(110)
5.5 扩散工艺条件与方法	(116)
5.6 扩散工艺质量与检测	(121)
5.7 扩散工艺的发展	(125)
本章小结	(126)
第6章 离子注入	(127)
6.1 概述	(127)
6.2 离子注入原理	(128)
6.3 注入离子在靶中的分布	(134)
6.4 注入损伤	(142)
6.5 退火	(146)
6.6 离子注入设备与工艺	(153)
6.7 离子注入的其他应用	(156)
6.8 离子注入与热扩散比较及掺杂新技术	(160)
本章小结	(163)
单元习题	(164)
第3单元 薄膜制备	
第7章 化学气相淀积	(166)
7.1 CVD 概述	(166)
7.2 CVD 工艺原理	(167)
7.3 CVD 工艺方法	(173)
7.4 二氧化硅薄膜的淀积	(183)
7.5 氮化硅薄膜淀积	(189)
7.6 多晶硅薄膜的淀积	(193)
7.7 CVD 金属及金属化合物薄膜	(197)
本章小结	(201)
第8章 物理气相淀积	(202)
8.1 PVD 概述	(202)
8.2 真空系统及真空的获得	(203)
8.3 真空蒸镀	(207)
8.4 溅射	(215)
8.5 PVD 金属及化合物薄膜	(225)
本章小结	(230)
单元习题	(231)

第 4 单元 光 刻

第 9 章 光刻工艺	(234)
9.1 概述	(234)
9.2 基本光刻工艺流程	(235)
9.3 光刻技术中的常见问题	(242)
本章小结	(243)
第 10 章 光刻技术	(244)
10.1 光刻掩膜版的制造	(244)
10.2 光刻胶	(254)
10.3 光学分辨率增强技术	(258)
10.4 紫外光曝光技术	(267)
10.5 其他曝光技术	(271)
10.6 光刻设备	(279)
本章小结	(284)
第 11 章 刻蚀技术	(285)
11.1 概述	(285)
11.2 湿法刻蚀	(286)
11.3 干法刻蚀	(290)
11.4 刻蚀技术新进展	(302)
本章小结	(303)
单元习题	(304)
第 5 单元 工艺集成与封装测试	
第 12 章 工艺集成	(306)
12.1 金属化与多层互连	(306)
12.2 CMOS 集成电路工艺	(313)
12.3 双极型集成电路工艺	(322)
本章小结	(327)
第 13 章 工艺监控	(328)
13.1 概述	(328)
13.2 实时监控	(329)
13.3 工艺检测片	(329)
13.4 集成结构测试图形	(335)
本章小结	(342)
第 14 章 封装与测试	(343)
14.1 芯片封装技术	(343)
14.2 集成电路测试技术	(354)
本章小结	(366)
单元习题	(367)

附录 A 微电子器件制造生产实习	(368)
A.1 硅片电阻率测量	(368)
A.2 硅片清洗	(371)
A.3 一次氧化	(373)
A.4 氧化层厚度测量	(374)
A.5 光刻腐蚀基区	(375)
A.6 硼扩散	(377)
A.7 pn 结结深测量	(379)
A.8 光刻腐蚀发射区	(380)
A.9 磷扩散	(381)
A.10 光刻引线孔	(382)
A.11 真空镀铝	(382)
A.12 反刻铝	(383)
A.13 合金化	(384)
A.14 中测	(385)
A.15 划片	(385)
A.16 上架烧结	(386)
A.17 压焊	(386)
A.18 封帽	(387)
A.19 晶体管电学特性测量	(387)
附录 B SUPREM 模拟	(391)
B.1 SUPREM 软件简介	(391)
B.2 氧化工艺	(392)
B.3 扩散工艺	(392)
B.4 离子注入	(393)
参考文献	(394)

第0章 绪 论

微电子工业是飞速发展的高技术产业，其产品在各个领域得到广泛应用。近年来，信息业、计算机业及家电业之所以能取得如此巨大的成就，主要是得益于微电子工业的发展，特别是集成电路的发展。集成电路的发展水平已成为一个国家工业发展水平的标志。

微电子产品主要是半导体分立器件和集成电路，集成电路是最主要的微电子产品，它们占整个微电子产品的90%以上。本书着重介绍集成电路制造技术的原理与工艺。在绪论中，仅就集成电路工艺的概念、发展历程、特点、主要用途，以及本书的内容结构加以介绍。

0.1 何谓集成电路工艺

所谓“工艺”，是指将原材料或半成品加工成产品的工作、方法和技术等。

硅基微电子产品的生产过程示意图如图0-1所示。单晶硅锭被切割加工成硅片后，微电子芯片厂商从硅片开始，经过20~30个工艺步骤，在硅片上制造出各种集成电路或分立器件结构，然后对其进行测试、划片、封装，最后将成测合格的微电子产品提供给用户。

而当前，多数集成电路芯片生产企业只完成从硅片到在其上制造出集成电路结构的芯片加工部分，后期工作由专门的芯片测试和芯片封装厂商完成。

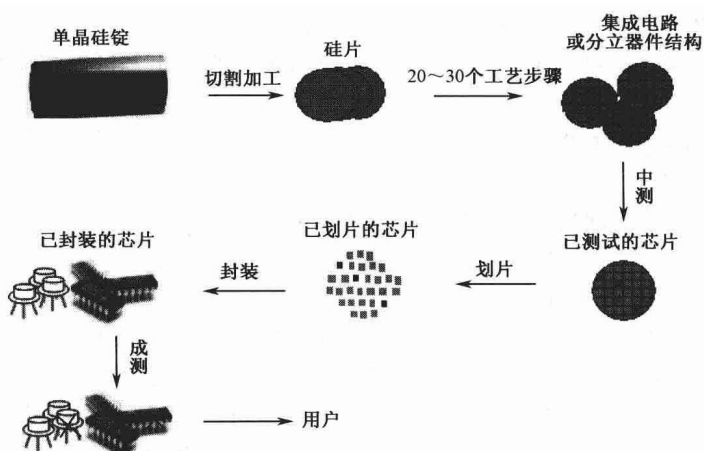


图0-1 硅基微电子产品的生产过程示意图

集成电路工艺（或称微电子工艺）狭义上是指在半导体硅片上制造出集成电路或分立器件的芯片结构，这20~30个工艺步骤的工作、方法和技术即为芯片制造工艺。不同集成电路芯片的制造工艺不同，且结构复杂的超大规模集成电路芯片的制造工艺相当烦琐复杂。不同产品芯片的20~30个工艺步骤中，工作内容近似、工作目标基本相同的单元步骤称为单项工艺。也就是可以把集成电路工艺分解为多个基本相同的单项工艺，不同产品芯片的制造工艺就是将多个单项工艺按照需要以一定顺序进行排列，具体产品制造工艺分解的单项工艺的排列顺序称为该产品的工艺流程。

双极型晶体管是集成电路产品中最基本的器件，也是双极型集成电路的基本单元，它的制造工

艺具有代表性。图 0-2 给出了硅基双极型 npn 晶体管芯片制造的主要工艺流程。

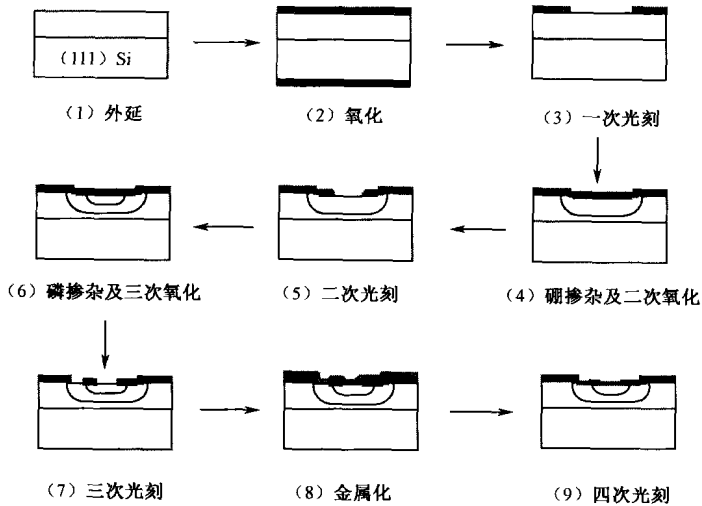


图 0-2 硅基双极型 npn 晶体管芯片制造的主要工艺流程

由图 0-2 可知，双极型晶体管芯片的制造主要由 9 个工艺步骤完成。

步骤 (1) ——外延工艺，是在重掺杂的单晶硅片上通过物理（或化学）的方法生长轻掺杂的单晶硅层，晶体管两个 pn 结就是做在这层轻掺杂的外延层上。

步骤 (2) ——氧化工艺，是在硅片表面用热氧化方法或物理（或化学）薄膜淀积方法得到一层二氧化硅薄膜，作为后续定域掺杂的掩蔽膜。

步骤 (3) ——一次光刻工艺，是在二氧化硅掩蔽膜上光刻出基区窗口图形来，以进行下一步的基区掺杂。

步骤 (4) ——硼掺杂工艺，是用热扩散或离子注入等方法在 n 型硅上掺入 p 型杂质硼，目的是获得晶体管的集电结。

步骤 (5) ——二次光刻工艺，是晶体管制作的第二次光刻，和步骤 (3) 一样，目的是在二氧化硅掩蔽膜上光刻出发射区窗口图形来，以进行下一步的发射区掺杂。二次光刻是在一次光刻基础上进行的，必须与一次光刻图形对准。

步骤 (6) ——磷掺杂工艺，和步骤 (4) 一样，也是一次掺杂工艺，只是掺入的杂质是磷，在 p 型基区上掺入 n 型杂质形成了晶体管的发射结，两步掺杂工艺构成了晶体管的两个 pn 结。

步骤 (7) ——三次光刻工艺，和前两次光刻方法相同，目的是光刻出引线孔图形。

步骤 (8) ——金属化工艺，是采用物理（或化学）薄膜淀积方法在芯片表面淀积金属层，作为晶体管芯片内的引出电极。

步骤 (9) ——四次光刻工艺，这次光刻与前三次光刻承载图形的薄膜不同，是金属薄膜。但光刻方法和前三次光刻工艺的方法大致相同。

由以上晶体管芯片工艺流程可知，晶体管的制造工艺实质上是由外延、氧化、光刻、掺杂、金属化五个单项工艺按一定顺序排列构成的。这五个单项工艺是集成电路工艺的核心内容，其中，光刻工艺在晶体管芯片制造中用到了 4 次，掺杂工艺用到了 2 次。

晶体管制造工艺包含前工艺和后工艺两部分。晶体管芯片工艺称为晶体管制造前工艺，是集成电路产品生产的特有工艺。晶体管芯片工艺完成之后，接下来的工艺称为晶体管制造后工艺，如图 0-1 微电子产品的生产过程示意图后面部分所示。后工艺也称为测试封装工艺。

晶体管制造后工艺流程内容为：中测，测试整个硅片上的晶体管性能；分割硅片，剔除性能不合格的管芯，得到合格的单个管芯；管芯黏结，用导电胶等将管芯黏结在管壳的底座上，或者通过烧结等方法使底座与管芯之间形成欧姆接触；压焊，用压焊机将硅铝丝或金丝一端焊接在芯片压焊点上，另一端焊接在管座的接线柱上，目的是将管芯的发射极和基极用金属丝分别与管座上相应的接线柱连接起来，实现内部电连接；封帽，扣上管壳的管帽，用封帽机将管帽密封焊接在管座上。最后，通过测试选出合格的晶体管。

在硅基微电子产品中，目前分立器件除大功率晶体管以及高频、微波等特殊用途器件之外，常规元器件多以集成方式出现。主要是各种类型的集成电路，如特大规模集成电路（ULSI）、超大规模集成电路（VLSI）、大规模集成电路（LSI）、中规模集成电路（MSI）、小规模集成电路（SSI），以及用户专用电路（ASIC）。

集成电路把一个电路中所需的晶体管、二极管、电阻、电容和电感等元器件及金属布线互连在一起，制作在半导体芯片上，然后封装在管壳内，具有所需的电路功能。集成电路的制造工艺与分立器件的制造工艺一样，都是在硅平面工艺基础上发展起来的，有很多相同之处，如氧化、光刻等单项工艺，其工艺方法、原理及使用的设备都基本相同。但是，也有许多不同之处，最大的不同之处是各元器件之间的电隔离和芯片内部实现电连接的金属化系统。而且，集成电路（特别是 ULSI）比分立器件复杂得多，因此，ULSI 制造工艺是在和分立器件类似的单项工艺基础上又增加了一些特有的工艺技术，如芯片表面平坦化工艺、选择性（局部）氧化工艺等。

集成电路工艺从广义上讲，包含半导体集成电路和分立器件芯片制造及测试封装的工作、方法和技术。集成电路工艺是微电子学中最基础的、最主要的研究领域之一。

0.2 集成电路制造技术发展历程

1947 年年末，美国的贝尔实验室（Bell Lab）发明了半导体点接触式晶体管，这是最早的半导体器件，随后出现了合金结晶体管，它们采用的半导体材料都是锗晶体。合金法制造 pn 结工艺示意图如图 0-3 所示。

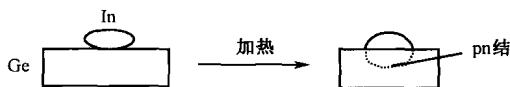


图 0-3 合金法制造 pn 结工艺示意图

直到 1954 年，第一块硅晶体才由美国德州仪器公司（Texas Instruments）研发成功。几乎同时，利用气体扩散把杂质掺入半导体的技术也由贝尔实验室研发出来。有重要意义的突破是，在硅片上热生长出了既具有优良电绝缘性能又能掩蔽杂质扩散的二氧化硅层。此后不久，在照相印刷业中早已广泛应用的光刻技术以及透镜制造业中应用的薄膜蒸发技术被引进到半导体工艺中来。仙童半导体公司（Fairchild Semiconductor）研制的硅平面工艺使制造性能稳定的平面晶体管成为可能。

以平面工艺制造 pn 结的工艺流程如图 0-4 所示，其要点如下：

- ①在硅的平坦表面上生长出一层稳定的二氧化硅；
- ②采用光刻技术在二氧化硅上刻出窗口；
- ③通过刻出的窗口将掺杂剂掺入硅，掺杂剂沿垂直和水平两个方向在硅中扩散，在窗口附近形成一定的杂质分布；
- ④pn 结在表面处被二氧化硅覆盖，这层二氧化硅不再被去掉，可使器件性能更加稳定。

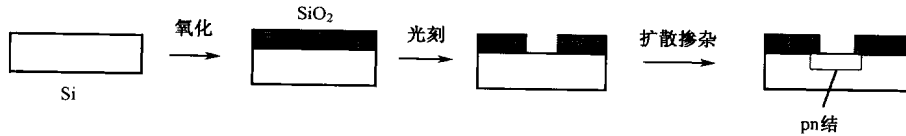


图 0-4 以平面工艺制造 pn 结的工艺流程图

硅平面工艺的发明使集成电路的制造成为可能。1958 年美国的德州仪器公司和仙童半导体公司各自研制出了双极型集成电路。1962 年 MOS 场效应晶体管和 MOS 场效应集成电路也相继诞生。

从集成电路诞生到 20 世纪 80 年代，是以工艺技术的发展为主导来促进微电子产品、特别是集成电路的高速发展时期。1960 年外延技术出现，诞生了外延晶体管。20 世纪 70 年代初，美国研制出第一台离子注入机，使在硅片的定域掺杂更精确、更均匀，可以在更薄的表面层内实现精确掺杂，由此集成电路也向更大规模方向发展。随后等离子干法刻蚀、化学气相淀积等新工艺、新技术也不断出现。

进入 20 世纪 80 年代中后期，集成电路设计从微电子生产制造业中独立出来，微电子工艺也进一步完善和规范，形成了集成电路标准制造工艺。全球第一家集成电路标准加工厂（Foundry）是 1987 年成立的中国台湾积体电路公司，它的创始人张忠谋也被誉为“晶体芯片加工之父”。

20 世纪 90 年代之后，集成电路制造向高度专业化的转化成为一种趋势，开始形成电路设计、芯片制造、电路测试和芯片封装四个相对独立的行业。基于实际应用需求而进行的集成电路设计成为引领和推动微电子工艺高速发展的源动力，它不断对工艺技术提出更高要求。这时芯片制造的横向加工精度开始进入亚微米范围，出现了电子束光刻、X 射线光刻、深紫外光刻工艺技术；纵向加工精度也进一步提高，出现了可生长几个原子厚度外延层的分子束外延工艺、薄层氧化工艺和浅结掺杂技术等。在集成电路金属互连工艺方面，从 1985 年起 IBM 公司（International Business Machine Corporation）就开始研发用铜代替铝作为超大规模集成电路多层金属互连系统的工艺技术，直到 1998 年才在诺发公司（Novellus System）的协助下研制出了铜互连工艺，并将其应用在实际的集成电路制造中，1999 年苹果公司（Apple Computer, Inc.）也在 400 MHz 微处理器中采用了铜互连工艺。围绕着铜互连产生了一系列芯片制造工艺的改进技术，如铜层电镀技术、化学机械抛光技术等。

现代微电子工艺是以硅平面工艺为基础而发展起来的。最能体现微电子工艺发展水平的单项工艺是光刻工艺，一般用光刻工艺或光刻特征尺寸（光刻图形能够分辨的最小线条宽度）来表征微电子工艺水平。

计算机动态随机存储器（DRAM）芯片，从出现到现在，几十年时间里其使用功能基本相同，具有很高的集成度，也最能反映出集成电路工艺的发展历程。所以，通常用 DRAM 芯片的发展历程来表明集成电路工艺水平的进步。DRAM 芯片发展历程如表 0-1 所示。

表 0-1 DRAM 芯片发展历程

年 代	1985 年	1988 年	1991 年	1994 年	1997 年	2000 年
集成度	1 MB	4 MB	16 MB	64 MB	256 MB	1 GB
最小线宽	1.25 μm	0.8 μm	0.6 μm	0.5 μm	0.35 μm	0.18 μm
光刻技术	光学曝光		准分子/电子束	电子束	X 射线（电子束）	

2000 年，集成电路芯片主流产品的特征尺寸已在 0.18 μm 以下，集成电路工艺开始向纳米阶段发展。到 2004 年，集成电路的特征尺寸正式进入到纳米量级，90 nm 线宽的集成电路工艺被大规模应用在中央处理器（CPU）、数字信号处理电路（DSP）等复杂集成电路芯片中。目前，浸润

式光刻技术已经在 90 ~ 65 nm 水平工艺上应用, 准分子激光光刻技术、远紫外曝光光刻技术和电子束投影光刻技术不断完善, 有望成为主流光刻技术。铜互连技术已应用于高端电路芯片的生产工艺中, 并由最初的 6 ~ 7 层互连发展到现今的 9 ~ 10 层互连。铜互连技术本身及相关技术将继续拓展并趋于成熟和完善, 最终将完全替代铝互连技术成为主流互连技术。

人类对电子产品的要求一直向着体积更小、速度更快、功耗更低、性能更高的方向发展。随着元器件特征尺寸的持续缩小, 集成电路的集成度不断提高, 传统的集成电路工艺进一步完善和拓展。另外, 一些新机理、新结构的纳电子器件及电路被设计出来, 与之相适应的新的工艺技术——纳电子工艺也正在诞生。

0.3 集成电路制造技术特点

集成电路工艺是一种超精细加工工艺, 目前工艺特征尺寸已进入纳米量级, 因此对工艺环境、使用原材料的要求非常高。而芯片工艺的一次循环就可以制造出大量芯片产品的特性, 使得集成电路工艺具有高可靠、高质量、低成本的优势, 从而其应用范围也就比较广泛。

0.3.1 超净环境

集成电路芯片的特征尺寸已在深亚微米量级, 在芯片的关键部位若有 1 μm 甚至更小的尘粒, 都会对芯片性能产生很大影响, 甚至导致其功能失效。所以, 芯片工艺对环境要求严格, 是一种超净工艺, 即集成电路芯片必须在超净环境下生产。

超净工艺完成场所可以是超净工作台、超净工作室、超净工作线, 一般用“超净室”来概括。超净室是指一定空间范围内, 室内空气中的微粒、有害气体、细菌等污染物被排除, 其温度、洁净度、压力、气流速度与气流分布、噪音振动及照明、静电等被控制在某一范围内的工作环境。无论室外空气条件如何变化, 室内均能维持原设定要求的洁净度、温湿度及压力等特性。超净室结构和运行原理如图 0-5 所示。达到目标温度和湿度的空气, 经增压室增压, 通过天花板的过滤器过滤进入室内, 再以适当角度并以层流方式流向超净室地板, 在负压作用下通过地板或从地板四周流出超净室, 再经气道回到位于天花板上层的气体处理室。在气体处理室, 废气被直接提取、分离后处理、排除。而处理过的循环气体与一定温度和湿度的新鲜空气混合, 再送到位于天花板上层的压力室, 进行下一轮循环。

通过对过滤器的滤孔尺寸、空气流量、温度和湿度等进行控制, 可以得到符合空气质量等级标准的超净环境。超净室的分类等级标准有美国联邦 209E 标准 (如表 0-2 所示)、中国新 ISO14644-1 标准 (如表 0-3 所示) 等, 均定义为单位体积 (即每立方英尺/美国标准, 每立方米/ISO14644-1 标准) 空气中含一定尺寸悬浮颗粒的数量。

集成电路工艺的发展对工艺环境要求不断提高, 不同集成电路芯片对工艺环境超净等级要求不同, 芯片特征尺寸越小, 要求超净室的级别越高。而同种芯片的不同单项工艺要求的超净室等级也不同, 如光刻工艺对环境要求就较高。

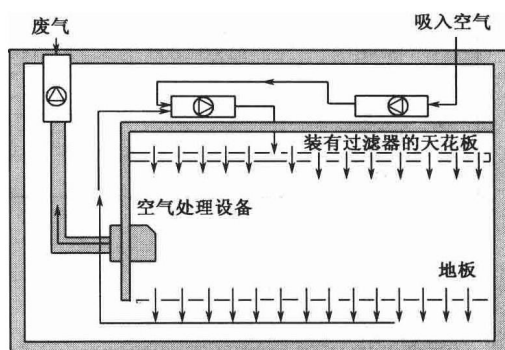


图 0-5 超净室结构和运行原理示意图

表 0-2 美国联邦 209E 标准

超净室分类 (级)	浓度极限 (个/ft ³)				
	≥0.1 μm	≥0.2 μm	≥0.3 μm	≥0.5 μm	≥5 μm
1	35	7.5	3	1	
10	350	75	30	10	
100		750	300	100	
1000				1000	7
10 000				10 000	70
100 000				100 000	700

表 0-3 中国新 ISO14644-1 标准

超净室分类 (级)	浓度极限 (个/m ³)					
	≥0.1 μm	≥0.2 μm	≥0.3 μm	≥0.5 μm	≥1 μm	≥5 μm
ISO 1	10	2				
ISO 2	100	24	10	4		
ISO 3	1000	237	102	35	8	
ISO 4	10 000	2370	1020	352	83	
ISO 5	100 000	23 700	10 200	3520	832	29
ISO 6	1 000 000	237 000	102 000	35 200	8320	293
ISO 7				352 000	83 200	2930
ISO 8				3 520 000	832 000	29 300
ISO 9				35 200 000	8 320 000	293 000

0.3.2 超纯材料

集成电路所用材料必须“超纯”，这和工艺环境要求“超净”相一致。超纯材料是指半导体材料（不包括专门掺入的杂质），其他功能性电子材料及工艺消耗品等都必须为高纯度材料。

目前，集成电路工艺用半导体硅、锗材料的纯度已达 99.99999999% 以上，即 11 个 9，记为 11N。功能性电子材料（如 Al、Au 等金属化材料）、掺杂用气体、外延气体等必须是集成电路用高纯度材料。工艺材料（如化学试剂，也是集成电路专用级高纯试剂）杂质含量已低于 0.1 ppb^①，而石英杯、石英舟等工艺器皿用的石英材料的杂质含量也低于 100 ppm^②。集成电路工艺的发展对材料纯度要求不断提高，一般来说，不同集成电路芯片对材料纯度要求不同，芯片特征尺寸越小，要求材料纯度也就越高。

水也是用量很大的一种工艺材料，既用于硅片、电子材料及工艺器皿的清洗，也用于配制化学品，在氧化工艺中也可作为硅片氧化的原材料。芯片工艺用水必须是超纯水，在微电子生产企业都

① 十亿分之一。 ② 十万分之一

有超纯水生产车间, 水质的好坏直接影响到芯片质量, 水质不达标可能导致不能生产出合格的产品。微电子工业用超纯水一般用电阻率来表征水的纯度, 超大规模集成电路用超纯水的电阻率在 $18 \text{ M}\Omega \cdot \text{cm}$ 以上, 普通大功率晶体管用超纯水的电阻率一般在 $10 \text{ M}\Omega \cdot \text{cm}$ 以上。

0.3.3 批量复制和广泛的用途

由图 0-2 所示双极型晶体管芯片制造的主要工艺流程可知, 用 9 个主要单项工艺步骤就能完成晶体管管芯的制造。只要缩小每个管芯尺寸, 增大硅片面积, 不需要增加工艺步骤, 完成一次工艺流程制造出的管芯就可以从几十、几百个增加到成千上万甚至上亿个。而且, 在一个晶片上的管芯是在完全相同工艺条件下制造出来的, 性能一致性好。

对集成电路芯片而言, 也可以通过缩小各单元元件尺寸、增大硅片面积, 一次工艺循环就能在一个硅片上制造出成百上千甚至上万个电路芯片。集成电路各单元元件之间的电连接也是在同一工艺循环中完成的, 在一个芯片上就实现了某种电路功能, 相对于用多个分立元器件搭建的电路, 元件之间间距小, 没有外部电连接, 受环境影响小, 有更高的稳定性和可靠性。

随着集成电路产品的特征尺寸的减小, 光刻工艺获得的横向最小尺寸已发展到深亚微米量级, 掺杂、薄膜淀积所获得的纵向最小尺寸在几十纳米量级, 而工艺精度更在此之上。因此, 集成电路工艺是高可靠、高精度、低成本、适合批量化大生产的加工工艺。

由于集成电路工艺在微细加工方面具有适合批量化、低成本、高可靠、高精度的优势, 它在多个领域被广泛采用。微机电系统 (Micro-ElectroMechanical Systems, MEMS) 就是在集成电路工艺基础上发展起来的多学科交叉科技领域之一。采用集成电路工艺及硅、非硅微加工技术, 将微传感器、微执行器、控制电路等集成在芯片上构成了微机电系统。

集成电路工艺中的一些关键单项工艺 (如光刻、化学气相淀积、分子束外延等) 也是纳米技术中由上至下加工技术的重要内容, 纳米技术中的一些关键技术是在集成电路工艺基础上发展起来的, 如软光刻技术就是在光刻工艺中发展起来的。

因此, 集成电路工艺是 MEMS 和纳米技术的基础, 对它们的诞生和发展起到了推动作用。

0.4 本书内容结构

集成电路工艺用的单晶硅片或外延硅片的性质, 对集成电路产品性能及芯片工艺有直接的影响, 因此, 本书首先介绍单晶硅片和外延硅片的结构、特性及制备工艺。硅芯片单项工艺是集成电路工艺的基础, 也是本书的核心内容, 书中详细介绍当前主流硅芯片制造单项工艺的基本原理、基本工艺方法、工艺用途和所依托的物理基础; 概述单项工艺所用设备、主要工艺参数的检测方法及发展趋势。集成电路产品种类繁多, 不同产品制造工艺不同, 但同类产品工艺流程相似, 且不同产品也有相同的工艺集成技术 (工艺模块), 因此, 本书对典型工艺集成技术、典型集成电路产品芯片的标准工艺流程进行介绍, 从而使读者对各类集成电路产品芯片的实际工艺有所了解。最后, 还将介绍集成电路芯片的测试工艺和封装工艺。

全书共分为 5 个单元, 内容框架如图 0-6 所示。

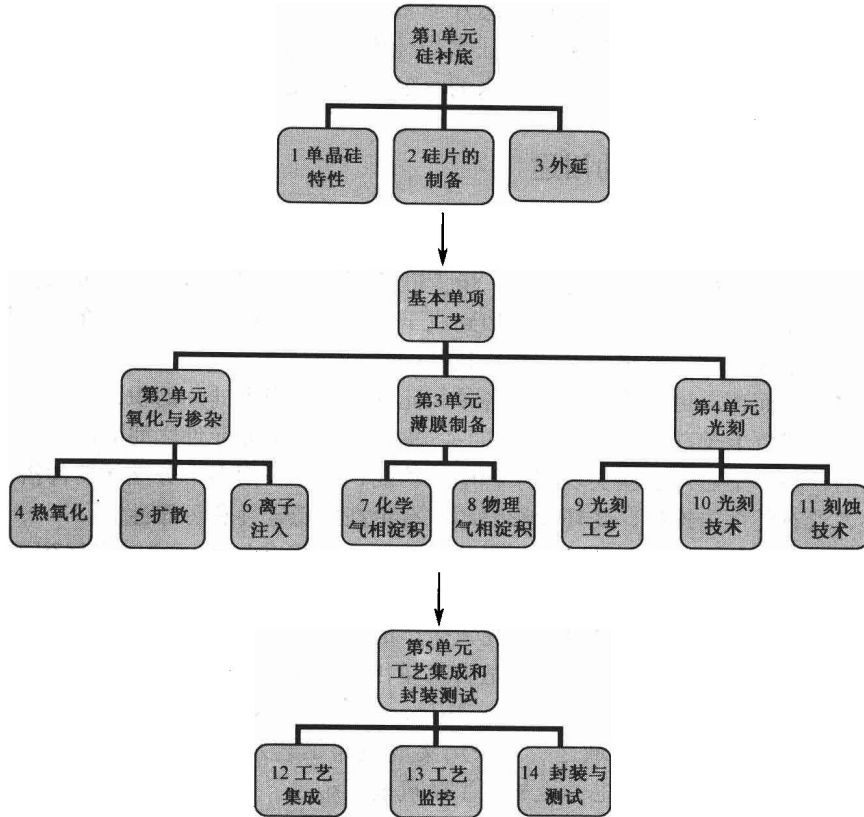


图 0-6 内容框架图

各单元具体章节内容如下。

第 1 单元硅衬底，介绍硅衬底的制造工艺及相关理论：第 1 章单晶硅特性，主要介绍硅晶体的结构特点，以及集成电路工艺中用到的一些固态电子学理论；第 2 章硅片的制备，介绍单晶硅锭的主要拉制方法，硅片的制备及检测；第 3 章外延，介绍外延硅片的制备原理、方法，包含气相外延、分子束外延及新出现的外延技术。

基本单项工艺分为 3 个单元。第 2 单元氧化与掺杂，这是最基本的硅平面工艺，共有 3 章，第 4 章热氧化，介绍在硅片上热生长二氧化硅的工艺；第 5 章扩散，介绍以热扩散方法进行定域定量掺杂工艺；第 6 章离子注入，介绍以离子注入和退火相结合的定域定量掺杂工艺。第 3 单元薄膜制备，共有 2 章，第 7 章化学气相淀积，介绍采用化学气相淀积（CVD）方法制备介质薄膜和多晶硅薄膜的薄膜淀积工艺；第 8 章物理气相淀积，介绍采用物理气相淀积（PVD）方法制备金属薄膜、合金薄膜和化合物薄膜的薄膜淀积工艺。第 4 单元光刻，共有 3 章，第 9 章光刻工艺，介绍在硅片薄膜上光刻图形的工艺；第 10 章光刻技术，介绍光刻工艺所用光刻版、光刻胶、光刻设备及光刻工艺发展趋势；第 11 章刻蚀技术，介绍干法和湿法薄膜刻蚀工艺。第 5 单元工艺集成与封装测试，这一单元介绍典型工艺集成技术的要点，典型集成电路产品的工艺流程，以及芯片封装、测试技术。第 12 章工艺集成，介绍典型工艺集成模块，典型分立器件和集成电路的工艺流程；第 13 章工艺监控，介绍对工艺过程的实时监控方法，检测片和图形；第 14 章封装与测试，简单介绍分立器件和集成电路的测试封装技术。

第1单元 硅 衬 底

锗、硅、砷化镓是微电子产品中使用最多的半导体衬底材料。锗使用得最早，在微电子产品刚刚出现时就用其作为半导体器件及最初的小规模集成电路的衬底材料，目前除少量分立器件采用锗外，在其他产品中已很少看到用锗作为衬底材料的微电子产品。砷化镓是当前应用最多的化合物半导体衬底材料，主要作为中低规模集成度的高速电路或超过吉赫兹的模拟电路的衬底材料。硅是微电子产品中应用最广泛的半导体衬底材料，无论在大功率器件上，还是在大规模、超大规模集成电路及其他微电子产品上，都普遍使用硅单晶作为衬底材料。人们对硅的研究最为深入，作为衬底材料——硅单晶片的制备工艺也最为成熟。

在这一单元，首先介绍硅单晶材料的性质、结构特点，从而使读者了解硅单晶为何会成为微电子产品中采用最多的衬底材料。然后，介绍单晶硅锭的主要拉制方法，包括直拉法、磁控直拉法、悬浮区熔法三种方法，并介绍硅片的制备及检测方法。最后，介绍气相外延硅工艺的原理、方法，以及分子束外延工艺。