

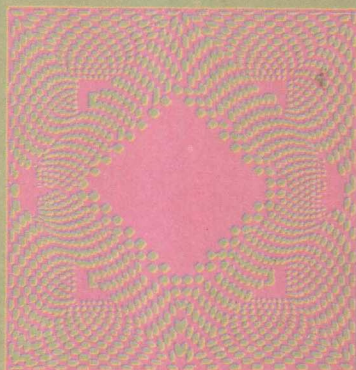


中央广播电视大学教材

计算机组成原理实验指导书

J I S U A N J I Z U C H E N G
Y U A N L I

何晓新



中央广播电视大学出版社

计算机组成原理实验指导书

何晓新

中央广播电视大学出版社

(京)新登字 163 号

图书在版编目 (CIP) 数据

计算机组成原理实验指导书/何晓新. —北京:中央广播电视大学出版社, 1994. 10
ISBN 7-304-01070-3

I. 计… II. 何… III. 电子计算机-基础理论-电视大学-教学参考资料 IV. TP301

中国版本图书馆 CIP 数据核字 (94) 第 13792 号

计算机组成原理实验指导书

何晓新

中央广播电视大学出版社出版

社址:北京市复兴门内大街 160 号 邮编:100031
北京银祥福利印刷厂印刷 新华书店北京发行所发行

开本 787×1092 1/16 印张 3 千字 73

1994 年 10 月第 1 版 1999 年 2 月第 8 次印刷

印数 81501~93500

定价 4.80 元

ISBN 7-304-01070-3/TP·55

前 言

本书是根据中央广播电视大学“计算机组成原理教学大纲”的要求而编写的实验指导。针对电视大学教学实验的特点，我们选用了北京邮电大学计算机系白中英教授设计的JYS—I型计算机原理实验箱作为实验设备。本书中的具体实验内容就是围绕该实验箱的使用而进行的。由于该实验箱具有使用简便，通用可靠，扩充方便等特点，所以本书不但为电视大学师生教学实验服务，亦可作为其它大专院校计算机专业“计算机组成原理实验”教学的参考书。

本书共分两章，第一章介绍了JYS—I型实验箱的原理、结构、使用方法及各模块电路。第二章详细介绍了五个基本实验题目，即：运算器实验，半导体存贮器实验，数据通路实验，微程序控制器实验，CPU取指令与执行指令实验。

在编写过程中，大连理工大学计算机系陈明教授对本书中主要内容进行了认真审阅，并提出了许多宝贵意见。编者表示感谢。

由于时间紧，编者水平有限，书中不足之处，敬请读者批评指正。

编 者

目 录

第一章 概述	(1)
1.1 实验的目的与任务	(1)
1.2 JYS—Ⅰ型计算机组成原理实验箱介绍	(2)
1.2.1 实验箱的组成与功能	(2)
1.2.2 实验箱的硬件结构与使用方法	(3)
1.2.3 实验箱各模块电路介绍	(4)
第二章 计算机组成原理实验	(16)
2.1 运算器实验	(16)
2.1.1 实验目的	(16)
2.1.2 实验任务与实验设备	(16)
2.1.3 实验步骤	(17)
2.2 半导体存储器实验	(18)
2.2.1 实验目的	(18)
2.2.2 实验任务与实验设备	(19)
2.2.3 实验步骤	(19)
2.3 数据通路实验	(21)
2.3.1 实验目的	(21)
2.3.2 实验任务与实验设备	(21)
2.3.3 实验步骤	(22)
2.4 微程序控制器实验	(23)
2.4.1 实验目的	(23)
2.4.2 实验任务与实验设备	(23)
2.4.3 实验步骤	(24)
2.5 CPU 取指令与执行指令实验	(28)
2.5.1 实验目的	(28)
2.5.2 实验任务与实验设备	(28)
2.5.3 实验步骤	(28)
附录	(31)
附录一 输入输出信号引线表	(31)
附录二 74LS181 运算器功能表	(32)
附录三 微指令代码表	(33)
附录四 集成电路排列编号	(34)
附录五 实验用集成电路	(35)
参考文献	(43)

第一章 概 述

“计算机组成原理”是计算机应用专业一门重要的专业基础课程,加强本课程的实践性教学,有利于学生加深理解计算机系统动态工作的原理,建立起整机概念,并有利于培养学生的实际动手能力。“计算机组成原理”实验则是在数字电路实验以后所进行的计算机各主要部件和整机的实验。主要包括运算器、半导体存贮器、数据通路、微程序控制器以及它们相互连接的实验。

“计算机组成原理”实验通过使用各种大、中、小规模集成电路,进行从简到繁,从单元部件到系统的一系列实验。为了便于学生掌握,本实验课程的实验设备,选用了由北京邮电大学计算机系白中英教授设计的 JYS—Ⅱ 型计算机组成原理实验箱。该实验箱电路采用模块结构,按先部件后整机的顺序进行实验,后一个实验可在前一个实验的基础上增加新的模块进行,最后组成一个中央处理机。此外,该实验箱还提供了—个可靠性较高的通用集成电路组装板,以便设计组装—台模型机。

为了配合实验课,在新录制的“计算机组成原理”电视教学录相中,安排了四个电视学时的实验课,可作为学生进行实验时的参考。

1.1 实验的目的与任务

一、实验目的

(1) 运用在“计算机组成原理”课程中所学到的基本概念,并利用 JYS—Ⅱ 型实验箱,调试—个简单的模型计算机,加深对计算机从各部件到整个计算机动态工作流程的理解。

(2) 学习掌握应用大、中、小规模数字集成电路的实际知识,并初步掌握计算机硬件的调试方法,达到提高分析问题、解决问题以及锻炼增强动手能力的教学要求。

二、实验任务

(1) 熟练了解 JYS—Ⅱ 型实验箱的原理及使用方法。

(2) 完成以下 18 学时的实验内容,即:

- 运算器组成实验 (3 学时)
- 半导体存贮器实验 (3 学时)
- 数据通路实验 (3 学时)
- 微程序控制器实验 (3 学时)
- CPU 取指令与执行指令实验 (6 学时)

(3) 按照上述各实验中的具体要求填写实验表格,画出有关的波形图,将实验结果和理论分析值相对照,完成实验报告。

(4) 熟练使用双踪示波器 (SR-8 或 SR-35)、万用表、逻辑测试笔。

(5) 分析讨论其它值得研究的问题。

1.2 JYS—Ⅱ型计算机组成原理实验箱介绍

1.2.1 实验箱的组成与功能

一、组成

JYS—Ⅱ型实验箱是一台多功能实验仪器,它采用模块化结构,可供同学进行计算机部件和系统操作的实验,并可显示实验数据。此外,该仪器还可进行以下三种类型的课程设计:

- (1) 一台给定指令系统的模型机的设计与调试;
- (2) 一台自拟指令系统的模型机的设计与调试;
- (3) 一台微处理机系统的设计与调试。

另外,还可以进行“数字逻辑”课程的课程设计。

实验箱由以下四部分组成:

(1) 控制面板

在控制面板上有 20 个拨动开关 ($K_0 \sim K_{19}$),用以完成数据和地址的输入及有关控制信号的逻辑状态。此外配有 5 个按钮开关,其中 $P_0 \sim P_2$ 三个按钮开关为 R—S 触发器消颤动按钮开关。 $P_3 \sim P_4$ 为三个单脉冲发生器按钮开关,用来完成产生时序信号,打入数据脉冲,清除信号等任务。为了显示实验中的数据、地址信号以及某些控制信号,在面板上还配置了 18 个红色发光二极管显示灯 ($L_0 \sim L_{17}$)。

(2) 接线柱装置

为了克服以往许多实验设备采用面包板接插线所带来的接触不良的弊端,本实验箱选用了特殊设计的凸轮原理锁紧插头。它不但具有高度的接触可靠性,而且具有三维空间方向上快速接线的优点。

该紧锁插头座总共有 161 个,分成 7 行 23 列设置,编号为: $A_1 \sim A_{23}$ 、 $B_1 \sim B_{23}$ 、 $C_1 \sim C_{23}$ 、 $D_1 \sim D_{23}$ 、 $E_1 \sim E_{23}$ 、 $F_1 \sim F_{23}$ 、 $G_1 \sim G_{23}$ 。每行插头座的下方标有各插头所代表的信号,插头座底部在印刷线路板上已和相应的信号线焊接在一起。使用时只要按照书后提供的各个实验连接表,用随实验箱配备的接插线,就可以迅速、准确、可靠地将有关信号连接在一起。

(3) 实验电路

在板的上方装有实验电路,由 34 块大、中、小规模数字集成电路组成。分别为运算器模块、半导体存储器模块、微程序控制模块、数据通路、时序电路,供实验时使用。

(4) 通用实验板

在实验箱的右半部分配置了一个具有 39 个集成电路插座的实验板,其中 40 脚插座一只、24 脚插座 4 只、20 脚插座 9 只、18 脚插座 2 只、16 脚插座 4 只、14 脚插座 19 只。插座上的电源线和地线都已接通,其它引脚都用紧锁插头座输出。

为了适应不同层次的教学需要及课程设计,在通用实验板的上方还提供了—个 8 位字长的单总线结构的通用数据通路印制板电路。该部分包括通用寄存器、ALU 单元、数据总线、指令寄存器、RAM、数据缓冲寄存器等。

(5) 电源

在该实验箱中配备了两路稳压电路,均为 +5V, 2.5A 输出。在实验时需—用引线接到下方

在本实验箱左半部的上述各部件集成电路，均已装在印制板上。各部件之间的数据通路与控制信号，都通过线路板上的连线接到板面上161个紧锁插座。

由于采用模块结构，使该实验箱结构简单明确，便于调试。而使用上述接线方法，则大大减少了接线的数量，降低了接线错误，提高了可靠性，使实验比较容易地进行。

二、使用方法

该实验箱使用极其简便，应首先将交流电源线接妥，然后用两根不同颜色的导线分别将+5V电源的正、负极连接到线路板上正（红）、负（黑）两个接线柱上。第二步，按照每个实验所提供的接线表，用连接线两端的插头，分别插在指定的紧锁插座上，插完后认真检查无误。第三步，按照实验中的规定，将指定的拨动开关 K_i 拨置在合适的位置。开关往上拨为高电平，往下拨为低电平。一切检查无错误后，打开电源开关，电源指示灯（红色）亮，则按照实验规定的步骤进行各种实验。

1.2.3 实验箱各模块电路介绍

一、通用操作部分

(1) 拨动开关

实验箱设置的 $K_0 \sim K_{19}$ 共20个拨动开关，用来产生高、低两种电平逻辑信号，其电路见图1.2。

在电路中，开关的两端分别接高电平（通过 $3.3k\Omega$ 电阻）和地，开关的中间端点接到线路板上标明 $K_0 \sim K_{19}$ 的紧锁插头座中的一个。开关往上拨为高电平，往下拨为低电平。

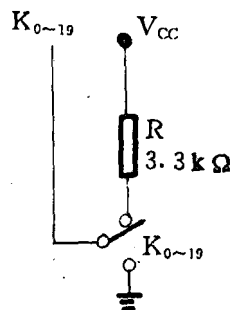


图 1.2 逻辑开关电路

(2) R-S 触发器消颤动按钮开关

实验箱设置了 $P_0 \sim P_2$ 三个消颤动按钮开关，电路见图1.3。

通常将机械式的转换开关接到高速的电子线路上，由于转换时机械触点颤动的结果，在开关稳定闭合或断开时，这种颤动就会产生一串脉冲，而影响电路的正常工作。为此一般用R-S触发器消除这种颤动。图1.3中常态时 $\bar{P}_0$ 为高电平， P_0 为低电平。一旦按动 P_0 按钮开关，IC9的输入端9

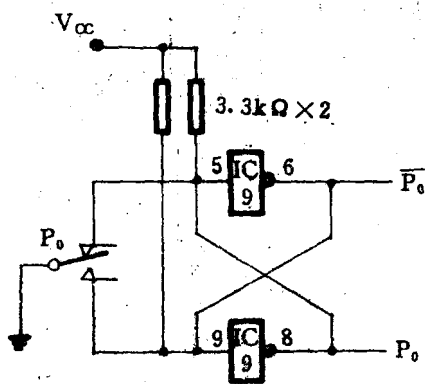


图 1.3 按钮开关电路

接地，R-S 触发器翻转， $\bar{P}_0$ 变为高电平， P_0 变为低电平。松手后，IC9的输入端5又重新接地，触发器又翻转一次， $\bar{P}_0$ 恢复常态的高电平， P_0 为低电平。这样在 $\bar{P}_0$ 端输出一个负脉冲， P_0 端输出一个正脉冲。脉冲宽度取决于按钮的动作时间。 P_0 和 $\bar{P}_0$ 两个输出信号，分别接到板上标有 P_0 、 $\bar{P}_0$ 的紧锁插座上，供实验使用。按钮开关 P_1 、 P_2 原理与 P_0 一样，就不再重复了。

(3) 单脉冲发生器按钮开关

实验箱设置了 $P_3 \sim P_4$ 两个单脉冲电路按钮开关，其电路见图1.4。

在这类电路中，因为按钮开关产生的脉冲是随机的，当这些脉冲发生在需要输出的主脉冲内时，必定形成输出脉冲不完整的现象，从而影

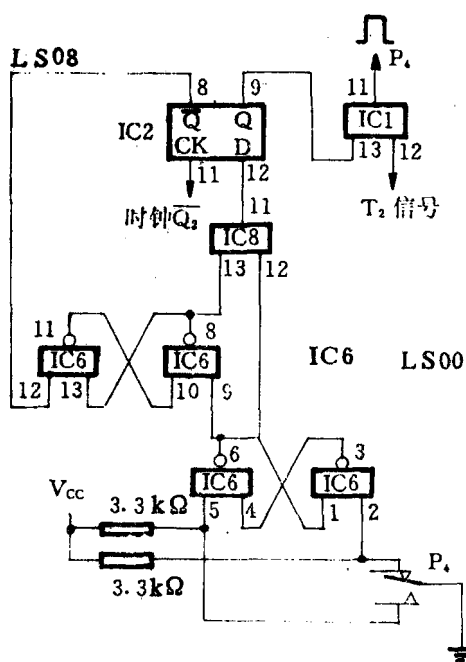


图 1.4 单脉冲电路

IC6 的输出端 6 输出的负脉冲后沿（下降沿），使中间的 R-S 触发器翻转，将 IC6 输出端 8 又

响机器工作的可靠性。为了避免这种现象，一般可采用所谓的“维持—阻塞”电路来解决。当按钮开关产生的脉冲和某一主脉冲同时产生，则该电路将输出阻塞，直到下一主脉冲到达时，才允许正常输出。当输出过程未结束时，则电路维持至主脉冲输出结束后，才关闭输出。该过程见图 1.5。

在单脉冲电路中，用了两个 R-S 触发器和一个 D 触发器构成阻塞—维持电路。最下面的 R-S 触发器解决开关颤动问题，当按动 P_4 按钮开关时 IC6 的输出端 6 置为高电平，由于 IC6 输出端 8 原为高电平，所以 D 触发器 IC2 的 D 输入端为高，当时钟信号 Q_2 的上升沿（后沿）来时，D 触发器置为 1，将门 IC1 打开，一个 T_2 信号顺利通过 (P_4 单脉冲信号)。D 触发器的 $\bar{Q}$ 端输出一个低电平，使中间的 R-S 触发器翻转，IC6 的输出端 8 变为低电平，则使 D 触发器的 D 输入端也变为低电平，当下一个 Q_2 的上升沿来时，D 触发器才能置为 0，将门 IC1 封锁。待 P_4 按钮恢复常态时，即

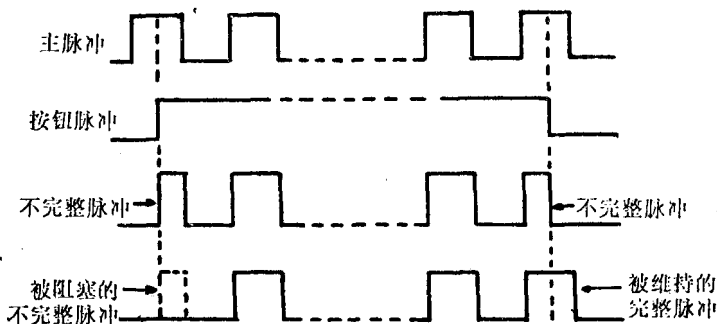


图 1.5 维持—阻塞波形图

置为高电平，恢复初始状态。 P_4 单脉冲信号接到线路板上标有 P_4 的紧锁插座上，以供使用。 P_3 单脉冲信号产生的原理和 P_4 同样。在使用单脉冲时，注意：一定要将 MF 信号插座和 QA、QB、QC、QD 中任意一个插座连接，方可产生 Q_2 和 T_2 信号。

(4) 发光二极管显示电路

在实验箱上设有 $L_0 \sim L_{17}$ 十八个发光二极管显示电路，电路见图 1.6。

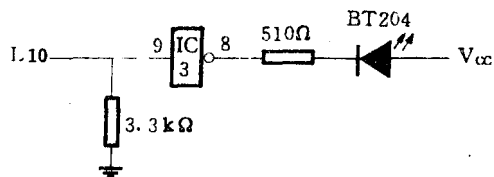


图 1.6 显示电路

在显示电路中，发光二极管的正极接电源，负极串接一个 510Ω 电阻接到与非门的输出端。当输入端为高电平时，发光二极管点亮，输入端接低电平时，发光二极管不显示。与非门的输入端 L_{10} 连接到线路板上，标有 L_{10} 的紧锁插座。其它发光二极管显示电路同样。

上述 (1), (2), (3), (4) 的集成电路在印制板的背面，元件的编号见附录四。

二、实验电路部分

在实验电路中，需要互连的控制信号很多，我们规定：两个相同的信号连接时，输出信号用某个字母标示，输入信号则在这个字母的右上角加 “'” 标示。例如：输出信号 WE ，则输入信号为 WE' 。

1. 时钟产生电路

时序发生器是计算机工作的“心脏”，当计算机被启动后，它就产生出一系列的节拍电位和工作脉冲。当它停止工作时，计算机也就相应停止了工作。

时序电路主要包括主脉冲源（时钟产生电路）、启停电路、节拍电位产生逻辑、节拍脉冲产生逻辑（时序脉冲产生电路）。在组合逻辑控制器中，由时序产生器本身通过逻辑电路来产生节拍电位。在微程序控制器中，由该控制器提供节拍电位信号。

时钟产生电路见图 1.7。

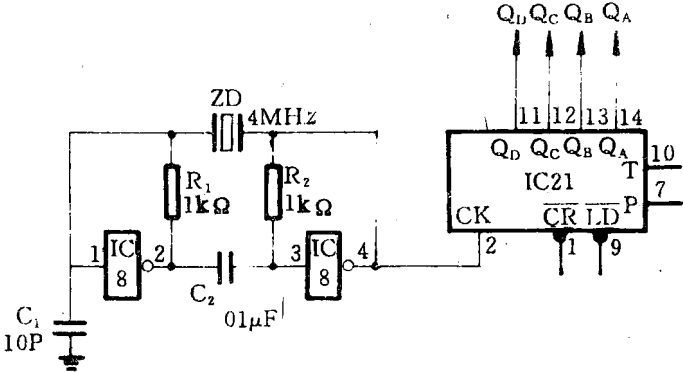


图 1.7 时钟电路

从图中可以看出时钟电路由两部分组成，信号源是由两个与非门构成的正反馈自激晶体振荡器。每个与非门的输出端到输入端之间的反馈电阻 R 使得与非门电路工作在截止到通导之间的过渡状态，若在 $IC8$ 输入端 1 有一微小的电压变化，在 $IC8$ 输出端 4 就产生同相位的很大的电压变化，即电路有正反馈作用。它们向石英晶体 ZD 提供能量，产生振荡。石英晶体工作时相当于一个由电感、电容和电阻组成的谐振电路，它的频率稳定度特别高，输出形状良好的方波信号。每一块晶体、都有其特定的频率。只要用不同频率的晶体换上去，就输出不同频率的方波信号。在本电路中用的是 $4MHz$ 晶体，所以输出 $4MHz$ 频率的方波作为下一级的时钟信号。

在电路中 $IC21$ 采用的是 $74LS161$ 4 位二进制同步计数器。所谓同步计数器，就是将计数脉冲直接加到计数器的各级触发器，使得各个触发器在计数脉冲作用时同时改变状态，因此这种计数器也称为并行计数器或电位进位型计数器。 $74LS161$ 计数器具有同步预置数，同步清除等功能。在这里只简单地使用了计数功能，此时应将 $\overline{CR}$ 、 $\overline{LD}$ 、 P 、 T 四个信号输入端接高电位。由于输入脉冲为 $4MHz$ ，所以第一个输出信号频率 QA 为 $2MHz$ ，第二个 QB 为 $1MHz$ ，

第三个 QC 为 500kHz，第四个 QD 为 250kHz。这四个方波信号根据实验需要，选择其中一个接到节拍脉冲发生器的输入端 MF，以产生实验所需的 T 信号。QA、QB、QC、QD 均连接到线路板上标有这四个信号的紧锁插座上。

(2) 启停电路

计算机实验箱一旦接通电源，主振荡器就自动开始工作，产生 QA、QB、QC、QD 不同频率的方波。这时如果我们按要求将其中一个信号接入 MF，则时序脉冲产生电路就会产生 T₁、T₂、T₃、T₄ 时序信号。为了保证机器可靠地启动和停止，必须对时序信号进行有效的控制，为此设置了启停控制电路，此外，在实验中有时需要一步一步地去执行相关的操作，所以还要有控制产生单步操作时所需时序信号的功能。具体电路见图 1.8。

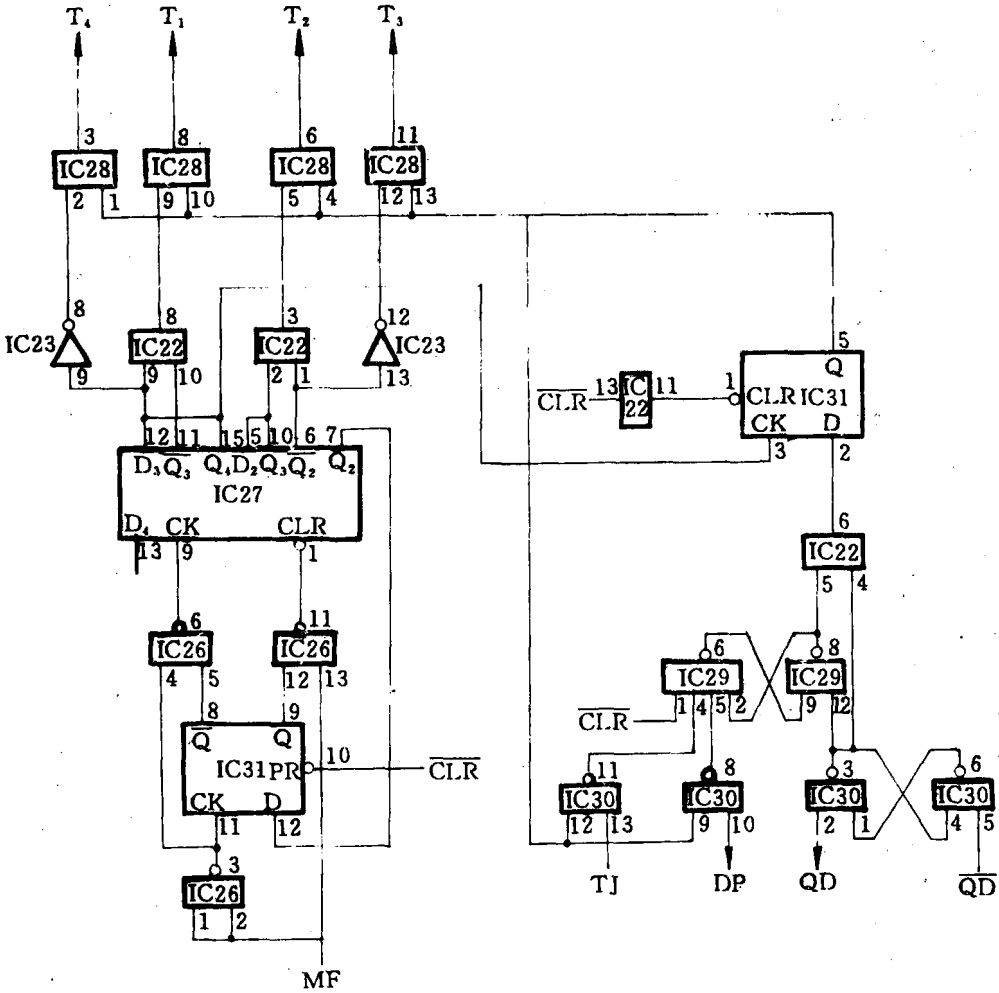


图 1.8 时序发生器启停电路

在图 1.8 的右半部分即是启停电路。其中 TJ 是停机信号，DP 是单步信号，QD 和 QD⁻为启动信号，这四个信号也连到板上标有相关标志的紧锁插座上。由于启动和停机是随机的，为了保证输出脉冲信号的完整性，也采用了类似单脉冲电路的“维持—阻塞”型电路。该电路的核心采用了一个 D 触发器作为运行标志触发器，当该触发器 Q 端为高电平时，打开发送一

个 CPU 周期的时序脉冲 $T_1 \sim T_4$ 的与非门, 使时序脉冲顺利通过。Q 端置为低电平时, 封锁信号通过。为了保证 $T_1 \sim T_4$ 四个脉冲完整通过, 用时序脉冲发生器 IC27 的 Q_4 输出信号作为运行标志触发器的时钟输入, 则相当于在 T_1 的前沿开启该标志触发器 (置 “1”), 相当于 T_4 的后沿关闭标志触发器 (置 “0”)。

启停电路工作过程如下:

在要求时序脉冲 $T_1 \sim T_4$ 连续发送时, TJ 和 DP 信号接低电平, QD 和 $\overline{QD}$ 分别接入 P_0 按钮开关的 P_0 和 $\overline{P_0}$ 端, 然后 $\overline{CLR}$ 变低将 R-S 触发器 IC29 的输出端 6 置 “1”, D 触发器清零 (此后 $\overline{CLR}$ 为高)。按动 P_0 按钮, $\overline{QD}$ 端的负脉冲将另一个 R-S 触发器 IC30 的输出端 6 置为 “1”, IC30 输出端 3 变为 “0”, 这样又将上一个触发器 IC29 的输出端 8 置为 “1”。在负脉冲的后沿 (即 QD 端正脉冲的下降沿) 将触发器 IC30 的输出端 3 置为 “1”, 这样 D 触发器的 D 端为高电平, 当 Q_4 的前沿来时将标志触发器置 “1”, 打开 $T_1 \sim T_4$ 的输出门 IC28, 输出连续的时序脉冲 $T_1 \sim T_4$ 。当执行停机时, 将 TJ 置为 “1”, 由于 D 触发器 Q 端也反馈到 IC30 的输入端 12, 所以输出端 11 置为 “0”, 将 R-S 触发器翻转, IC29 的输出端 6 置为 “1”, 则 IC29 的输出端 8 置为 “0”, D 触发器 D 端则为 “0”, 当 Q_4 的上升沿来时, 将标志触发器置 “0”, 封锁 $T_1 \sim T_4$ 的输出门, 从而实现停机。

在单步工作时, 将 DP 置为 “1” (TJ 为 “0”), 先清零, 然后按动 P_0 按钮, 当第一个 Q_4 上升沿来时, 将 D 触发器置 “1”, 同时使 IC30 的输出端 8 由高变低, 使 R-S 触发器翻转, IC29 输出端 8 变为 “0”, 在下一个 Q_4 前沿来时, 将标志触发器置 0, 封锁 $T_1 \sim T_4$ 发送门, 从而保证只发送一组 $T_1 \sim T_4$ 时序脉冲。

注意: 请检查实验箱电路板上 IC30 的 11 脚和 IC29 的 4 脚是否相接, 如没有相接, 用一根细导线将两点焊接在一起。此外, 请将 IC22 的 12 脚向上翘起, 不插入该 IC 插座内。

(3) 时序脉冲产生电路

该电路是由一个四 D 触发器构成的循环移位寄存器 IC27 和相应的节拍脉冲译码逻辑 IC28 等组成。工作过程如下: 首先 $\overline{CLR}$ 信号将 D 触发器 IC3 置 “1” ($\overline{CLR}$ 低电平有效), 开启右侧与非门 IC26, 使得 MF 来的第一个主振信号通过, 将循环移位寄存器清零 (即 $Q_4 \sim Q_2$ 为 “000” 状态), 此时 IC27 Q_2 输出为 “0”。在第一个主振脉冲的后沿时 (通过 IC26 输出端 3) 将 D 触发器 IC31 置 “0”。打开左侧与非门 IC26, 在第二个主脉冲的前沿将 IC27 中的 Q_4 置为 “1” (即 IC27 中的 D 触发器输出 $Q_4 \sim Q_2$ 为 “100” 状态)。在第三个主脉冲前沿时将 Q_3 置为 “1” (即 $Q_4 \sim Q_2$ 为 “110” 状态)。在第四个主脉冲前沿时将 Q_2 置为 “1” (即 $Q_4 \sim Q_2$ 为 “111” 状态), 在这个脉冲的后沿时将 D 触发器 IC31 置为 “1”, 打开右侧 IC26 与非门, 封锁左侧 IC26 与非门。在第五个主脉冲来后将 IC27 又清为零 (即: $Q_4 \sim Q_2$ 为 “000” 状态), 重复前面的动作, 下一个循环再度开始。

节拍脉冲译码逻辑布尔表达式为:

$$T_1 = Q_4 \cdot \overline{Q_3}$$

$$T_2 = Q_3 \cdot \overline{Q_2}$$

$$T_3 = Q_2$$

$$T_4 = \overline{Q_4}$$

这四个信号也连接到线路板上标有相应标志的紧锁插座上, 供实验时使用。此外, 整个工作过程的时序波形见图 1.9。

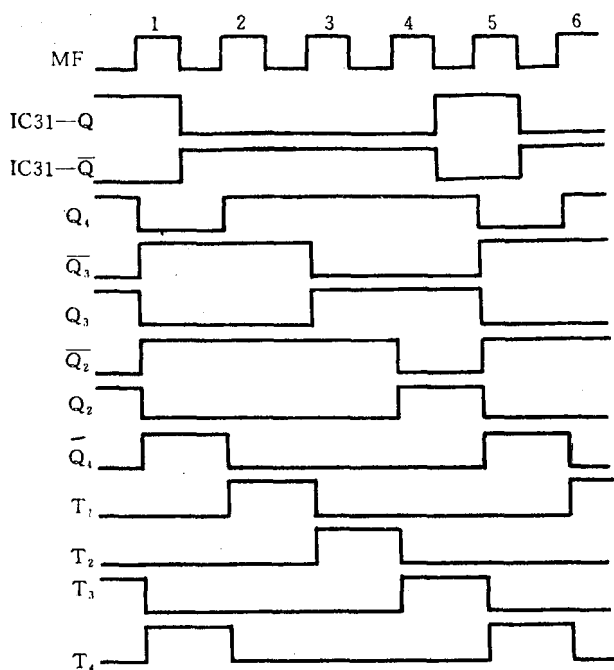


图 1.9 时序信号波形图

在微程序控制方式中，一条机器指令对应着由若干微指令组成的一个微程序，一条微指令是由在一个微周期内所需操作的若干微命令的集合，而微操作则是由微命令控制实现的最基本的操作。在本实验中一共有四条机器指令和两条存储器读/写指令，这六条机器指令又总共包含了 16 条微指令，而每一条微指令字长为 24 位。在本实验中采用水平型微指令，水平型微指令的一般格式如下：

控制字段	判别测试字段	下地址字段
------	--------	-------

在微程序控制器中，主要由控制存储器、微指令寄存器、地址转移逻辑构成。而微指令寄存器又由微命令寄存器和微地址寄存器两部分组成。

控制存储器用来存放全部的微程序，一般采用只读存储器 ROM。工作时，每读出一条微指令，就执行一条。读出一条和执行这一条的总时间称为一个微周期。在实验中利用 $T_1 \sim T_4$ 完成这个微周期。

微指令寄存器用以存放从控制存储器中读出的一条微指令，其中微命令寄存器存放一条微指令中的操作码字段和判别测试字段的信息。而微地址寄存器存放决定下一条微指令地址的信息。

地址转移逻辑根据判别测试字段的内容和执行部件的状态标志，去修改微地址寄存器的内容，自动完成微程序的条件转移。以上三部分电路见图 1.11。

(4) 脉冲延时电路

为了保证微程序存储器 2716 EPROM 读出数据时能可靠的送入微命令寄存器和微地址寄存器，将 T_1 信号通过脉冲延时电路延时约 50ns 形成 $\overline{CS_1}$ 信号，提供给 2716 作片选信号 $\overline{CS_1}$ ， $\overline{CS_1}$ 信号也连接在线路板上标有 $\overline{CS_1}$ 的紧锁插座上。脉冲延时电路见图 1.10。

此电路由与非门和 RC 积分电路构成，当 T_1 的方波信号来时，由于 RC 的作用，在中间 IC23 的输入端 3 处形成一个近似三角波信号，通过中间 IC23 的整形之后送到右侧 IC23 进行反相，就得到一个和 T_1 同相位但时间延迟了 50ns 左右的方波信号。延时时间公式： $T \approx 0.7RC$ 。

(5) 微程序控制部分

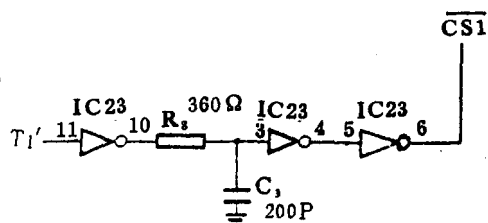


图 1.10 脉冲延时电路

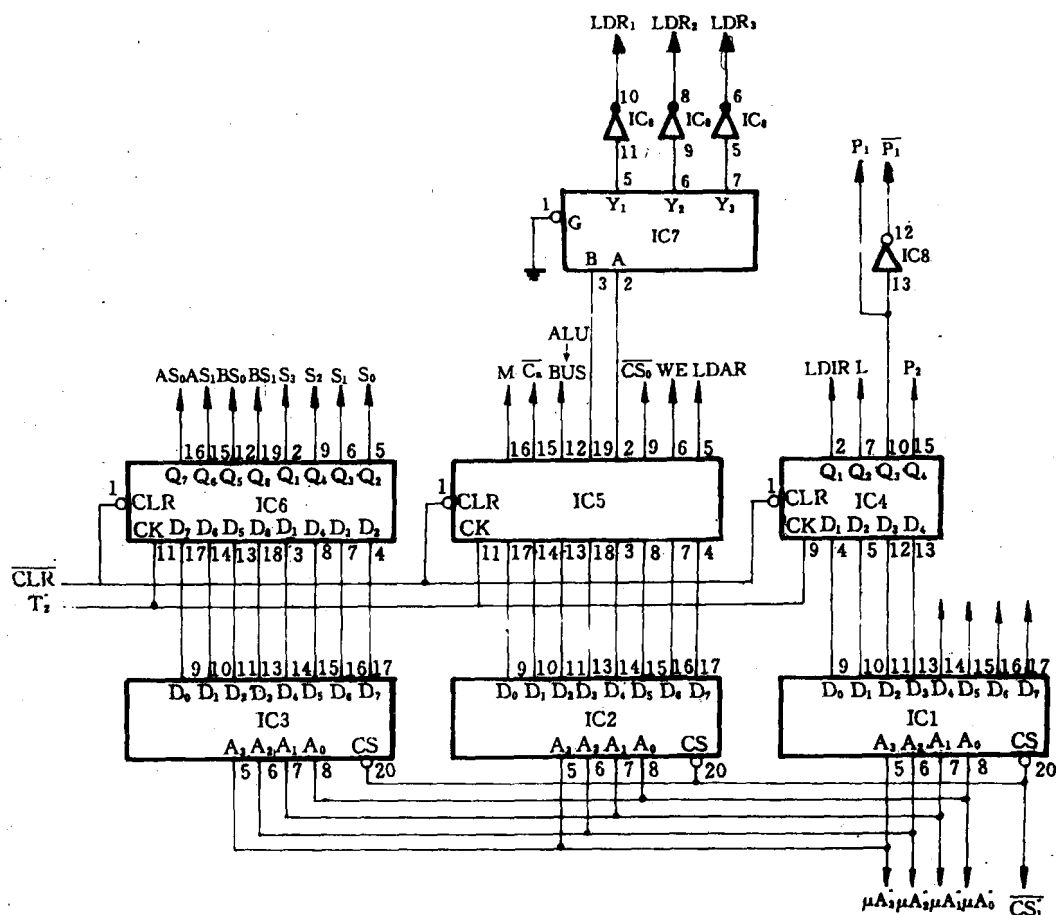


图 1.11 微程序控制

微程序控制部分电路中 IC1、IC2、IC3 采用 2716 EPROM 做控制存贮器。2716 是 $2K \times 8$ 位 EPROM，但因为微指令格式为 24 位，所以使用 3 片 2716，组成 $2K \times 24$ 位控制存贮器。2716 地址输入为 $A_{10} \sim A_0$ ($2^{11} = 2K$) 11 位，但实验中只用 16 条微指令，所以地址线只用 $A_3 \sim A_0$ ($2^4 = 16$) 4 位就满足寻址范围了。16 条微指令已事先存入控制存贮器中，当片选信号 $\overline{CS}_1$ 为低电平时，且地址 $\mu A_3 \sim \mu A_0$ 已准备好，就开始读出相应的微指令。

微指令寄存器采用了二片 8D 触发器和一片 4D 触发器，共 20 位寄存一条微指令的操作控制字段。当时序信号 T_1 从控制存贮器读出一条微指令后，在 T_2 就将该微指令的操作控制字段存入由 IC6、IC5、IC4 组成的指令寄存器中。从图 1.11 中可以看出，从 IC6 的 Q_7 端起往右，直到 IC4 的 Q_4 端，各位信号是按一条微指令的格式排列的。对微命令的编码采用了直接表示法与字段编码法相混合使用的方法，在微指令的第 12 位和第 13 位采用一个双二线-4 线译码器 (74LS139)，译出 LDR_1 、 LDR_2 、 LDR_3 三个信号，分别用于选择 R_1 、 R_2 、 R_3 寄存器。其余输出都是直接用于控制。此外，在该图上的所有信号，也已经与线路板上标有这些信号的紧锁插座相连，供实验时使用。

(6) 下一条微地址产生电路

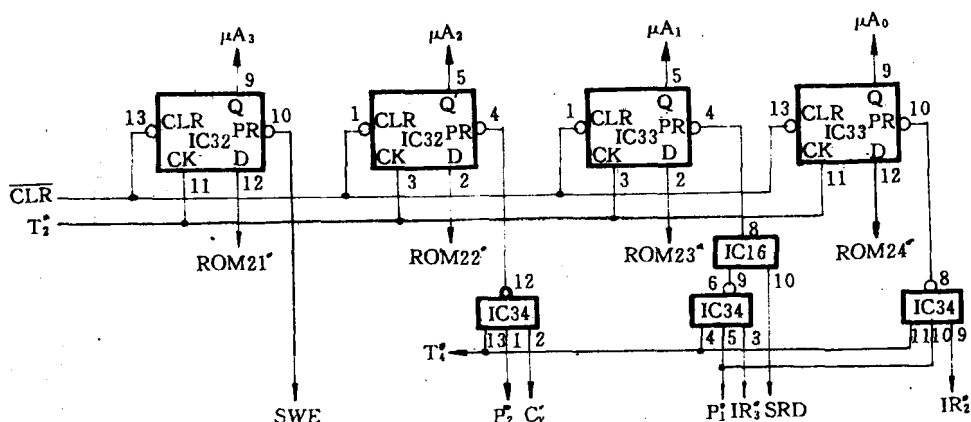


图 1.12 微地址信号产生电路

微地址信号产生电路由微地址寄存器和地址转移逻辑构成，见图 1.12。微指令格式中微地址为最后四位，即 $ROM_{21} \sim ROM_{24}$ 。微地址寄存器用 4 个 D 触发器寄存从控制存储器中，读出的一条微指令中后继地址 $ROM_{21} \sim ROM_{24}$ 的信息，在 T_2 时存入 D 触发器，从而形成下一条微指令的地址 $\mu A_3 \sim \mu A_0$ 。此外，地址转移逻辑输出连接在四个 D 触发器的 PR 端（置位端），其中 SWE 信号低电平时将 μA_3 置“1”，当其它信号 $\mu A_2 \sim \mu A_0$ 为“0”时（即 1000）强迫计算机处于写 RAM 的状态。平时应将 SWE 信号置成高电平。

μA_2 信号的转移逻辑式为 $\overline{P_2} \cdot \overline{C_V} \cdot T_1$ （低电平有效），即当微指令寄存器的 P_2 信号为“1”时，应判断微程序是否转移，如此时运算器的进位标志位 $C_V = 1$ ，则将 μA_2 置“1”。

μA_1 信号的转移逻辑式为 $\overline{P_1} \cdot \overline{IR_3} \cdot T_1 \cdot SRD$ ，即当 SRD 信号为高电平时，微指令寄存器的 P_1 信号为“1”，且指令寄存器的输出 IR_3 为“1”，则将 μA_1 置“1”。或者 SRD 信号单独为低电平，而其它信号 μA_3 、 μA_2 、 μA_0 为“0”时（即 0010），强迫机器处于读 RAM 的状态。平时应将 SRD 信号置为高电平。

μA_0 信号的转移逻辑式为 $\overline{P_1} \cdot \overline{IR_2} \cdot T_1$ ，即当 P_1 信号为“1”，且指令寄存器 IR 的输出 IR_2 为“1”，则将 μA_0 置“1”。

以上 $\mu A_2 \sim \mu A_0$ 的地址转移信号都要靠 T_1 时序脉冲才起作用，同样该电路的全部信号都已连接到相应的紧锁插座上，供实验时使用。

(7) 运算器部分

运算器是对数据进行算术或者逻辑运算的部件，是中央处理机（CPU）的重要组成部分。运算器一般是由算术逻辑运算单元（ALU）、数据寄存器、多路转换器和数据总线等构成。本实验箱的运算器电路见图 1.13。

该运算器由一块多功能算术/逻辑运算单元 74LS181，二个多路转换开关 74LS157，三个数据寄存器 R_1 、 R_2 、 R_3 ，一个进位标志寄存器 C_V ，以及数据输出缓冲控制器和四位数据总线 $BUS_3 \sim BUS_0$ 组成。

74LS181 是一块可以对二个 4 位数据进行多种算术或逻辑运算的部件，具体进行什么运算，由 7418 的功能控制条件 M' 、 $\overline{C_n}$ 、 S_3 、 S_2 、 S_1 、 S_0 决定。此外 74LS181 集成电路有正逻辑（有效高电平）和负逻辑（有效低电平）两种组件，本实验箱采用的是正逻辑组件。

74LS157 多路转换开关决定将哪些数据送入 74181 中参与运算。左边的 74LS157 控制开

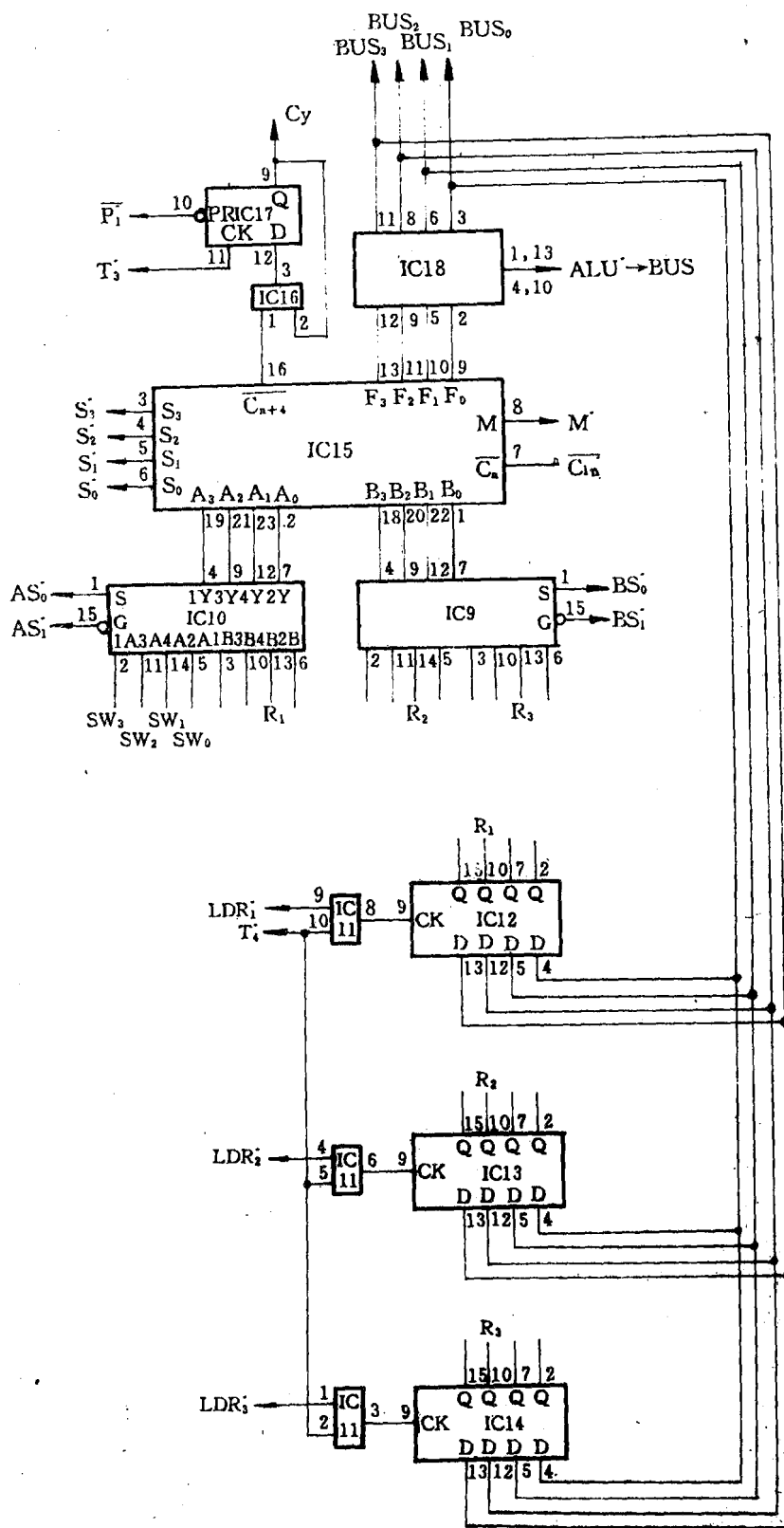


图 1.13 运算器电路