



高等院校电子信息与电气学科特色教材

# 数字电子技术基础习题与解答

伍时和 吴友宇 编

清华大学出版社



高等院校电子信息与电气学科特色教材

# 数字电子技术基础 习题与解答

清华大学出版社  
北京

## 内 容 简 介

本书是伍时和、吴友宇等编写的《数字电子技术基础》一书的配套教材,主要包含两部分内容。第一部分介绍《数字电子技术基础》各章的要点,对《数字电子技术基础》一书中的部分内容(如卡诺图化简逻辑函数等)做了进一步的分析和说明;对部分集成电路(包括常用组合逻辑器件和时序集成器件计数器、寄存器等)的功能和应用要点进行了总结。第二部分对《数字电子技术基础》各章的全部习题进行了详细解答。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

## 图书在版编目(CIP)数据

数字电子技术基础习题与解答/伍时和,吴友宇编. —北京:清华大学出版社,2010.6  
(高等院校电子信息与电气学科特色教材)

ISBN 978-7-302-21969-9

I. ①数… II. ①伍… ②吴… III. ①数字电路—电子技术—高等学校—解题  
IV. ①TN79-44

中国版本图书馆 CIP 数据核字(2010)第 018842 号

责任编辑:陈志辉 文 怡

责任校对:时翠兰

责任印制:杨 艳

出版发行:清华大学出版社

<http://www.tup.com.cn>

社 总 机:010-62770175

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质 量 反 馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

地 址:北京清华大学学研大厦 A 座

邮 编:100084

邮 购:010-62786544

印 装 者:北京市清华园胶印厂

经 销:全国新华书店

开 本:185×260 印 张:12.25 字 数:285 千字

版 次:2010 年 6 月第 1 版 印 次:2010 年 6 月第 1 次印刷

印 数:1~3000

定 价:19.00 元

---

产品编号:031343-01

# 出版说明

随着我国高等教育逐步实现大众化以及产业结构的进一步调整,社会对人才的需求出现了层次化和多样化的变化,这反映到高等学校的定位与教学要求中,必然带来教学内容的差异化和教学方式的多样性。而电子信息与电气学科作为当今发展最快的学科之一,突出办学特色,培养有竞争力、有适应性的人才是很多高等院校的迫切任务。高等教育如何不断适应现代电子信息与电气技术的发展,培养合格的电子信息与电气学科人才,已成为教育改革中的热点问题之一。

目前我国电类学科高等教育的教学中仍然存在很多问题,例如在课程设置和教学实践中,学科分立,缺乏和谐与连通;局部知识过深、过细、过难,缺乏整体性、前沿性和发展性;教学内容与学生的背景知识相比显得过于陈旧;教学与实践环节脱节,知识型教学多于研究型教学,所培养的电子信息与电气学科人才还不能很好地满足社会的需求等。为了适应 21 世纪人才培养的需要,很多高校在电子信息与电气学科专业建设和课程建设方面都做了大量工作,包括国家级、省级、校级精品课的建设等,充分体现了各个高校重点专业的特色,也同时体现了地域差异对人才培养所产生的影响,从而形成各校自身的特色。许多一线教师在多年教学与科研方面已经积累了大量的经验,将他们的成果转化为教材的形式,向全国其他院校推广,对于深化我国高等学校的教学改革是一件非常有意义的事。

为了配合全国高校培育有特色的精品课程和教材,清华大学出版社在大量调查研究的基础之上,在教育部相关教学指导委员会的指导下,决定规划、出版一套“高等院校电子信息与电气学科特色教材”,系列教材将涵盖通信工程、电子信息工程、电子科学与技术、自动化、电气工程、光电信息工程、微电子学、信息安全等电子信息与电气学科,包括基础课程、专业主干课程、专业课程、实验实践类课程等多个方面。本套教材注重立体化配套,除主教材之外,还将配套教师用 CAI 课件、习题及习题解答、实验指导等辅助教学资源。

由于各地区、各学校的办学特色、培养目标和教学要求均有不同,所以对特色教材的理解也不尽一致,我们恳切希望大家在使用本套教材的过程中,及时给我们提出批评和改进意见,以便我们做好教材的修订改版工作,使其日趋完善。相信经过大家的共同努力,这套教材一定能成

为特色鲜明、质量上乘的优秀教材,同时,我们也欢迎有丰富教学和创新实践经验的优秀教师能够加入到本丛书的编写工作中来!

清华大学出版社

高等院校电子信息与电气学科特色教材编委会

联系人: 陈志辉 [chenzhahui@tup.tsinghua.edu.cn](mailto:chenzhahui@tup.tsinghua.edu.cn)

# 前言

《数字电子技术基础习题与解答》是以伍时和、吴友宇等编写的《数字电子技术基础》一书中的习题为基础编写的。对《数字电子技术基础》一书中所有习题做了详细的解答,此外还总结了《数字电子技术基础》中各章的要点。本书可供使用《数字电子技术基础》一书的教师、工程技术人员、考研的读者参考使用。但愿本书的出版和使用,能够对所有以《数字电子技术基础》一书为教材的教师有所帮助,能够有利于他们的教学工作,有利于教学质量的提高。

对于书中的不足之处,敬请读者给予批评指正。

编者

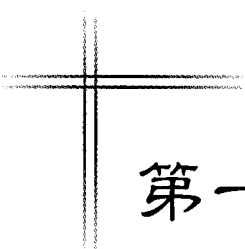
2009年12月于武汉

# 目 录

## 第一部分 《数字电子技术基础》各章要点

### 第二部分 习题与解答

习题 1 .....	13
习题 2 .....	19
习题 3 .....	45
习题 4 .....	59
习题 5 .....	67
习题 6 .....	90
习题 7 .....	102
习题 8 .....	117
习题 9 .....	135
习题 10 .....	146
习题 11 .....	170
习题 12 .....	174



# 第一部分

## 《数字电子技术基础》各章要点







由武汉理工大学伍时和、吴友宇等编写的《数字电子技术基础》各章要点如下。

## 第 1 章 数制和数码

本章要点包括数字信号的特点、逻辑电平的概念、二值数字逻辑与逻辑电平的关系,数制的概念、数制之间的转换、数码与二进制数的区别,各类二-十进制编码的形式。

## 第 2 章 逻辑函数及其化简

本章要点包括“与、或、非、与非、或非、同或、异或”等七种逻辑运算的基本规律、表示的逻辑符号;逻辑函数代数法化简的基本公式和方法;逻辑函数的最大项、最小项的表示方法;逻辑函数卡诺图表示以及使用卡诺图化简的基本步骤。

使用逻辑函数卡诺图化简变量个数多于五个(包括五变量)时,卡诺图相邻项的性质具有中心轴线对称的特点。所谓对称是指将多于五变量(包括五变量)的逻辑函数卡诺图上下左右每十六个方格分成一个区,五变量逻辑函数卡诺图可分成右半区和左半区两个区,六变量逻辑函数卡诺图可分成右半区和左半区,每个半区又分成上下两个区,一共分成四个区,(七变量分成八个区,八变量分成十六个区);这样划分之后,最右与最左区、最上与最下区、中间区之间对称位具有相邻项的特点,否则就不是相邻项。例如,五变量逻辑函数卡诺图中编号为 10、11、15、14 的四个方格所表示的最小项是相邻项,可以合并为一个乘积项,而编号为 10、14、15、13 的四个方格所表示的最小项则不是相邻项,不能合并为一个乘积项。

经过上述分区之后,每个小区仍然具有四变量逻辑函数卡诺图相邻的特点,即每个小区最上与最下、最左与最右之间相邻,四个顶角相邻。

利用逻辑函数卡诺图的相邻项性质,可以查找逻辑函数任意乘积项的最小项表示式,例如,四变量逻辑函数的乘积项为  $F(A, B, C, D) = AB + CD = \sum m(3, 7, 11, 12, 13, 14, 15)$ , 而  $F(A, B, C, D) = AB + \overline{CD} = \sum m(0, 1, 2, 4, 5, 6, 8, 9, 10, 12, 13, 14, 15)$ 。

## 第 3 章 逻辑门电路

本章要点包括二极管、晶体管(又称三极管)的开关特性,逻辑门电路的开关速度,TTL 和 MOS 两大类集成逻辑门电路器件的电路结构、逻辑功能和外部特性。外部特性包括输入特性和输出特性、TTL 门电路的输入外接电阻特性,门电路的输入噪声容限、扇出系数、平均传输延迟时间、功耗等。

为了正确使用集成逻辑门电路,清楚地了解门电路高、低电平输出、输入电流的大小是十分必要的。

## 第 4 章 组合逻辑电路

本章要点包括组合逻辑电路的分析方法、组合逻辑电路设计以及组合逻辑电路的竞争-冒险。

本章内容是第 5 章的基础,逻辑电路分析的重点在于分析的思维过程,而逻辑电路的功能不一定能与实际逻辑问题相吻合,这些特点在分析时要加以注意,以便开拓分析思路。

逻辑电路设计的重点在于针对具体的逻辑命题,在分清自变量(要设计逻辑电路的输入)与因变量(要设计逻辑电路的输出)的基础上,列出与逻辑命题相对应的因果关系的真值

表,如果能够真正掌握这些要点,逻辑命题的设计就很容易实现了。

## 第5章 中规模组合逻辑集成电路与应用

组合集成逻辑电路的要点包括编码器、译码器(数据分配器)、数据选择器、加法器以及数值比较器等逻辑器件的逻辑功能及其使用。

对于这些集成器件,应以器件所能实现的逻辑功能为主,重点了解器件应用和使用的方法,而对于器件的内部电路结构,应从器件所能实现的功能反向去分析,这样更加容易理解电路系统的概念,尤其逻辑功能与电路结构的组合关系。

常用集成逻辑器件的使用,提供以下内容以供参考。

**集成编码器** 74348(148),属于8线-3线编码器, $I_0 \sim I_7$ 为编码信号输入,低电平输入有效, $A_2$ 、 $A_1$ 、 $A_0$ 为编码数码(自然二进制码)输出(注: $A_2$ 为高位, $A_0$ 为低位)。 $E_i$ 为使能输入端,低电平输入有效。GS为标志位端,使能时, $I_0 \sim I_7$ 无输入时输出1, $I_0 \sim I_7$ 有输入时输出0。 $E_o$ 为输出使能端,使能时, $I_0 \sim I_7$ 无输入为0, $I_0 \sim I_7$ 有输入为1;其他GS、 $E_o$ 为1。

用两块74348可以构成16线-4线编码器,构图的方法是将使能输入信号从高位的 $E_i$ 端输入,用高位的 $E_o$ 输出作为低位的 $E_i$ 端输入信号,用高位的GS作为增加的编码数码输出端。类似地,可以用九块74348芯片构成64输入、6输出编码器,即64线-6线编码器。74148也有类似功能(无三态输出功能)。

其他编码器,74147为9线-4线8421编码器。输入 $I_1 \sim I_9$ 低电平输入有效,输出 $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 低电平输出有效(注: $A_3$ 为高位, $A_0$ 为低位),无使能输入端。这两类集成编码器为优先编码器。

**集成译码器** 74137为3线-8线译码器, $A_2$ 、 $A_1$ 、 $A_0$ 为数码(自然二进制码)输入(注: $A_2$ 为高位, $A_0$ 为低位,使能端 $E_{2A}=1$ 时,输入数码被锁存)。 $Y_7$ 、 $Y_6$ 、 $Y_5$ 、 $Y_4$ 、 $Y_3$ 、 $Y_2$ 、 $Y_1$ 、 $Y_0$ 为译码输出(低电平有效)。 $E_1$ (高电平输入有效)、 $E_{1A}$ 、 $E_{2A}$ 为使能输入端(低电平输入有效)。当作为函数生成器时, $A_2$ 、 $A_1$ 、 $A_0$ 作为变量输入端,函数包含的最小项序号所对应的Y端用与非门综合(高电平输出有效)。

当作为数据分配器时, $E_{1A}$ 为数据输入端( $E_{2A}$ 为输入地址锁存码控制端,不能用作数据输入端), $A_2$ 、 $A_1$ 、 $A_0$ 为数据分配地址输入端。

用两块74137可构成4线-16线译码器,构图的方法是将 $E_{1A}$ 作为增加的数据分配地址输入端。

用九块74137可构成6线-64线译码器,其中一块 $A_2$ 、 $A_1$ 、 $A_0$ 输入端作译码器地址高3位地址码输入,其他 $A_2$ 、 $A_1$ 、 $A_0$ 输入端作译码器地址低3位地址码输入,高3位地址码输入的74137模块其 $Y_0 \sim Y_7$ 输出端分别接到低3位地址码输入的74137模块的 $E_{1A}$ 即可( $E_{2A}$ 为输入地址锁存码控制端,一般不用做增加的译码地址输入端)。

类似地,可以构成有更多输入、输出端的译码器电路。如74138(不带地址锁存功能),4线-16线译码器74154、74159(OC门输出)等集成器件也有类似的功能。

专用数据分配器,74538为1分8的数据分配器。该芯片的 $OE_1$ 、 $OE_2$ 、POL三端为输出状态控制信号输入端,不能作为待分配数据的输入端使用, $E_1 \sim E_4$ 四个使能信号输入端可以作为待分配数据输入,也可以作为构成通道数更多的数据分配器增加的通道地址信号

输入使用,所以使用更为方便。

其他专用译码器,7442为4线-9线8421码译码器。7448为七段显示译码器,其LT(试灯)、RBI(灭零)、BI/RBO(灭灯)低电平输入有效。BI/RBO作为输出时,为灭零标志,RBI(灭零)时,BI/RBO为0,其他为1。利用BI/RBO、RBI这两端的逻辑功能,可进行高位0的灭零及小数点后低位0的灭零,构成位数更多的显示译码器时,要注意这些功能端的灵活使用。

**集成数据选择器** 74LS251为8选1数据选择器。 $A_2$ 、 $A_1$ 、 $A_0$ 作为数据选择地址输入端(自然二进制码, $A_2$ 为高位, $A_0$ 为低位), $D_7 \sim D_0$ 为被选择数据输入端。 $E$ 为使能输入端,低电平输入有效。 $Y$ (高电平输出有效)和 $W$ (低电平输出有效)为数据输出端(三态输出)。作为函数生成器时, $A_2$ 、 $A_1$ 、 $A_0$ 为变量输入端,函数包含的最小项序号所对应的 $D$ 端输入1(扩展为四变量时,输入1、原变量或反变量),其他为0,输出 $Y$ 用或门综合(高电平输出有效), $W$ 用与非门综合(高电平输出有效)。

若用两块74LS251及一个非门电路组合构成四变量(或五变量)函数生成器,此时 $A_2$ 、 $A_1$ 、 $A_0$ 仍作为变量输入端,第四个变量从其中一块的 $E$ 端输入再经非门接到另一块的 $E$ 端,函数包含的最小项序号所对应的 $D$ 端输入1(构成五变量函数生成器时,根据具体情况可以输入1、原变量或反变量),其他为0,输出 $Y$ 用或门综合(高电平输出有效)、 $W$ 用或非门综合(低电平输出有效)。该集成块可实现并行输入-串行输出的转换(与计数器配合使用)。

74151(无三态输出功能),16选1数据选择器74150(输出低电平有效)等也有类似的功能。

**集成数值比较器** 74LS85(CC4585、1485)可实现两个4位二进制数 $A_3A_2A_1A_0$ 、 $B_3B_2B_1B_0$ 的比较(注: $A_3$ 、 $B_3$ 为高位, $A_0$ 、 $B_0$ 为低位)。比较方法是从高位到低位逐位进行比较,若高位比较能得出结论则直接将结果输出 $P_{A>B}$ 或 $P_{A<B}$ ;若不能得出结论,即高位相等,则进行低位比较,由低位比较结果输入 $C_{A>B}$ 、 $C_{A<B}$ 、 $C_{A=B}$ (高电平输出有效),确定最终结果为 $P_{A>B}$ 、 $P_{A<B}$ 、 $P_{A=B}$ 并输出相应的结果(高电平输出有效)。

需要进行比较器位数的扩展时,可用串接方式或并接方式将多个比较器级联使用,以实现比较位数的增加。

**集成加法器** 74LS283可实现两个二进制数 $A_3A_2A_1A_0$ 、 $B_3B_2B_1B_0$ (自然二进制码)的相加(注: $A_3$ 、 $B_3$ 为高位, $A_0$ 、 $B_0$ 为低位)。 $C_{-1}$ 为低位进位输入(高电平输出有效), $S_3S_2S_1S_0$ 为和输出(自然二进制码), $C_0$ (高电平输出有效)为进位输出。

74182是提前进位产生器。其进位传送信号 $P_3 \sim P_0$ 和进位产生信号 $G_3 \sim G_0$ 均为低电平输出有效, $C_n$ 为提前进位输入(高电平输入有效), $C_{n+1}$ 、 $C_{n+2}$ 、 $C_{n+3}$ 为提前进位输出(高电平输出有效), $P_n$ 和 $G_n$ 分别为进位传输输出和进位产生输出(低电平输出有效)。与74LS381专用集成加法器配合使用,可实现提前进位多位数相加。用四块74LS381与一块74148可构成十六位加法器。此时最低四位的74LS381的 $P$ 、 $G$ 输出信号,输入到74182的 $P_0$ 、 $G_0$ 输入端,更高位74LS381的 $P$ 、 $G$ 输出端依次与74182的 $P_1$ 、 $G_1$ 、 $P_2$ 、 $G_2$ 、 $P_3$ 、 $G_3$ 端连接,74182的 $C_{n+1}$ 接到次低四位74LS381的 $C_i$ 端,而 $C_{n+2}$ 、 $C_{n+3}$ 端依次接到次高位和高位74LS381的 $C_i$ 输入端。若需要进一步扩展,可令 $C_{n+1} = \bar{P}_n \cdot C_n + \bar{G}_n$ ,便得到向高位74182提前进位产生器 $C_n$ 端的输入信号。依此类推,可构成更多位数的提前进位加法器。

## 第 6 章 触发器

本章从基本 RS 触发器入门,重点讲解触发器的时序逻辑功能,使学生在建立时序概念的基础上能够清楚地理解触发、现态、次态的时间概念。触发器的逻辑功能与触发状态是没有关系的,只与触发器的种类相关,所以不同类型的触发器之间可以互相转换。

按触发形式分类,触发器有基本 RS、同步、主从、前边沿、后边沿等类型。基本 RS 触发器是以 RS 端输入电平触发(约束条件:由与非门构成的为  $R+S=1$ ,由或非门构成的为  $RS=0$ ),无时序限制;同步、主从触发器是以 CP 脉冲信号电平触发;前边沿、后边沿触发器分别以时钟脉冲 CP 信号的上升沿、下降沿触发,这些触发器都具有时序限制,即现态、次态的时间概念。

按逻辑功能分类,触发器有 RS、JK、D、T、T' 等类型。RS(同步、主从)触发器属于基本类型,具有约束条件,由与非门构成的为  $RS=0$ ,由或非门构成的为  $R+S=1$ ;所以一般不把其他类型的触发器转换成 RS 触发器,在不能满足约束时,触发器的两个输出端状态相同,由与非门构成的同为 1,由或非门构成的同为 0。主从型 JK 触发器具有 JK 输入一次性有效的问题,即在有效触发时间内(包括上升沿和下降沿),现态  $Q=0$  时,  $J$  端第一次输入 1 有效,触发器的次态一定为  $Q=1$ ; 现态  $Q=1$  时,  $K$  端第一次输入 1 有效,触发器的次态一定为  $Q=0$ 。这些特性一定要清楚地理解。

触发器的逻辑功能描述方法,包括功能表、特性方程、状态转换图和波形图等形式,是时序电路分析和设计的基础。

## 第 7 章 时序电路分析和设计

本章讲述时序逻辑电路的分析、设计方法。

时序电路有同步、异步之分,同步时序电路,所有触发器使用同一个时钟信号,异步时序电路则采用不同的时钟信号。分析同步时序电路时,只要能够根据电路连接写出驱动方程,并根据触发器的特性方程,列出输出状态方程,就可以直接计算出现态与次态的转换关系(包括状态转换表、转换图),从而得出电路的逻辑功能;异步时序电路的分析,要注意触发器的时钟信号是不同的,所以触发时间不同这一特点,其他则与同步时序电路分析相同。电路实现的功能主要有计数、移位寄存、分频、序列脉冲产生等。

时序逻辑电路设计的难点首先是根据命题要求确定原始状态图、原始状态表,列原始状态图时,应以满足命题要求为主要出发点,不必刻意希望得到最少状态;其次是状态编码,在确定触发器种类后,编写输入和驱动信号真值表,驱动信号表应根据现态到次态转换要求,结合选用触发器的状态转换图进行编写。

对于异步时序电路的设计,关键是确定异步计数触发器的时钟信号,有以下原则可作为参考:(a)用  $N$  个触发器可以构成  $N$  位自然二进制的异步计数器。最低位触发器的时钟信号  $CP_0=CP$ ,而高位触发器的时钟信号,当采用加法计数时,前沿触发的  $CP_j=\overline{Q_{j-1}}$ ,后沿触发的  $CP_j=Q_{j-1}$ ,当采用减法计数时,前沿触发的  $CP_j=Q_{j-1}$ ,后沿触发的  $CP_j=\overline{Q_{j-1}}$ 。(b)构成异步计数器的每个触发器连接成处于二进制计数状态,即使用 JK 触发器构图时,令  $J=K=1$  或  $J_j=\overline{Q_j}$ ,  $K_j=\overline{J_j}$ ;使用 D 触发器构图时,  $D_j=\overline{Q_j}$ ;使用 RS 触发器构图时,  $S_j=\overline{Q_j}$ ,  $R_j=Q_j$ 。(c)用  $N$  个触发器构成  $N$  进制异步计数器时,  $CP_0=CP$ (计数时钟脉冲),

而高位触发器的时钟信号能否仍然采用(a)的原则确定,取决于第 $N$ 个CP时钟脉冲时 $Q_{j-1}$ 能否产生一个负跳变使 $Q_j$ 跳变为0态。否则, $CP_j = CP$ (计数时钟脉冲),并以同步法则设计第 $j$ 个触发器驱动端的输入驱动方程,这一原则也可以结合状态转换图或时序图确定。

## 第8章 常用时序集成器件

本章要点为集成计数器、寄存器(包括移位寄存器、锁存器)及其应用。

对于集成器件应以器件的外部逻辑功能为主,如计数器的计数过程、进位(借位)信号的产生条件,寄存器的数据寄存过程(移位寄存过程)等。内部电路结构可作一般的了解。

对于集成计数器的使用,提供以下内容作为参考。

**集成计数器** 可分为同步和异步两种。

同步计数器的典型器件有74161、74RC161、74HC161等4位二进制加法计数器; $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 为数码输入端(注: $D_3$ 为高位, $D_0$ 为低位,以下相同), $L_D$ 为预置数输入端。使能端EP、ET全为1时计数,有一个为0时保持,即计数器输出端状态 $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ (注: $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ 为数码输出端, $Q_3$ 为高位, $Q_0$ 为低位,以下相同)保持不变, $R_D$ 异步清零(低电平输入有效), $L_D$ 同步置数(低电平输入有效),计数至1111时,进位输出 $C_0=1$ 。

型号为74LS191的集成器件是单时钟可逆的,加法计数至1111时,进位输出 $C_0=1$ ,减法计数至0000时,借位输出 $B_0=1$ 。而型号为74LS193集成器件是双时钟可逆计数器,加法计数至1111时,进位输出 $C_0=0$ ,减法计数至0000时,借位输出 $B_0=0$ 。 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ 为预置二进制数输入端。没有使能端,计数器输出端状态 $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ , $R_D$ 异步清零(高电平输入有效,74LS191无清零端), $L_D$ 异步置数(低电平输入有效), $CP_U$ 为加法CP输入端, $CP_D$ 为减法CP输入端,CP的上升沿有效,不用CP输入端保持高电位。

同步十进制计数器74LS190, $L_D$ 异步置数(低电平输入有效),无清零端,为可逆计数器(即加法、减法计数,进位(借位)信号高电平有效)。

同步十进制计数器74160, $R_D$ 异步清零(低电平输入有效), $L_D$ 同步置数(高电平输入有效),为4位二-十进制计数器(进位信号高电平)。

异步计数器的代表器件有74LS290、74LS293、74LS293等型号,属于双时钟( $CP_A$ 、 $CP_B$ )4位二进制可逆计数器, $R_D$ 异步清零(高电平输入有效),无置数输入端、无进位输出信号。

型号74LS290集成器件是二-五-十进制加法计数器(无进位输出信号端),异步清零 $R_{0(1)}$ 和 $R_{0(2)}$ 端(同时输入高电平有效),异步置数输入 $R_{9(1)}$ 和 $R_{9(2)}$ 端(同时输入高电平有效),无置数输入端,固定置数输出1001( $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ )(注: $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ 为数码输出端, $Q_3$ 为高位, $Q_0$ 为低位,以下相同)。进行计数时,清零输入端至少有一端输入为低电平,置数输入端也至少有一端输入为低电平。CP输入从 $CP_A$ 输入端输入, $Q_A$ 输出为二进制;CP输入从 $CP_B$ 输入端输入, $Q_3$ 、 $Q_2$ 、 $Q_1$ 为五进制(001,010,011,100,000)输出端;CP输入从 $CP_A$ 输入端输入,输出 $Q_0$ 加到 $CP_B$ 输入端则为十进制计数,输出( $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ )按BCD 8421码顺序计数。

以上计数器构成任意进制计数器时,有反馈清零法和反馈置数法两种方法。

采用反馈清零法,清零信号从输出( $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ )端产生,加法计数( $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ )计

数至  $N$  时,异步清零信号由输出为 1 的  $Q$  端输出信号相与产生;减法计数全部输出端信号相与产生清零信号,但要注意计数至  $(1111-N)+1$  时,输出为 0 的端,用反变量表示,输出为 1 的端,用原变量表示。

采用反馈置数法的  $L_D$  信号取自计数器的进位  $C_0$  端(加法),或借位  $B_0$  端(减法)。预置数从  $D_3、D_2、D_1、D_0$  输入,同步预置数据为:  $(1111-N)+1$ (加法),或  $(N-1)$ (减法)。异步预置数据为:  $(1111-N)$ (加法),或  $N$ (减法)。进位或借位信号由  $C_0$  或  $B_0$  输出。

另一种反馈置数法采用反馈置零法,即置数输入数据全为零, $N$  进制计数时  $C_0$  或  $B_0$  输出不可能产生进位或借位信号, $L_D$  置数信号应取自于输出  $(Q_3、Q_2、Q_1、Q_0)$ ,同步  $L_D$  置数信号  $(Q_3、Q_2、Q_1、Q_0)$ ,计数至  $(N-1)$ (加法)、 $(1111-N)+10$ (减法)时产生,异步  $L_D$  置数信号  $(Q_3、Q_2、Q_1、Q_0)$ ,计数至  $N$ (加法)、 $(1111-N)+1$ (减法)时产生,要点与反馈清零相同。

寄存器的使用,主要利用其寄存的功能实现数据的暂存(锁存),而移位寄存器主要实现数据的并行传送到串行传送的互换以及产生序列数字信号。寄存器用作循环计数器时,关键是确定移位数据输入信号的逻辑函数式,方法是将移位计数过程中移位数据输入为 1 的前一个现态当成最小项,所有这些最小项的组合就是移位数据输入端的逻辑函数最小项表达式,具体可以参考习题 8.27 的解答。

## 第 9 章 555 定时器及多谐振荡器

本章的要点是 555 定时电路、多谐振荡器、单稳态触发器和施密特触发器。

熟悉 555 定时器的工作原理是本章的重点。由 555 定时器构成的单稳态触发器、多谐振荡器、施密特触发器的电路分析主要是电容充电、放电电路分析,因此必须充分利用一阶电路暂态分析的三要素法,这样可以方便地计算电路相关参数。

## 第 10 章 半导体存储器和可编程器件

本章的要点是介绍读/写存储器 RAM,只读存储器 ROM,可编程逻辑器件 PAL、GAL,复杂可编程逻辑器件 CPLD,现场可编程逻辑器件 FPLD。

半导体存储器是数字电子系统的组成器件,例如计算机中的内存,就是由 RAM 器件构成的。本章从 RAM 电路入手,了解静态和动态 RAM 的存储原理,熟悉 RAM 存储位单元、字单元、地址码、地址存储单元、存储器件的读出/写入等概念。RAM 具有易失性,若系统断电,存入数据会全部丢失。

只读 ROM,数据的读出与 RAM 完全相同,但数据存入的方法不同,存入的数据可以永久地保存。可编程 ROM 的与项是固定的(输入地址码构成),或项是可编程的(存入数据 1 表示逻辑函数包含的最小项),所以使用 ROM 实现逻辑函数时,逻辑表达式应为最小项表达式,注意这些要点,利用 ROM 实现逻辑函数就很容易了。

可编程逻辑器件 PAL、GAL 属于大规模集成电路,GAL 器件是在 PAL 器件的基础上发展起来的,同型号的器件具有相同的电路结构,只是 GAL 器件可以重复编程擦除多次,PAL 器件一般只能使用一次,原因是这类器件的编程阵列采用熔丝工艺生产。GAL 器件是与门阵列可编程、或门阵列固定的结构,所以使用 GAL 器件实现逻辑运算时,逻辑函数表达式应使用最简式。

复杂可编程逻辑器件 CPLD 是由 GAL 器件集合的更大规模集成器件,一片 CPLD 器

件在功能上可以相当于十几片 GAL 器件,此外设置有与计算机的通信接口,可以实现现场可编程的逻辑功能。

现场可编程门阵列 FPLD 器件,都设置有符合 JTAG 标准的与计算机通信接口,可以实现现场可编程的逻辑功能。与复杂可编程逻辑器件 CPLD 相比,最大的区别是生成函数的方式不同,CPLD 器件仍然与 GAL 器件相同,而 FPLD 器件则采用“查表法”产生逻辑函数;其次是 FPLD 器件具有可编程连接布线资源。FPLD 器件的函数产生电路具有 RAM 的特性,一般情况下必须配备 ROM 器件与之接口,以存储用户编写的程序。

从计算机中将编写好的程序下载到 GAL 器件上必须使用专用编程器,而 CPLD、FPLD 器件则可以通过通信接口输入。

## 第 11 章 复杂可编程逻辑器件设计

本章介绍 Quartus II 软件及其应用。

Quartus II 软件支持电路图输入方式、VHDL、HDL 等硬件描述语言输入方式,并可以实现设计功能仿真,是 EDA 电子电路设计实用工具。对于书中列举的实例,在使用多媒体教学的条件下,最好的讲解方式是在 Quartus II 软件相关界面进行讲解。

## 第 12 章 数模和模数转换

本章介绍 D/A、A/D 转换器。

D/A 转换器主要介绍权电阻、倒 T 型电阻网络、开关树型、双极性等形式转换电路的转换原理。可以在讲解其中一种电路形式,如倒 T 型电阻网络 D/A 转换器的基础上,进一步了解其他形式的 D/A 转换电路,并理解 D/A 转换器集成芯片的应用。集成 D/A 转换器的种类较多,以 DAC0832 为例,了解集成 D/A 转换器的使用以及 D/A 转换器的主要技术指标和实际意义。

理解 A/D 转换器的功能可以从取样保持、量化和量化编码等概念入手,进一步了解并联比较型、逐次逼近型、双积分型等形式的转换电路的转换原理。在讲解其中一种电路形式,如逐次逼近型 A/D 转换器的基础上,进一步了解其他电路形式的转换原理。集成 A/D 转换器的种类较多,以 ADC0809 为例,了解集成 A/D 转换器的使用以及 A/D 转换器的主要技术指标和实际意义。



