

Broadview®
www.broadview.com.cn

高速电路设计 与仿真分析： Cadence 实例设计详解

邵鹏 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

高速电路设计 与仿真分析： Cadence实例设计详解

邵鹏 编著

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

电路设计，尤其是现代高速电路系统的设计，是一个随着电子技术的发展而日新月异的工作，具有很强的趣味性，也具有相当的挑战性。本书的目的是要使电子系统设计工程师们能够更好地掌握高速电路系统设计的方法和技巧，跟上行业发展要求。因此，本书由简到难、由理论到实践讲述了如何使用 Cadence 工具进行高速电路系统设计，以及利用仿真分析对设计进行指导和验证。

本书定位于那些希望挑战高速电路系统设计的工程师，他们应该已经具备了相应的电子系统设计的基本知识和技能。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目 (CIP) 数据

高速电路设计与仿真分析 : Cadence 实例设计详解 / 邵鹏编著. —北京 : 电子工业出版社, 2010.7
ISBN 978-7-121-11129-7

I. ①高… II. ①邵… III. ①电路设计—计算机仿真 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2010) 第 113770 号

责任编辑：付 睿

印 刷：北京智力达印刷有限公司

装 订：北京中新伟业印刷有限公司

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：787×1092 1/16 印张：18.75 字数：480 千字

印 次：2010 年 7 月第 1 次印刷

印 数：4000 册 定价：49.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：(010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：(010) 88258888。

推荐序

高速电路设计与信号完整性仿真作为一门新兴学科，越来越受到系统设计公司的重视。记得 2000 年，我刚刚加入 Cadence 的时候，国内知名系统设计企业只有华为、中兴有专门的 SI 部门从事相关的工作，而到 2010 年的今天，信号完整性、电磁兼容性问题日益成为每位电子设计工程师所必须面对的挑战。如何着手学习高速电路设计和仿真成为众多工程师面临的共同问题。

一名合格的信号完整性工程师，首先要了解系统架构，了解各种信号体制和设计规范，以及生产工艺，并且能够综合应用诸如信号与系统、微波电路等多学科的相关理论，将其与设计实践有机地结合起来，还要能够灵活驾驭各种 EDA 等辅助设计工具，完成系统设计。因此对于广大 SI 工程师及想要了解和从事 SI 工作的 PCB 工程师来说，《高速电路设计与仿真分析：Cadence 实例设计详解》一书正是这样的一本从理论到实践不可多得的教材和设计指导。

长久以来，以高速电路设计与仿真分析为题的文章书籍不少，但大多停留在某种 EDA 软件的应用说明阶段，甚至是对 EDA 软件帮助文档的直接翻译，与实际应用的结合犹如隔靴搔痒，读者难解其中真味，更谈不上作者对实际问题的解决方案和心得体会。

而《高速电路设计与仿真分析：Cadence 实例设计详解》一书的作者可以说和我是多年的朋友。从最初作为我的客户，开始接触 Cadence 设计工具，到今天这本书的问世，其间我们一起探讨和解决过各种实际问题。这本书可以说是作者多年来工作经验的总结。

作者多年来一直从事系统设计和高速电路设计与仿真工作，在这一领域拥有丰富的的一线实践经验。尤其近两年来，作者就职于 IBM 中国集成电路设计中心，负责芯片级的封装和 Noise 分析，因此作者有着从芯片到板级 SI 和 PI 的设计分析，也就是 Die-Package-Board-System 整体的设计理念和实践经验。这也正是本书有别于其他同类书籍的地方。

在本书中，作者根据自己多年来从事高速电路设计与仿真工作的经验，从信号完整性基本理论入手，结合当今方兴未艾的 DDRx 和高速 Serdes 系统设计实例，如庖丁解牛般地为读者剖析了高速电路设计与仿真的设计方法和手段。然而，作

者并没有将这些内容进行简单枯燥的罗列，而是穿插在实例设计和软件的使用过程中。本书的编排逻辑清晰、结构紧凑，在展示设计实例的过程中，穿插了作者的实践经验总结和心得体会。因此读者在阅读此书时，应按照书中所编排的顺序，循序渐进地学习。在操作软件学习设计实例的过程中，应特别注意体会作者的使用经验和体会。如果读者能够领会这些经验和体会，并结合自己的设计工作，总结出适合自己的设计方法和心得，那么也就达到了作者写这本书的目的。

作为出版物，由于篇幅和时间的限制，同时，也由于电子技术的快速发展，新的工业规范和信号体制层出不穷，甚至同一个信号体制本身也在不断地更新换代，比如 DDRx 技术，因此作者不可能将所有 SI 问题和实际工作中的实例都一一介绍。因此，经过仔细的考量，选择在实际工作中比较有代表性的 DDRx 分析设计技术和大家比较关注的高速 Serdes 应用作为两个典范加以讲解和设计经验分享，希望读者通过对此书的阅读，通过对这两个典型技术的理解和掌握，扩展到其他的设计应用中。具有举一反三的能力，是电子工程师紧跟技术发展的不变法宝。

常言道，工欲善其事，必先利其器，信号完整性仿真工作也是同样的道理。作者将 Cadence PCB SI 软件应用介绍与具体设计实例有机地结合在一起，使本书脱离了枯燥的操作界面介绍。读者可以通过随书附送的设计实例数据，对信号完整性仿真及 Cadence PCB SI 软件应用有更全面的了解。希望读者通过对本书的阅读，结合实际操作设计实例，对 SI 的设计理念和设计能力有个全新的认识和提高。也期待作者在本书的基础上能够更深入剖析高速信号理论并结合更多的实例，写出更多更好的书展现给读者。

祝所有从事高速电路设计和 SI 的工程师，能够从看似“枯燥乏味”的 PCB 连线、信号波形中找到工作的乐趣！

胡建伟

2010 年 3 月 15 日

2002—2008 年	Cadence 中国分公司北京办事处	资深应用工程师
2009 年至今	Mentor Graphics 亚太区	PCB 产品技术顾问

前 言

顾名思义，本书讲述如何使用 Cadence 工具进行高速电路系统设计，以及利用仿真分析对设计进行指导和验证。面对电子、信息技术的飞速发展和层出不穷的市场需求，必须由硬件工程师利用最新的工具，使用前沿的科技产品，把这些奇妙的想法付诸实践，把一个概念或者设想以可以看见、可以触摸的物质形式展现给社会，来影响人们的生活。也正是从这个意义上讲，使得这么多年来，我一直以平淡和愉快的心情从事着硬件设计工作。

直到今天，在积攒了足够的经验和冲动后，促使我来完成这本书的写作。电路设计，尤其是现代高速电路系统的设计，是一个随着电子技术而日新月异的工作，具有很强的趣味性，也具有相当的挑战性。而目前，市场上还没有一个从实践出发、结合高速电路设计理论的设计指导书，所以我希望借助本书使得现在的硬件工程师更好地掌握这项技术，也希望通过我自己的经验分享，使得高速电路系统设计看起来没有那么神秘，从而吸引更多的电子技术人员加入到这个行业，通过我们的双手让这个世界变得更加美好。

写作目的和读者对象

首先需要指出的是，本书是高速电路系统设计和仿真技术的实践总结和设计指导，而不是一本高速电路理论研究书籍。因此，也就决定了本书中所提到高速信号理论是前人研究成果的总结和借用。本书并不对这些理论进行推导和研究，如果读者对这些高速信号理论感兴趣，请参阅与此相关的专业理论书籍。之所以要在本书中提及这些高速信号理论，是因为从全书结构上考虑，使读者在阅读本书的过程中，能够由浅入深、由理论指导到实践应用地进行循序渐进的学习，并对高速电路系统设计的一些技巧和方法有比较深刻的理解和掌握。

本书的目的是要使得电子系统设计工程师们能够更好地掌握高速电路系统设计的方法和技巧，跟上行业发展要求。因此，本书针对的对象是那些希望挑战高速电路系统设计的工程师，已经具备电子系统设计的基本知识和技能，而不是刚

刚从事这个行业的技术人员。因为本书也不会从原理图符号的制作、PCB 板元件的封装设计、板框设定、元件的布局和 PCB 板的布线等开始讲起，这些是被默认为阅读此书之前应该掌握的基本内容。

有必要多提一点的是，尽管我们能够在市面上，或者网上找到例如“……高速电路设计指南……”、“……高速 PCB 设计与仿真……”等类似或相近题目的书籍，然而浏览其目录内容便可知，虽题目相近，但内容相去甚远，有些只是对 Cadence 软件的操作和帮助文件进行了翻译，有些虽然提及了高速电路设计所需的工具和流程，但也仅限于软件的使用介绍，缺乏设计实例的设计分析过程和实践经验的指导。请读者自行甄别此类书籍与本书的差别。

最后，本书虽然冠名为《高速电路系统设计与仿真分析：Cadence 实例设计详解》，但它决不是对 Cadence 软件工具的帮助用户手册的简单翻译。尽管在本书写作过程中，不可避免地通过 Cadence 工具环境和 Cadence 仿真分析工具的使用来介绍设计实例，但本书更注重地是如何让读者通过使用工具，自己动手，重复这个设计分析过程来掌握这些设计技术。

另外，本书虽然以 Cadence 工具环境为依托来介绍高速电路系统的设计思想和方法，但这些思想和方法并不仅限于 Cadence 工具环境，经过适当的修改和重新配置，读者可以在其他工具中实现同样的设计，只是基于作者多年在 Cadence 工具环境下的经验，能够更加清晰流畅地阐述本书内容。

内容组织

本书内容由简到难，由理论到实践，被划分为四大部分。

第一部分（第 1 章到第 3 章）首先回顾了电子系统的设计发展过程，介绍了高速电路系统设计所面临的问题和挑战，然后阐述了高速信号的基本理论知识。此部分内容意在提醒读者在高速电路系统中遇到的新问题，以及解决这些问题所需的理论基础。在这部分的内容中，加入了作者对于高速信号的理解和经验的总结，使得读者能够在较短的时间内，掌握高速电路设计的精髓。

第二部分（第 4 章、第 5 章）介绍 Cadence 高速电路设计的工具和流程，也就是在 Cadence 工具环境中设计高速电路系统，应该遵循怎样的工作流程，选择哪些工具来完成各个阶段的设计任务，从而实现高速电路设计。

第三部分（第 6 章、第 7 章）此部分是本书的重点。第 6 章通过对一个 DDR

存储模块的设计分析，结合第二部分介绍的软件流程和使用，一步一步带领读者完成整个设计，使读者能够在实际的操作过程中掌握软件的使用方法，建立高速电路设计的概念和工作方法，让高速电路设计变得轻松。在第 7 章中，对正在快速发展并得到广泛应用的高速串行差分信号的分析与设计技术进行了讲解。

对于低于 5Gbps 的高速差分信号，作者介绍了 Cadence 的解决方案和一个设计实例，而对于高于 5Gbps 的高速差分信号的设计，由于受到各种技术和非技术原因的限制，不能以实例来展示 5Gbps 以上的设计方法和技术，但是基于对高速信号完整性的理解，作者给出了具体应对高于 5Gbps 的高速差分信号的实践技巧，作为读者在实际工作中的指导原则。

第四部分（第 8 章）结束部分，内容是作者关于从事高速电路设计的心得和对技术发展的展望。

实例下载及阅读支持

本书为了能够从实用的角度阐述 Cadence 的高速电路设计技术，提供了一个设计实例供读者在阅读本书过程中进行同步参考。该实例以网络下载的方式提供给读者，读者购买此书之后，可以登录**合作网站 <http://www.pcbbs.com/index.asp>**，**中国 PCB 技术论坛**，通过首页寻找本书专属讨论区，并找到相应的链接，下载此书所使用的设计实例。

读者在安装了 Cadence SPB16.0 以上版本的软件后，可以按照书中所讲的步骤，同步完成设计，从而在实际操作中解决问题，完成并掌握高速电路设计方法。

另外，本书在写作和推广的过程中，得到了中国 PCB 技术网 www.pcbtech.com 和中国 PCB 论坛网 www.pcbbs.com 的大力支持。为方便读者的阅读、读者答疑和信息反馈，中国 PCB 技术网和中国 PCB 论坛网为本书提供了两个二级域名 **shaopeng.pcbtech.com** 和 **shaopeng.pcbbs.com**，分别作为图书推广宣传活动和读者技术交流的空间。

读者可以通过免费注册的方式，成为中国 PCB 技术网和中国 PCB 论坛网的用户。高速电路系统设计的工程师和研究者，应该不断地跟踪业界最新技术发展，进行广泛的交流和学习。如今，网络已经成为信息获取和交流的重要手段，作为电子技术工程师，必须能够利用网络及时跟踪先进技术的发展动态，并在网络环境中和来自不同领域的工程师进行积极的技术交流，这样才能使自己始终处于技

术发展的前沿。

在阅读本书的过程中,如果读者遇到任何问题,或者对本书内容有任何建议和意见,都可以通过这个讨论区和作者直接进行交流。希望读者在阅读本书之后,能够登录合作网站,以获得最新的技术发展信息。

除了上述合作网站之外,在网上还有大量的相关技术信息及不同专业工程师交流的技术论坛,非常有利于大家相互学习和促进技术发展。下面将列出部分相关网络站点供读者参考。另外,在本书的参考文献中,列举了一些业界非常流行的参考书籍,这些书籍包含了信号完整性设计更深的理论内容和更广泛的知识,作为每个高速电路系统设计工程师,都应该仔细阅读体会这些作者的研究成果和经验总结。下面列出部分站点供读者参考。

<http://www.ed-china.com/>

《电子系统设计》网站

<http://www.pcbres.com/>

PCB 资源网

<http://www.parkelectro.com/index.htm>

射频和微波技术

目 录

第 1 章 高速系统设计简介	1
1.1 PCB 设计技术回顾	1
1.2 什么是“高速”系统设计	2
1.3 如何应对高速系统设计	6
1.3.1 理论作为指导和基准	6
1.3.2 实践经验积累	7
1.3.3 时间效率平衡	7
1.4 小结	8
第 2 章 高速系统设计理论基础	9
2.1 微波电磁波简介	9
2.2 微波传输线	10
2.2.1 微波等效电路物理量	12
2.2.2 微波传输线等效电路	12
2.3 电磁波反射	15
2.4 微波传输介质	17
2.4.1 微带线 Microstrip Line	18
2.4.2 微带线的损耗	19
2.4.3 带状线 Strip Line	20
2.4.4 同轴线 Coaxial Line	21
2.4.5 双绞线 Twist Line	22
2.4.6 差分传输线	23
2.4.7 差分阻抗	25
2.5 “阻抗”的困惑	26
2.5.1 阻抗的定义	26
2.5.2 为什么要考虑阻抗	27
2.5.3 传输线结构和传输线阻抗	28
2.5.4 瞬时阻抗和特征阻抗	29
2.5.5 特征阻抗和信号完整性	29

2.5.6 为什么是 50Ω	29
2.6 阻抗的测量	30
2.7 “阻抗”的困惑之答案	32
2.8 小结	33
第 3 章 信号完整性简介	34
3.1 什么是信号完整性	34
3.2 信号完整性问题分类	35
3.3 反射的产生和预防	37
3.3.1 反射的产生	38
3.3.2 反射的消除和预防	42
3.3.2.1 匹配	44
3.3.2.2 拓扑结构设计	49
3.4 串扰的产生和预防	54
3.4.1 串扰的产生	54
3.4.2 串扰的预防与消除	57
3.5 电源完整性分析	59
3.5.1 电源系统设计目标	60
3.5.2 电源系统设计方法	62
3.5.3 电容的理解	64
3.5.4 SSN 分析和应用	67
3.6 电磁兼容性 EMC 和电磁干扰 EMI	70
3.7 影响信号完整性的其他因素	71
3.8 小结	72
第 4 章 Cadence 高速系统设计工具	73
4.1 Cadence 高速系统设计流程	74
4.2 约束管理器 Constrain Manager	78
4.3 SigXplorer 信号完整性分析工具	82
4.3.1 S 参数 (Scattering parameters)	84
4.3.2 过孔模型生成 (Via Modeling)	86
4.3.3 通道分析 CA (Channel Analysis)	89
4.4 前仿和后仿	90
第 5 章 Cadence 高速系统设计流程及工具使用	92
5.1 高速电路设计流程的实施条件分析	92

5.2	IBIS 模型和 DML 模型	94
5.2.1	IBIS 模型介绍	94
5.2.2	IBIS 文件介绍	96
5.2.3	DML 模型	99
5.2.4	如何获得 IBIS 模型	102
5.2.5	在 Cadence 中使用 IBIS 模型	103
5.2.6	IBIS2 SigNoise 的警告和错误参考	105
5.3	仿真库的建立和设置	110
5.4	仿真分析条件设置	111
5.4.1	Cross-section——PCB 叠层设置	112
5.4.2	DC Nets——直流电压设置	113
5.4.3	Devices——器件类型和管脚属性设置	114
5.4.4	SI Models——为器件指定模型	116
5.4.5	SI Audit——仿真条件的检查	117
5.5	系统设计和（预）布局	118
5.6	使用 SigXP 进行仿真分析	121
5.6.1	拓扑结构抽取	121
5.6.2	在 SigXP 中进行仿真	123
5.6.2.1	设置激励和仿真类型	124
5.6.2.2	设置仿真参数	125
5.6.2.3	查看仿真结果	127
5.6.2.4	为什么要进行参数扫描仿真	128
5.7	约束规则生成	130
5.7.1	简单约束设计——Prop Delay	130
5.7.2	拓扑约束设计——Wiring	131
5.7.3	时序相关约束设计——Switch-Settle Delay	134
5.8	约束规则的应用	136
5.8.1	层次化约束关系	136
5.8.2	约束规则的映射	138
5.8.3	Constrain Mananer 的使用	139
5.9	布线后的仿真分析和验证	140
5.9.1	布线后仿真的必要性	140
5.9.2	布线后仿真流程	141
5.10	电源完整性设计	144
5.10.1	电源完整性设计方法	145
5.10.2	电源完整性设计分析步骤	148

5.10.3	多节点仿真分析.....	151
5.10.4	电容的布局 and 布线.....	155
5.10.5	合理认识电容的有效去耦半径.....	156
5.11	SSN 的设计分析.....	159
5.12	小结.....	160
第 6 章	高速系统设计实例设计分析.....	161
6.1	设计实例介绍.....	162
6.2	DDR 设计分析.....	163
6.2.1	DDR 规范的 DC 和 AC 特性.....	165
6.2.2	DDR 规范的时序要求.....	166
6.2.3	DDR 芯片的电气特性和时序要求.....	167
6.2.4	DDR 控制器的电气特性和时序要求.....	169
6.3	仿真库的建立.....	171
6.3.1	DDR 芯片的 IBIS 文件处理.....	171
6.3.2	FPGA 的 IBIS 模型文件处理.....	175
6.3.3	仿真库的建立.....	177
6.4	仿真条件设置——Setup Advisor.....	178
6.4.1	设置叠层和阻抗特性.....	178
6.4.2	设置电压.....	179
6.4.3	器件类型和模型设置.....	180
6.5	(预)布局.....	184
6.6	仿真约束的生成和实施.....	185
6.6.1	网络整理和仿真对象规划.....	186
6.6.2	结构抽取与仿真分析.....	189
6.6.3	DDR 地址总线约束定义.....	193
6.6.4	DDR 数据总线仿真分析和约束.....	196
6.6.4.1	DDR 数据总线仿真分析.....	196
6.6.4.2	DDR 数据总线时序仿真分析.....	198
6.6.5	DDR 数据总线约束定义.....	206
6.6.6	约束的时序验证.....	206
6.7	约束实施和布线.....	207
6.8	布线后的仿真验证.....	210
6.9	DDR 总线的其他分析技术.....	214
6.9.1	DDR2 和 DDR3 介绍.....	214
6.9.2	DDR2 仿真分析设计方法.....	216

6.9.3 DIMM 系统设计分析方法	218
6.10 电源完整性——多节点仿真分析	219
6.11 灵活使用 Cadence 高速设计流程	221
第 7 章 高速串行差分信号仿真分析及技术发展挑战	225
7.1 高速串行信号介绍	225
7.2 Cadence 中高速串行信号仿真分析流程和方法	227
7.2.1 系统级设计	228
7.2.2 互连设计和 S 参数	229
7.2.3 通道分析和预加重设计	236
7.2.4 时域分析和验证	239
7.3 3.125Gbps 差分串行信号设计实例仿真分析	240
7.3.1 设计用例说明	240
7.3.2 设计用例解析	241
7.3.3 设计用例的使用	243
7.4 高速串行信号设计挑战	246
7.4.1 有损传输线和 PCB 材料的选择	247
7.4.2 高频差分信号的布线和匹配设计	248
7.4.3 过孔的 Stub 效应	249
7.4.4 连接器信号分布	250
7.4.5 预加重和均衡	251
7.4.6 阻抗，还是阻抗	253
7.4.7 6 Gbps, 12 Gbps! 然后	255
7.5 5Gbps 以上的高速差分串行信号仿真和 IBIS-AMI 模型	256
7.5.1 5 Gbps 以上的高速差分串行信号仿真	256
7.5.2 IBIS-AMI 模型	257
7.6 抖动 (Jitter)	259
7.6.1 认识抖动 (Jitter)	260
7.6.2 实时抖动分析	261
7.6.3 抖动各分量的典型特征	263
第 8 章 实战后的思考	267
参考书目	271
术语和缩略词	274

插图目录

图 1-1	33MHz PCI 信号反射传输机制	3
图 1-2	系统总线的发展过程和趋势	3
图 1-3	周期信号及其频谱分布	5
图 2-1	理想周期方波信号及其频谱分布	10
图 2-2	微波传输线等效电路	13
图 2-3	TEM 电磁波传输示意图	15
图 2-4	传输线反射电路	16
图 2-5	微带线的电路结构	18
图 2-6	微带线的几何结构	18
图 2-7	带状线的几何结构	20
图 2-8	同轴线的几何结构	21
图 2-9	同轴传输线等效电路	21
图 2-10	双绞线的几何结构	22
图 2-11	差分传输线的几何结构	23
图 2-12	差分传输线差模信号方式	24
图 2-13	差分传输线共模信号方式	25
图 2-14	传输线阻抗示意图	26
图 2-15	阻抗公式	26
图 2-16	传输线和传输阻抗	28
图 2-17	电路板特征阻抗曲线	30
图 2-18	长距离同轴电缆阻抗测量	31
图 3-1	信号完整性相关问题	36
图 3-2	电气网络组成要素	37
图 3-3	$t=0$ 时刻, 传输线上各点状态	38
图 3-4	$t=TD$ 时刻, 传输线上各点状态	39
图 3-5	$t=2TD$ 时刻, 传输线上各点的状态	39
图 3-6	多次反射叠加的梯形图	40
图 3-7	反射仿真实例 1——电路结构	41
图 3-8	反射仿真实例 1——仿真结果	41
图 3-9	终端匹配的三种特殊情况	42
图 3-10	高速信号的参考平面	44
图 3-11	终端匹配方案	45
图 3-12	终端交流匹配方案	45
图 3-13	终端二极管匹配方案	46
图 3-14	差分终端匹配方案	47
图 3-15	微波源隔离器	47

图 3-16	源端串行匹配方案	48
图 3-17	混合匹配方案	49
图 3-18	串行拓扑结构	49
图 3-19	串行拓扑结构仿真波形	50
图 3-20	并行拓扑结构	50
图 3-21	并行拓扑结构仿真波形	51
图 3-22	并行拓扑结构仿真波形——细节放大	51
图 3-23	对称分支结构阻抗示意图	52
图 3-24	常用网络拓扑结构	53
图 3-25	DDR 存储系统拓扑结构实例	54
图 3-26	感性串扰和容性串扰耦合模型	55
图 3-27	串扰耦合模型	56
图 3-28	串扰类型和影响	57
图 3-29	2D 电源网络等效模型	60
图 3-30	电子系统中的理想电源结构	60
图 3-31	理想信号和电源	61
图 3-32	实际信号和电源	61
图 3-33	电源阻抗变化趋势	62
图 3-34	实际电源系统结构	63
图 3-35	实际电容模型	65
图 3-36	电容阻抗随频率变化曲线	66
图 3-37	不同类型电容的并联阻抗曲线	67
图 3-38	SSN 分析示意图	68
图 4-1	传统 PCB 设计流程	75
图 4-2	Cadence 高速设计流程	76
图 4-3	Cadence 高速设计流程工具链	79
图 4-4	CM 约束管理器的数据表格外观	81
图 4-5	从 CM 中直接调用 SigXplorer	82
图 4-6	SigXP 的图形操作界面	83
图 4-7	在 SigXP 中定义约束	84
图 4-8	两端口器件 S 参数—— S_{21} , S_{11}	85
图 4-9	两端口器件 S 参数—— S_{12} , S_{22}	85
图 4-10	多端口器件 S 参数定义	86
图 4-11	过孔模型提取	87
图 4-12	Closed-Form 过孔模型	88
图 4-13	通道分析	89
图 5-1	IBIS 模型电路结构	95
图 5-2	IBIS 文件结构	104
图 5-3	仿真库的设置和管理	111
图 5-4	仿真分析条件设置——Database Setup Advisor	112
图 5-5	PCB 叠层参数设置界面	113
图 5-6	DC Nets——直流电源设置	113
图 5-7	Devices——器件类型设置	115
图 5-8	Devices——器件类型设置	115
图 5-9	SI Models——为器件指定模型	116

图 5-10	SI Models—Preferences 仿真参数设定	117
图 5-11	SI Audit—仿真条件检查	118
图 5-12	设计空间	119
图 5-13	(预)布局	120
图 5-14	仿真分析条件设置	122
图 5-15	从 Constrain Manager 中调用 SigXP	123
图 5-16	SigXP 抽取的网络拓扑结构	123
图 5-17	SigXP 中的激励设置	124
图 5-18	SigXP 中的仿真类型设置	125
图 5-19	参数扫描设置	126
图 5-20	仿真结果的表格显示	127
图 5-21	仿真结果的 SigWave 图形显示	127
图 5-22	仿真空间的扫描抽样分析	130
图 5-23	简单拓扑约束设置	131
图 5-24	多负载拓扑结构约束设置	132
图 5-25	时序相关约束设置	135
图 5-26	RaisingTime 中 Switch-Settle Delay 定义	135
图 5-27	FallingTime 中 Switch-Settle Delay 定义	136
图 5-28	Net 和 Xnet	137
图 5-29	CM 的约束更新提示	138
图 5-30	设计规则映射结果	138
图 5-31	设计规则的动态控制	139
图 5-32	在 CM 约束管理器中对物理规则进行设置	140
图 5-33	后仿真流程图	141
图 5-34	布线后仿真分析界面	142
图 5-35	数据报告形式的布线后仿真分析	142
图 5-36	图形方式的布线后仿真分析	143
图 5-37	电源系统阻抗设计分析	146
图 5-38	单节点仿真分析模型	147
图 5-39	单节点仿真分析的电源阻抗	147
图 5-40	Cadence 产品列表	148
图 5-41	电源完整性参数设置	149
图 5-42	电源完整性设计和分析	151
图 5-43	多节点仿真分析网格结构模型	151
图 5-44	电源完整性仿真分析选项	153
图 5-45	VRM 模型参数设置	154
图 5-46	VRM Slew Inductance 参数计算对话框	154
图 5-47	电容的电流回路模型	155
图 5-48	电容引线和过孔的设计	155
图 5-49	推荐的高频电容引线和过孔放置方法	156
图 6-1	设计实例的功能框图	163
图 6-2	DDR 模块功能框图	164
图 6-3	DDR 规范中的 AC 特性	165
图 6-4	DDR 规范中的信号读写时序	166
图 6-5	DDR 芯片手册中的数据写入时序	167
图 6-6	DDR 芯片手册中的数据输出时序	168