

集成电路EDA技术

Technology
实用技术

集成电路系统设计、验证与测试

[美] Louis Scheffer

Luciano Lavagno

著

Grant Martin

陈力颖 王猛

译

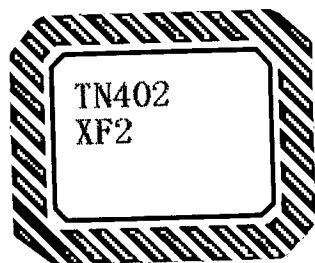


科学出版社
www.sciencepress.com

集成电路 EDA 技术

集成电路系统设计、 验证与测试

〔美〕 Louis Scheffer Luciano Lavagno 著
 Grant Martin 译
 陈力颖 王 猛



科学出版社

北京

图字：01-2007-2255号

内 容 简 介

本书是“集成电路 EDA 技术”丛书之一，内容涵盖了 IC 设计过程和 EDA，系统级设计方法与工具，系统级规范与建模语言，SoC 的 IP 设计，MPSoC 设计的性能验证方法，处理器建模与设计工具，嵌入式软件建模与设计，设计与验证语言，数字仿真，并详细分析了基于声明的验证，DFT，而且专门探讨了 ATPG，以及模拟和混合信号测试等，本书还为 IC 测试提供了方便而全面的参考。

本书可作为从事电子科学与技术、微电子学与固体电子学以及集成电路工程的技术人员和科研人员即以高等院校师生的常备参考书。

EDA for IC System Design, Verification and Testing^{1st} Edition/by Louis Scheffer, Luciano Lavagno, Grant Martin/ISBN:0-8493-7923-7

Copyright©2006 by CRC Press.

Authorized translation from English language edition published by CRC Press, part of Taylor & Francis Group LLC; All rights reserved.

本书中文简体翻译版授权由科学出版社独家出版并在限在中国大陆地区销售。未经出版者书面许可，不得以任何方式复制或发行本书的任何部分。

Copies of this book sold without a Taylor & Francis sticker on the cover are unauthorized and illegal. 本书封面贴有 Taylor & Francis 公司防伪标签，无标签者不得销售。

图书在版编目(CIP)数据

集成电路系统设计、验证与测试/(美)Louis Scheffer 等著;陈力颖,王猛译. —北京:科学出版社,2008

ISBN 978-7-03-021490-4

I. 集… II. ①L…②陈…③王… III. 集成电路-电路设计 IV. TN402

中国版本图书馆 CIP 数据核字(2008)第 040726 号

责任编辑：赵方青 杨 凯 / 责任制作：魏 谨

责任印制：赵德静 / 封面设计：璩 佳

北京东方科龙图文有限公司 制作

<http://www.okbook.com.cn>

科学出版社出版

北京东黄城根北街 16 号

邮政编码：100717

<http://www.sciencep.com>

铭浩彩色印装有限公司印刷

科学出版社发行 各地新华书店经销

2008 年 6 月第 一 版 开本：787×1092 1/16

2008 年 6 月第一次印刷 印张：30 3/4

印数：1—4 000 字数：807 000

定 价：62.00 元

(如有印装质量问题，我社负责调换(明辉))

前 言

电子设计自动化(electronic design automation, EDA)是工程艺术中的一个辉煌成功。在过去的 20 几年中,进步的工具使得设计者的效率提高了 1000 倍以上。没有 EDA,摩尔定律将仍是一个无用的猜测。没有这些复杂的工具,就不可能设计或调试包含上十亿晶体管的芯片。没有 EDA,就不会有笔记本电脑、手机、视频游戏或者其他任何人们觉得理所当然的电子设备。

在搭建更大型芯片的激励下,EDA 开发者也随之进步,虽然上市时间越来越长,但是这些巨大的芯片仍然可以被设计出来,并且可以被调试和验证。

与基于关键尺寸物理比例的集成电路(integrated circuit, IC)制造的发展相比,EDA 的历史要复杂得多。另一方面,EDA 随着一系列的范例转化而得到发展。这本书的 49 个章节中的每一章,最初只是几十年前一些专家的灵机一动,然后发展成一个研究专题,接着成为一个学术性工具,再开始成为一两个焦点。近几年来,在大型 EDA 商业厂家的支持下,已经成为普及技术的一部分。虽然使用者经常抱怨现今的工具对于设计来说还不够完备,但是生产力上的整体进步还是显而易见的。毕竟所有从事其他领域工作的人们总不至于会对在过去 30 年中,就如 1999 年国际半导体科技发展报告所说的生产力水平持续以每年 21% 的增长率产生什么抱怨吧?

那么 EDA 工具的未来发展如何呢?当看到 2005~2006 年电子和集成电路设计的状况时,我们会发现即将进入一个带有转变性的重要时期。在过去 40 多年中器件尺寸的幅度横跨数倍阶次,这种 IC 的传统比例方式显得仅能再持续几代人的时间或停留在某些工艺节点上(尽管这在过去已经争论了很多次,并且一直被认为过于悲观)。传统的晶体管和布线有充分的理由可以被我们正在开始实验的新的纳米技术和生物技术所取代。这场深刻的变革将肯定会对设计集成电路的工具和方法产生显著的影响。那么我们是将精力放在为这些未来的技术而发展计算机辅助设计(computer aided design, CAD),还是继续发展我们正在使用的工具呢?

经过深刻的考虑,很显然现今的 EDA 方法仍然有很大的生存空间。现在的设计方法发展的至少在十年内,数以百万的设计还必须制造新的 IC 或使用其可编程版本,放弃今天的 EDA 技术还为时过早。并且即使技术突然转变到新的形式和结构,很多当今的 EDA 技术仍然可以被超出现在的概念领域之外的设计重复使用或搭建。

面向 IC 的 EDA 领域已经远远发展到任何人都无法全面地掌握,甚至了解各个方面的流程的地步。因此,需要有一本书对这个极其广泛和多样的学科进行概括缩影。学生们需要一条途径来了解当今广泛使用的设计工具所包含的规则和主题。随着设计变得多重规则化,电子设计人员和 EDA 工具开发者需要拓宽他们的视野。在一个问题上使用的方法往往能在新的问题出现时仍具有适用性。在这个领域中,所有的电子设计都能够使用一个全面的参考。

出于这种想法,我们邀请了很多 EDA 各个领域及方向的专家作章节总结,并对其各自的研究专题或领域做出系统的概括。需要提出感谢的是,虽然这些章节仅对 2004~2005 年的业内

状况提供了一个缩影,但是作为调研和简介,他们对于多年后的学生和从事本行业的人们都具有永久的教育和参考价值。

由于需要涵盖相当多数量的主题,我们决定将此书分为两卷。第一卷包括系统级设计、微体系结构设计、验证及测试。第二卷包括传统的“RTL to GDS II”设计流程、协同综合、布局布线及相关主题、模拟和混合信号设计、物理验证、分析和提取以及 IC 设计的工艺技术 CAD 内容。以上这些大概地对应着传统 IC 设计中的“前端/后端”,前端(或者说逻辑设计)主要是在假定设计能够被实现的前提下,确认设计功能正确;后端(或者说物理设计)主要是按照给定的逻辑功能,生成详细的所需要的工具。暂且不论其局限性,这种分类已经持续了数年。一个完整的正确的逻辑设计,一直是 IC 设计流程的两大主要部分间的关键承接点,可以独立于设计的实现。由于 IC 设计者和 EDA 开发人员通常致力于这种逻辑/物理分类的某一方向,因此似乎将本书以此分类为佳。

需要特别指出的是,第一卷以对主题的概括介绍和 IC 设计及 EDA 的简介开始。系统级设计包括很多方面:专用工具和方法、特定规范和模型语言、包括使用带知识产权(intellectual property, IP)的集成概念以及性能评估方法,还有嵌入式处理器的建模和选择以及在此处理器上运行的软件建模方法,此外还有高级综合方法。从系统级开始的 IC 需要经过周期精准模型、功耗估计方法和设计计划等步骤细化到微体系结构的规范。在设计被指定和细化的过程中,验证起着关键的角色。书中涵盖了语言、仿真要素和专门的验证专题,例如,事务级建模、基于声明的验证、硬件加速的使用和模拟以及新兴的形式方法。最后,对于数字和模拟以及混合信号设计,使得 IC 设计具有可测试性以及生产和封装的成本低廉都依赖于大量的测试方法和工具。

对于有兴趣学习与电子设计及其相关的工具和方法及此类知识的人们来说,这本由两个分卷组成的手册很值得学习并作为参考书目。我们希望所有的读者都认为这本书很有用,并且成为首屈一指的知识资源。

Louis Scheffer
Luciano Lavagno
Grant Martin

致 谢

作者要感谢那些致力于发展 EDA 领域的无名英雄,感谢他们在自身、产业或学术的发展之余为 EDA 的发展所作的贡献。这些扮演着各种关键角色的人们,有的组织小型会议,有的撰写技术文章,有的在标准委员会任职,当然这只是一少部分。尽管他们投入了或多或少的时间和精力,而这些大量的志愿性工作没有使得任何人变得富有或出名,但是他们为 EDA 的伟大而持续的发展作出了巨大的贡献。我们要为这些没有得到他们应得回报的人们颁奖。

个人方面,Louis Scheffer 要感谢他的妻子 Lynde、女儿 Lucynda 和儿子 Loukos 对他的爱、支持、鼓励和帮助,没有他们这本书不可能问世。

Luciano Lavagno 要感谢他的妻子 Paola 和女儿 Alessandra 使他的生活如此幸福。

Grant Martin 要感谢他的妻子 Margaret Steele 及他的两个女儿 Jennifer 和 Fiona 对他一如既往的爱和支持。

主 编

Louis Scheffer

Louis Scheffer 于 1974 年和 1975 年在 Caltech 分别获得学士和硕士学位,于 1984 年在 Stanford 获得 Ph. D. 学位。1975~1981 年,作为芯片设计人员和 CAD 工具开发人员就职于 Hewlett Packard。1981 年,加入 Valid Logic Systems,从事硬件设计,开发电路图编辑器,搭建了一个 IC 版图、布线和验证系统。1991 年,Valid 与 Cadence 合并,从那时起致力于布局布线、布局规划系统和信号完整性问题等方面的工作。

Louis Scheffer 的主要研究方向是布局规划和深亚微米效应。已经撰写了多篇技术论文、指南、受邀谈话和专题讨论,并且是 DAC、ICCAD、ISPD、SLIP 和 TAU 等会议的技术委员会成员。他目前是 TAU 和 ISPD 的首席主席,并且领导着 SLIP 的委员会,还是 IEEE 学报 CAD 方面的副编审。他拥有 EDA 领域内的五项专利,并在 Berkeley 和 Stanford 教授电子学方向的 CAD 课程。他对 SETI 也有研究兴趣,他还在 SETI 协会的 Allen Telescope Array 的技术咨询部担当职务,同时他也是 SETI-2020 一书的合著者之一,并且在此领域内发表了一些科技文章。

Luciano Lavagno

Luciano Lavagno 分别于 1992 年在 U. C. Berkeley 和 1993 年在 Politecnico di Torino 获得其 EECS 专业的 Ph. D. 学位。他是两本关于异步电路设计的著作、一本关于嵌入式系统的硬件和软件的协同设计的合著者,并且撰写了 160 多篇科技论文。

1993~2000 年,他是 POLIS 项目的设计师。这个项目由 U. C. Berkeley、Cadence Design Systems、Magnetit Marelli 和 Politecnico di Torino 合作完成,为以控制为主的嵌入系统研制开发了一个完备的软硬件协同设计环境。

Luciano Lavagno 目前是意大利 Politecnico di Torino 的副教授,Cadence Berkeley Laboratories 的研究科学家。他在此领域内多个国际会议(例如,DAC、DATE、ICCAD 和 ICCD)、企业和座谈会的技术委员会任职。他是 DAC 的技术指导和主席,CODES 的技术指导和首席主席。他是 IEEE 学报 CAD 方面、VLSI 方面以及 ACM 学报嵌入计算机系统方面的副编审和客座编辑。他的研究领域包括异步和低功耗电路的综合,软硬件混合式嵌入系统的并行设计,以及动态可重构处理器的编译工具和结构设计。

Grant Martin

Grant Martin 是 California Santa Clara 的 Tensilica 公司的首席科学家。在此之前,Grant 在苏格兰的 Burroughs 工作了六年,在加拿大的 Nortel/BNR 工作了十年,在 Cadence Design Systems 工作了九年,最后成为了其实验室的 Cadence 会员。他分别于 1977 年和 1978 年在加拿大的 Waterloo 大学获得数学专业(组合学和最优化学)的学士和硕士学位。

Grant 是 1999 年《Surviving the SOC Revolution: A Guide to Platform-Based Design》和 2002 年《System Design with SystemC》的合著者之一。并在 2003 年 6 月担任《Winning the SOC Revolution: Experiences in Real Design》和《UML for Real: Design of Embedded Real-Time Systems》的合作编辑之一,两部书由 Springer(由 Kluwer 创办)出版。2004 年,他与 Vladimir Nemudrov 合作编写了第一本关于 SOC 设计的著作,此书由俄罗斯莫斯科的 Techno-

sphera 出版。最近他参与了《Taxonomies for the Development and Verification of Digital Systems》(Springer 2005 年出版)和《UML for SOC Design》(Springer 2005 年出版)的编写。

Grant 完成了很多论文、谈话和指南,并且参与专题讨论和很多主要会议。他是 2001 年夏天 VSI Alliance Embedded Systems 学术团的副主席,目前是 2005 年和 2006 年 DAC Technical Programme Committee for Methods 的副主席。他的主要研究领域包括系统级设计、基于 IP 的片上系统设计、基于平台的设计和嵌入式软件。他是 IEEE 的资深会员。

参编人员

Iuliana Bacivarov

SLS Group, TIMA Laboratory
Grenoble, France

Mike Bershteyn

Cadence Design Systems, Inc.
Cupertino, California

Shuvra Bhattacharyya

University of Maryland
College Park, Maryland

Joseph T. Buck

Synopsys, Inc.
Mountain View, California

Raul Camposano

Synopsys Inc.
Mountain View, California

Naehyuck Chang

Seoul National University
Seoul, South Korea

Kwang-Ting (Tim) Cheng

University of California
Santa Barbara, California

Alain Clouard

STMicroelectronics
Crolles, France

Marcello Coppola

STMicroelectronics
Grenoble, France

Robert Damiano

Synopsys Inc.
Hillsboro, Oregon

Marco Di Natale

Scuola Superiore S. Anna
Pisa, Italy

Nikil Dutt

Donald Bren School of Information and
Computer Sciences,
University of California, Irvine
Irvine, California

Stephen A. Edwards

Columbia University
New York, New York

Limor Fix

Design Technology, Intel
Pittsburgh, Pennsylvania

Harry Foster

Jasper Design Automation
Mountain View, California

Frank Ghenassia

STMicroelectronics
Crolles, France

Miltos D. Grammatikakis

ISD S. A.
Athens, Greece

Rajesh Gupta

University of California, San Diego
San Diego, California

Sumit Gupta

Tensilica Inc.
Santa Clara, California

Ahmed Jerraya

SLS Group, TIMA Laboratory, INPG
Grenoble, France

Bozena Kaminska

Simon Fraser University and
Pultronics Incorporated
Burnaby, British Columbia, Canada

Bernd Koenemann

Mentor Graphics, Inc.
San Jose, California

Luciano Lavagno

Cadence Berkeley Laboratories
Berkeley, California

Steve Leibson

Tensilica, Inc.
Santa Clara, California

Enrico Macii

Politecnico di Torino
Torino, Italy

Laurent Maillet-Contoz

STMicroelectronics
Crolles, France

Erich Marschner

Cadence Design Systems
Berkeley, California

Grant Martin

Tensilica Inc.
Santa Clara, California

Ken McMillan

Cadence Berkeley Laboratories
Berkeley, California

Renu Mehra

Synopsys, Inc.
Mountain View, California

Prabhat Mishra

University of Florida
Gainesville, Florida

Ralph H. J. M. Otten

Eindhoven University of Technology
Eindhoven, Netherlands

Massimo Poncino

Politecnico di Torino
Torino, Italy

John Sanguinetti

Forte Design Systems, Inc.
San Jose, California

Louis Scheffer

Cadence Design Systems
San Jose, California

Sandeep Shukla

Virginia Tech
Blacksburg, Virginia

Gaurav Singh

Virginia Tech
Blacksburg, Virginia

Jean-Philippe Strassen

STMicroelectronics
Crolles, France

Vivek Tiwari

Intel Corp.
Santa Clara, California

Ray Turner

Cadence Design Systems
San Jose, California

Li-C. Wang

University of California
Santa Barbara, California

John Wilson

Mentor Graphics
Berkshire, United Kingdom

Wayne Wolf

Princeton University
Princeton, New Jersey

目 录

第 1 部分 介 绍

第 1 章 引 言

1.1 集成电路电子设计自动化简介	2
1.2 系统级设计	6
1.3 微体系结构设计	7
1.4 逻辑验证	7
1.5 测 试	8
1.6 RTL 到 GDSII,综合、布局和布线	8
1.7 模拟和混合信号设计	9
1.8 物理验证	10
1.9 工艺计算机辅助设计	11
参考文献	11

第 2 章 IC 设计流程和 EDA

2.1 绪 论	12
2.2 验 证	14
2.3 实 现	16
2.4 可制造性设计	22
参考文献	23

第 2 部分 系统级设计

第 3 章 系统级设计中的工具和方法

3.1 绪 论	26
3.2 视频应用的特点	26
3.3 其他应用领域	27
3.4 平台级的特点	27
3.5 基于模型的设计中计算和工具的模型	30
3.6 仿 真	37
3.7 软、硬件的协同综合	38

3.8 总 结	39
参考文献	40
第 4 章 系统级定义和建模语言	
4.1 绪 论	43
4.2 特定领域语言和方法的调研	44
4.3 异构平台及方法学	52
4.4 总 结	53
参考文献	54
第 5 章 SoC 基于模块的设计和 IP 集成	
5.1 IP 复用和基于模块设计的经济性问题	58
5.2 标准总线接口	59
5.3 基于声明验证的使用	59
5.4 IP 配置器和生成器的使用	61
5.5 设计集成和验证的挑战	62
5.6 SPIRIT XML 数据手册提案	63
5.7 总 结	64
参考文献	65
第 6 章 多处理器的片上系统设计的性能评估方法	
6.1 绪 论	66
6.2 对于系统设计流程中性能评估的介绍	66
6.3 MPSoC 性能评估	73
6.4 总 结	74
参考文献	76
第 7 章 系统级电源管理	
7.1 绪 论	79
7.2 动态电源管理	80
7.3 电池监控动态电源管理	86
7.4 软件级动态电源管理	90
7.5 总 结	93
参考文献	93
第 8 章 处理器建模和设计工具	
8.1 绪 论	96
8.2 使用 ADL 进行处理器建模	97
8.3 ADL 驱动方法	105
8.4 总 结	111
参考文献	112
第 9 章 嵌入式软件建模和设计	
9.0 摘 要	115
9.1 绪 论	115

9.2	同步模型和异步模型	125
9.3	同步模型	125
9.4	异步模型	128
9.5	嵌入式软件模型的研究	143
9.6	总 结	149
	参考文献	149
第 10 章 利用性能指标为 IC 设计选择微处理器内核		
10.1	绪 论	153
10.2	作为基准点测试平台的 ISS	154
10.3	理想与实际处理器基准的比较	155
10.4	标准基准类型	156
10.5	以往的性能级别: MIPS、MOPS 和 MFLOPS	156
10.6	经典的处理器基准(早期)	157
10.7	现代处理器性能基准	164
10.8	可配置性处理器和处理器内核基准的未来	173
10.9	总 结	175
	参考文献	175
第 11 章 并行高层次综合: 一种高层次综合的代码转换方法		
11.1	绪 论	177
11.2	技术发展水平的背景及调研	178
11.3	并行 HLS	186
11.4	SPARK PHLS 框架	189
11.5	总 结	190
	参考文献	191
第 3 部分 微体系结构设计		
第 12 章 周期精准系统级建模和性能评估		
12.1	绪 论	196
12.2	系统建模和设计方法学	197
12.3	系统级建模对象的反向标注	200
12.4	统计特征的自动提取	203
12.5	开放式系统级建模问题	209
	参考文献	209
第 13 章 微体系结构的功耗估计和优化		
13.0	摘 要	212
13.1	绪 论	212
13.2	背 景	213
13.3	结构模型	214

13.4 微体系结构功耗建模和估计	215
13.5 微体系结构功耗优化	223
13.6 总 结	236
参考文献	237

第 14 章 设计规划

14.1 绪 论	242
14.2 平面布局	244
14.3 布线规划	249
14.4 针对折中的形式系统	256
参考文献	261

第 4 部分 逻辑验证

第 15 章 设计和验证语言

15.1 绪 论	264
15.2 历 史	265
15.3 设计语言	266
15.4 验证语言	278
15.5 总 结	288
参考文献	289

第 16 章 数字仿真

16.1 绪 论	291
16.2 面向事件与面向进程的仿真	292
16.3 逻辑仿真方法和算法	293
16.4 语言对逻辑仿真的影响	299
16.5 逻辑仿真方法	301
16.6 HVL 对仿真的影响	304
16.7 总 结	304
参考文献	305

第 17 章 SoC 设计流程中事务级模型的使用

17.1 绪 论	306
17.2 相关工作	306
17.3 从系统到 RTL 设计流程的介绍	308
17.4 TLM——设计流程的补充层次	310
17.5 TLM 建模应用编程接口	314
17.6 一个多媒体平台的实例	316
17.7 设计流程自动化	319
17.8 总 结	321
17.9 感 谢	321

参考文献	321
第 18 章 基于声明的验证	
18.1 绪 论	323
18.2 历 史	324
18.3 技术发展水平	329
参考文献	333
第 19 章 硬件加速和模拟	
19.1 绪 论	334
19.2 模拟器架构介绍	336
19.3 设计建模	341
19.4 调 试	345
19.5 使用模型	347
19.6 电路内模拟的意义	348
19.7 关于成功模拟的考虑	348
19.8 总 结	351
参考文献	351
第 20 章 形式属性验证	
20.1 绪 论	352
20.2 形式属性验证方法和技术	354
20.3 软件形式验证	358
20.4 总 结	361
参考文献	361

第 5 部分 测 试

第 21 章 可测试性设计

21.1 绪 论	366
21.2 微电子产品可测试性设计的目的	366
21.3 芯片级可测试性设计技术的介绍	369
21.4 总 结	397
参考文献	397

第 22 章 自动测试模式生成

22.1 绪 论	400
22.2 组合 ATPG	400
22.3 顺序 ATPG	405
22.4 ATPG 和 SAT	411
22.5 ATPG 的应用	417
22.6 高级 ATPG	422
参考文献	424

第 23 章 模拟和混合信号测试

23.1 绪 论 429

23.2 模拟电路和模拟规范 429

23.3 可测试性分析 431

23.4 故障建模和测试规范 432

23.5 灾难性故障建模和仿真 433

23.6 参数化故障、最差情况容差分析和测试生成 433

23.7 可测试性设计简介 434

23.8 模拟测试总线标准 434

23.9 基于振荡的 DFT/BIST 435

23.10 PLL、VCO 和抖动测试 437

23.11 抖动测试技术简介 438

23.12 总 结 448

参考文献 448

专业术语中英文对照

451

