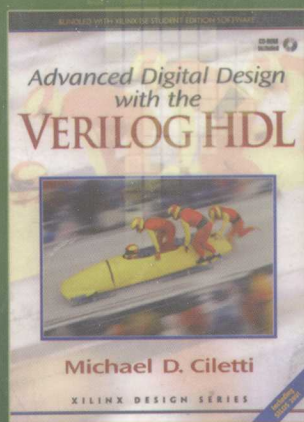


国外电子与通信教材系列

Verilog HDL 高级数字设计

Advanced Digital Design with the Verilog HDL



[美] Michael D. Ciletti 著

张雅绮 李 铨 等译

PEARSON
Prentice
Hall



电子工业出版社

Publishing House of Electronics Industry
<http://www.phei.com.cn>

国外电子与通信教材系列

Verilog HDL 高级数字设计

Advanced Digital Design with the
Verilog HDL

[美] Michael D. Ciletti 著

张雅绮 李 锵 等译

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书通过大量完整的实例讲解了使用 Verilog HDL 进行超大规模集成电路设计的结构化建模方法、关键步骤和设计验证方法等实用内容。全书共分 11 章, 涵盖了建模、结构平衡、功能验证、故障模拟和逻辑综合等关键问题, 还有后综合设计确认、定时分析及可测性设计等内容。

本书结构清晰, 内容组织合理, 适用于计算机、电子等相关专业本科高年级学生或研究生课程, 同时也适用于对学习 Verilog HDL 及其在现代集成电路设计流中的应用感兴趣的专业人员。

Simplified Chinese edition Copyright © 2005 by PEARSON EDUCATION ASIA LIMITED and Publishing House of Electronics Industry.

Advanced Digital Design with the Verilog HDL, ISBN: 0130891614 by Michael D. Ciletti . Copyright © 2003.

All Rights Reserved.

Published by arrangement with the original publisher, Pearson Education, Inc., publishing as Prentice Hall.

This edition is authorized for sale only in the People's Republic of China (excluding the Special Administrative Region of Hong Kong and Macau).

本书中文简体字翻译版由电子工业出版社和 Pearson Education 培生教育出版亚洲有限公司合作出版。未经出版者预先书面许可, 不得以任何方式复制或抄袭本书的任何部分。

本书封面贴有 Pearson Education 培生教育出版集团激光防伪标签, 无标签者不得销售。

版权贸易合同登记号 图字: 01-2003-0581

图书在版编目 (CIP) 数据

Verilog HDL 高级数字设计 / (美) 西里提 (Ciletti, M. D.) 著. 张雅绮等译.

北京: 电子工业出版社, 2005.1

(国外电子与通信教材系列)

ISBN 7-5053-9917-9

I. V... II. ①西... ②张... III. 硬件描述语言, VHDL-程序设计-教材 IV. TP312

中国版本图书馆 CIP 数据核字 (2004) 第 126994 号

责任编辑: 贺瑞君

印 刷: 北京智力达印刷有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

经 销: 各地新华书店

开 本: 787 × 1092 1/16 印张: 45.75 字数: 1291 千字

印 次: 2005 年 1 月第 1 次印刷

定 价: 65.00 元

凡购买电子工业出版社的图书, 如有缺损问题, 请向购买书店调换; 若书店售缺, 请与本社发行部联系。联系电话: (010) 68279077。质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

序

2001年7月间,电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师,商量引进国外教材问题。与会同志对出版社提出的计划十分赞同,大家认为,这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材,意味着开设了一门好的课程,甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书,对近代电子学科、特别是对雷达技术的推动作用,就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代,在原教委教材编审委员会的领导下,汇集了高等院校几百位富有教学经验的专家,编写、出版了一大批教材;很多院校还根据学校的特点和需要,陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来,随着教学改革不断深入和科学技术的飞速进步,有的教材内容已比较陈旧、落后,难以适应教学的要求,特别是在电子学和通信技术发展神速、可以讲是日新月异的今天,如何适应这种情况,更是一个必须认真考虑的问题。解决这个问题,除了依靠高校的老师 and 专家撰写新的符合要求的教科书外,引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,是会有好处的。

一年多来,电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组,选派了富有经验的业务骨干负责有关工作,收集了230余种通信教材和参考书的详细资料,调来了100余种原版教材样书,依靠由20余位专家组成的出版委员会,从中精选了40多种,内容丰富,覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面,既可作为通信专业本科生和研究生的教学用书,也可作为有关专业人员的参考材料。此外,这批教材,有的翻译为中文,还有部分教材直接影印出版,以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里,我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度,充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步,对高校教学工作会不断提出新的要求和希望。我想,无论如何,要做好引进国外教材的工作,一定要联系我国的实际。教材和学术专著不同,既要注意科学性、学术性,也要重视可读性,要深入浅出,便于读者自学;引进的教材要适应高校教学改革的需要,针对目前一些教材内容较为陈旧的问题,有目的地引进一些先进的和正在发展中的交叉学科的参考书;要与国内出版的教材相配套,安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求,希望它们能放在学生们的课桌上,发挥一定的作用。

最后,预祝“国外电子与通信教材系列”项目取得成功,为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题,提出意见和建议,以便再版时更正。

吴佑寿

中国工程院院士、清华大学教授
“国外电子与通信教材系列”出版委员会主任

出版说明

进入21世纪以来,我国信息产业在生产和科研方面都大大加快了发展速度,并已成为国民经济发展的支柱产业之一。但是,与世界上其他信息产业发达的国家相比,我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天,我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社,我们始终关注着全球电子信息技术的发展方向,始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间,我社先后从世界著名出版公司引进出版了40余种教材,形成了一套“国外计算机科学教材系列”,在全国高校以及科研部门中受到了欢迎和好评,得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,将有助于我国信息产业培养具有国际竞争能力的技术人才,也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见,我们决定引进“国外电子与通信教材系列”,并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商,其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等,其中既有本科专业课程教材,也有研究生课程教材,以适应不同院系、不同专业、不同层次的师生对教材的需求,广大师生可自由选择 and 自由组合使用。我们还将与国外出版商一起,陆续推出一些教材的教学支持资料,为授课教师提供帮助。

此外,“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助,其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核,并得到教育部高等教育司的批准,纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作,我们聘请了清华大学、北京大学、北京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望,具有丰富的教学经验,他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外,对于编辑的选择,我们达到了专业对口;对于从英文原书中发现的错误,我们通过作者联络、从网上下载勘误表等方式,逐一进行了修订;同时,我们对审校、排版、印制质量进行了严格把关。

今后,我们将进一步加强同各高校教师的密切关系,努力引进更多的国外优秀教材和教学参考书,为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足,在选题、翻译、出版等方面的工作中还有许多需要改进的地方,恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

- | | | |
|-----|-----------------------------|--|
| 主任 | 吴佑寿 | 中国工程院院士、清华大学教授 |
| 副主任 | 林金桐 | 北京邮电大学校长、教授、博士生导师 |
| | 杨千里 | 总参通信部副部长, 中国电子学会会士、副理事长
中国通信学会常务理事 |
| 委员 | 林孝康 | 清华大学教授、博士生导师、电子工程系副主任、通信与微波研究所所长
教育部电子信息科学与工程类专业教学指导分委员会委员 |
| | 徐安士 | 北京大学教授、博士生导师、电子学系主任
教育部电子信息与电气学科教学指导委员会委员 |
| | 樊昌信 | 西安电子科技大学教授、博士生导师
中国通信学会理事、IEEE 会士 |
| | 程时昕 | 东南大学教授、博士生导师、移动通信国家重点实验室主任 |
| | 郁道银 | 天津大学副校长、教授、博士生导师
教育部电子信息科学与工程类专业教学指导分委员会委员 |
| | 阮秋琦 | 北京交通大学教授、博士生导师
计算机与信息技术学院院长、信息科学研究所所长 |
| | 张晓林 | 北京航空航天大学教授、博士生导师、电子信息工程学院院长
教育部电子信息科学与电气信息类基础课程教学指导分委员会委员 |
| | 郑宝玉 | 南京邮电学院副院长、教授、博士生导师
教育部电子信息与电气学科教学指导委员会委员 |
| | 朱世华 | 西安交通大学副校长、教授、博士生导师、电子与信息工程学院院长
教育部电子信息科学与工程类专业教学指导分委员会委员 |
| | 彭启琮 | 电子科技大学教授、博士生导师、通信与信息工程学院院长
教育部电子信息科学与电气信息类基础课程教学指导分委员会委员 |
| | 毛军发 | 上海交通大学教授、博士生导师、电子信息与电气工程学院副院长
教育部电子信息与电气学科教学指导委员会委员 |
| | 赵尔沅 | 北京邮电大学教授、《中国邮电高校学报(英文版)》编委会主任 |
| | 钟允若 | 原邮电科学研究院副院长、总工程师 |
| | 刘彩 | 中国通信学会副理事长、秘书长 |
| | 杜振民 | 电子工业出版社原副社长 |
| | 王志功 | 东南大学教授、博士生导师、射频与光电集成电路研究所所长
教育部电子信息科学与电气信息类基础课程教学指导分委员会主任委员 |
| 张中兆 | 哈尔滨工业大学教授、博士生导师、电子与信息技术研究院长 | |
| 范平志 | 西南交通大学教授、博士生导师、计算机与通信工程学院院长 | |

译者序

随着科学技术的飞速发展,电子设计的规模越来越大,复杂度越来越高,集成电路的制造工艺已达到 $0.18\ \mu\text{m}$ 甚至更小尺寸。以计算机为工作平台,融合了电子技术、计算机技术和智能化技术的EDA (Electronic Design Automation) 工具已经在高速复杂数字系统设计中得到了广泛应用。

硬件描述语言(Hardware Description Language)是硬件设计人员和EDA工具之间的设计媒介。广泛使用的硬件描述语言有Verilog HDL (IEEE标准1364)和VHDL (IEEE标准1076)两种。硬件描述语言主要用于算法级、门级和开关级等多种抽象设计层次的数字系统建模,利用EDA技术设计复杂数字系统,不仅极大地提高了系统的设计效率,而且使设计者摆脱了大量的辅助性工作,使他们能致力于新概念的构思和设计的创新。

本书作者Michael D. Ciletti是美国Colorado大学电气与计算机工程系教授,他的主要研究兴趣是利用硬件描述语言对数字系统进行建模、仿真、综合和验证。本书着重讨论了数字电路的设计、验证和综合中的常见问题及综合设计技巧等,讨论了Verilog的核心设计方法及其应用特点,而不是Verilog语言的语法解释。本书共分11章,涵盖了数字系统建模、结构平衡、功能验证、测试生成、故障模拟、逻辑综合等关键问题,还重点讨论了综合后设计确认、定时分析和可测性设计的内容。本书可作为熟悉一种编程语言,且了解数字系统设计的大学高年级学生或研究生的选修课,或者作为EDA设计工程师的参考书。读者可从中吸取许多有用知识,提高设计能力。

本书的特点是以现代数字系统设计流程为主线,利用先进的集成设计环境,对复杂可编程逻辑器件、现场可编程门阵列、数字处理器等实用电路进行综合、简化和验证。通过大量完整实例描述了使用Verilog HDL进行超大规模集成电路设计的关键步骤以及设计验证方法等,旨在鼓励读者精确描述和验证他们的设计。一些章末习题很具有挑战性。

本书主要由李镛博士负责前言和第1~3章的翻译工作,由张雅绮教授负责第4~11章以及附录的翻译和全书的审校。参加本书翻译工作的还有崔志刚、张超、董刚、饶中洋等,张为博士为第8章和第10章的校审和定稿做了大量工作,在此表示衷心感谢。由于译者水平有限,译文中难免有不妥乃至错误之处,敬请读者批评指正。

前 言

精炼、明晰化和验证

硬件描述语言 (HDL) 的行为级建模是现代专用集成电路 (ASIC) 设计的关键。今天, 大多数设计者都在使用基于 HDL 的设计方法来创建高层次的、基于语言的抽象电路描述, 利用已有的设计技术综合出需要的硬件实现, 并验证其功能和定时特性。

对于准备为产业研发团队做出贡献的学生们来说, 必须了解如何在设计流程的关键阶段使用 HDL。因而需要有一门在内容上超越数字设计先修课程中学习过的基本原理和方法的课程。本书就是为这样一门课程所撰写的。

现在许多有关 HDL 的书籍都是很有用的, 但其中多数定位于对语言语法的讲解, 不太适合于课堂教学。而我们的着眼点主要放在使用 HDL 的设计方法上, 这是本书的独特之处。

本书的目的要通过以下几点逐步达到: (1) 复习组合时序逻辑的基本原理, (2) 介绍 HDL 在设计中的应用, (3) 着重讨论能使读者快速设计适于 ASIC 和/或现场可编程门阵列 (FPGA) 实现的电路描述方式, (4) 提供大量使用现代设计工具进行高层次设计的实例。在学生已初步掌握逻辑设计方法的基础上, 进一步充实学生的设计背景。鼓励读者精炼、明晰化并验证他们自己的设计。

广泛使用的 Verilog 硬件描述语言 (IEEE 标准 1364), 可对本书中所述设计行为的公共框架结构提供支持。本书的焦点仍然集中在数字电路的设计、验证和综合上, 而不是 Verilog 语言的语法解释上。选修高级数字设计课程的多数学生应至少熟悉一种编程语言, 并且能通过阅读本书从中吸取有用知识, 提高设计能力。在本书中我们仅讨论 Verilog 的核心设计方法及其广泛使用的特性。为了强调在面向综合的设计环境中使用这种语言, 我们还特意将许多语法的细节、特点和解释放在附录中, 以用做设计参考。

许多数字设计入门课程都介绍过状态机、状态转移图和算法状态图 (ASM)。我们在本书中大量使用了 ASM 图, 并且证明了它们在开发设计时序状态机行为级模型中的应用。对利用 ASM 图 (即, 通过标注 ASM 图来显示受控数据通道寄存器操作的图) 设计有限状态机来控制数字状态机中复杂数据通道的重要问题进行了深入论述。给出了精简指令集计算机中央处理单元 (RISC CPU) 和其他重要硬件单元的设计实例。并在本书支持网站上 (www.prenhall.com/ciletti) 发布了 RISC 状态机的源代码, 和可以用于应用程序开发的汇编器。这种机器也可作为研究更健壮的指令集和各种派生架构的起点。

集中而有重点地介绍 Verilog 语言仅仅是为了支持设计实例的需要。本书中列举的大量实例表明了在使用 Verilog HDL 的超大规模集成 (VLSI) 电路设计方法中如何应用关键步骤进行设计。所列举的实例是完整的, 并且包括了已被 Silos-III 仿真器验证正确的源代码。所有实例的源代码和一些重要测试程序集均可以从本书支持网站上获得。

读者对象

本书适用于学习高级数字设计课程的学生, 以及那些想通过实例学习 Verilog 并对将这种语言应用于现代集成电路设计流描述感兴趣的专业工程师。本书适合于在电子工程、计算机工程和计算机科学等专业学习的高年级本科生和低年级研究生作为教材或设计参考, 也适合于学习过逻辑设

计介绍性课程的专业工程师。本书假定读者具有布尔代数在逻辑电路设计中应用的背景知识,并熟悉有限状态机设计。在此基础上,本书讨论了一些在计算机系统、数字信号处理、图像处理、时钟域中的数据传输、内置自测试(BIST)和其他应用中使用的重要电路的设计实例。本书涵盖了建模、结构的平衡、功能验证、定时分析、测试生成、故障模拟、可测性设计、逻辑综合和综合后验证的关键设计问题。

本书的特色

- 首先简要复习组合时序逻辑的基本原理。
- 重点讨论现代数字设计方法学。
- 举例说明并提倡使用由寄存器传输级(RTL)描述和使用Verilog进行算法建模的综合方式。
- 说明了行为级建模中ASM图的应用。
- 深入论述了数字机(如图像处理、数字滤波器和环形缓冲器等)的算法和结构。
- 深入讨论了基于单元的ASIC和FPGA的综合过程。
- 通过实例对定时分析、故障模拟、测试和可测性设计进行了切合实际的论述。
- 全面论述了行为建模问题。
- 包括RISC机和数据通道控制器等综合设计实例。
- 包含大量的图示说明。
- 各章末均附有一些高难度的习题。
- 包含一个可用于测试的JTAP和BIST设计实例。
- 包含250多个经过全面验证的实例。
- 包含与本书内容相配套的基于Xilinx FPGA并可应用于实验室练习的设计实例(如:算术逻辑单元,可编程电子锁,具有FIFO的键盘扫描器,具有纠错功能的串行通信链接,SRAM控制器和先进先出存储器等)。
- 包含关于可编程逻辑器件(PLD)和FPGA的最新内容。
- 包含一个介绍Verilog HDL语法的附录。
- 通过实例说明了Verilog 2001的主要特点。
- 本书支持网站内容包括:
 1. 实例中所设计模型的源文件;
 2. 用于仿真实例的测试平台源文件;
 3. 教学支持包中包含了可用于堂课讲授的、按主题划分的幻灯片文件夹;
 4. 部分习题的解答;
 5. 具有综合和定时数据库的ASIC标准单元库;
 6. 常见问题解答(FAQ);
 7. 读者提交的一些很好的实例;
 8. 修订信息。

课程讲授的次序

本书的内容是从复习组合时序逻辑设计开始的,然后通过ASIC或FPGA的设计流所指定的顺序逐渐展开。第1章到第6章通过综合论述了设计主题,应该按顺序讲授,但第7章到第10章则可以按任意顺序讲述。章末的习题很具有挑战性。为实验室准备的基于Xilinx的练习适合于指导性实

验或期末的综合设计题目。第10章提出了几种可用于算术操作的结构,并给出了它们在各种不同范围中的应用情况。第11章论述了后综合设计确认、定时分析、故障模拟和可测性设计。这些论题包含的内容可根据课程的级别和主要目标来进行删减。可支持 Verilog 2001 的工具正在开发中,所以我们用一个附录讲述了该语言的重要新特性。

章节简介

第1章简要讨论了 HDL 在基于单元的 ASIC 和 FPGA 设计流中的应用。第2章和第3章利用经典方法(如,卡诺图法),复习了在数字设计先修课程中学习过的设计方法。这本书的内容将会更新读者的背景知识,以后各章所列举的实例将主要介绍基于 HDL 的设计方法。第4章和第5章讨论了用 Verilog 进行组合和时序逻辑建模的问题,着重强调了用于行为建模的编程风格。第6章讲述了基于单元的 ASIC 的综合问题,并介绍了组合时序逻辑的综合方法。这里我们主要有两个目的:(1)提供友好的综合编译形式,(2)建立能够使读者预期综合结果的分析基础。特别是在综合时序机的时候,许多时序机要被划分成数据通道和控制器来进行设计。第7章给出了用图示法说明怎样为数据通道设计控制器的实例。简单 RISC CPU 和 UART^①的设计可作为这个研究课题的应用平台。第8章讨论了 PLD, 复杂 PLD (CPLD), ROM 和静态随机存取存储器 (SRAM), 然后将综合的目标扩展到包括 FPGA。Verilog 已被广泛用于计算机以及信号处理器等系统的设计中。第9章进一步讲述了在计算机结构、数字滤波器和其他处理器中所包含的计算单元和算法的建模和综合。第10章研究和细化数字机中算术单元的算法和结构。在第11章中我们用 Verilog HDL 把故障模拟器和定时分析器结合起来,重新考虑以前所设计机器的一个可选方案,在考虑性能/定时问题和可测性问题的同时,来完成那些在很大程度上依赖于设计者介入的设计流任务的论述。第11章模拟了由 IEEE 1149.1 标准(即 JTAG 标准)定义的测试接入端口(TAP)控制器,并给出了它的一个应用例子。另一个复杂的实例就是内置自测试(BIST)的设计。

致谢

作者十分感谢对这本书的出版做出了贡献的同事和学生们的支持。书稿的审读者也给了作者极大的鼓励,提出了许多有益的建议。在 Stu Sutherland 的帮助下,作者对有关竞争条件有可能在数字系统模型中漂移的问题得到了更为深刻的理解。这些理解带来了坚持用非阻塞赋值来模拟边沿敏感行为和用阻塞赋值来模拟电平敏感行为的描述风格。同时,我十分感谢 Dr. Jim Tracy 和 Dr. Rodger Ziemer, 他们支持我对扩展 VLSI 电路设计课程所做的努力;我也十分感谢 Bill Fuchs, 他向我介绍了 Simucad 公司的 Silos-III Verilog 仿真器,并将一个用户友好设计环境交由我们的学生负责。Kirk Sprague 和 Scott Kukel 帮助设计了一个可用于 UART 的汉明编码器。Cris Hagan 的论文使得第9章所提出的模型可以用于数字信号处理器中的抽选器和其他的功能单元。Rex Anderson 校对了几章的内容,并对书稿做了一些修改。Terry Hansen 和 Lisa Horton 为自动售咖啡机的实例提供了灵感,并设计了支持 RISC CPU 的汇编器。Dr. Greg Sajdak 搜集了与芯片缺陷相关的资料用于测试封装和完善设计。Dr. Bruce Harmon 提供了用于 FIR 滤波器实例的资料。我们非常高兴与本书的编辑 Tom Robbins 和 Eric Frank 一起工作,他们支持我的想法,鼓励我的工作,并在这本书的创作过程中给我以指导。我向你们所有的人表示衷心的感谢!

① 通用异步接收器和发射器 (UART), 一个可用于在系统间进行数据传输的电路。

目 录

第1章 数字设计方法概论	1
1.1 设计方法简介	1
1.1.1 设计规范	3
1.1.2 设计划分	3
1.1.3 设计输入	3
1.1.4 仿真与功能验证	4
1.1.5 设计整合与验证	4
1.1.6 预综合结束	5
1.1.7 门级综合与工艺映射	5
1.1.8 后综合设计确认	5
1.1.9 后综合定时验证	6
1.1.10 测试生成与故障模拟	6
1.1.11 布局与布线	6
1.1.12 校验物理和电气设计规则	6
1.1.13 提取寄生参量	7
1.1.14 设计结束	7
1.2 IC工艺选择	7
1.3 后续内容概览	8
参考文献	8
第2章 组合逻辑设计回顾	9
2.1 组合逻辑与布尔代数	9
2.1.1 ASIC库单元	10
2.1.2 布尔代数	11
2.1.3 狄摩根定律	12
2.2 布尔代数化简定理	14
2.3 组合逻辑的表示	15
2.3.1 积之和表示法	16
2.3.2 和之积表示法	18
2.4 布尔表达式的化简	19
2.4.1 异或表达式的化简	24
2.4.2 卡诺图(积之和形式)	25
2.4.3 卡诺图(和之积形式)	26
2.4.4 卡诺图与任意项	27
2.4.5 扩展的卡诺图	28

2.5	假信号与冒险	29
2.5.1	静态冒险的消除 (积之和形式)	31
2.5.2	小结: 消除两级电路中的静态冒险	33
2.5.3	多级电路中的静态冒险	33
2.5.4	小结: 消除多级电路中的静态冒险	35
2.5.5	动态冒险	35
2.6	逻辑设计模块	37
2.6.1	与非-或非结构	37
2.6.2	多路复用器	40
2.6.3	多路解复用器	42
2.6.4	编码器	42
2.6.5	优先编码器	43
2.6.6	译码器	43
2.6.7	优先译码器	45
	参考文献	45
	习题	45
第3章	时序逻辑设计基础	47
3.1	存储单元	47
3.1.1	锁存器	47
3.1.2	透明锁存器	48
3.2	触发器	49
3.2.1	D 触发器	49
3.2.2	主从触发器	50
3.2.3	J-K 触发器	51
3.2.4	T 触发器	53
3.3	总线与三态器件	53
3.4	时序机设计	55
3.5	状态转移图	57
3.6	设计举例: BCD 码到余 3 码转换器	57
3.7	数据传输的串行线码转换器	62
3.7.1	用米利型 FSM 实现串行线码转换	63
3.7.2	用摩尔型 FSM 实现串行线码转换	65
3.8	状态化简与等价状态	67
	参考文献	69
	习题	69
第4章	Verilog 逻辑设计介绍	71
4.1	组合逻辑的结构化模型	71
4.1.1	Verilog 原语和设计封装	72
4.1.2	Verilog 结构化模型	73

4.1.3	模块端口	74
4.1.4	一些语言规则	74
4.1.5	自顶向下的设计和嵌套模块	74
4.1.6	设计层次和源代码结构	77
4.1.7	Verilog 矢量	78
4.1.8	结构化连接	78
4.2	逻辑系统, 设计验证与测试方法	81
4.2.1	Verilog 中的四值逻辑和信号解析	82
4.2.2	测试方法	83
4.2.3	测试平台信号发生器	84
4.2.4	事件驱动仿真	85
4.2.5	测试平台模板	86
4.2.6	有符号数	86
4.3	传播延时	86
4.3.1	惯性延时	89
4.3.2	传播延时	90
4.4	组合与时序逻辑的 Verilog 真值表模型	90
	参考文献	95
	习题	95
第 5 章	用组合与时序逻辑的行为级模型进行逻辑设计	97
5.1	行为建模	97
5.2	行为级建模的数据类型	98
5.3	基于布尔方程的组合逻辑行为级模型	98
5.4	传播延时与连续赋值	100
5.5	Verilog 中的锁存器和电平敏感电路	101
5.6	触发器和锁存器的周期性行为模型	103
5.7	周期性行为和边沿检测	103
5.8	行为建模方式的比较	105
5.8.1	连续赋值模型	105
5.8.2	数据流 / 寄存器传输级模型	106
5.8.3	基于算法的模型	109
5.8.4	端口名称: 风格问题	110
5.8.5	用行为级模型仿真	110
5.9	多路复用器, 编码器和译码器的行为模型	111
5.10	线性反馈移位寄存器的数据流模型	117
5.11	用重复算法模拟数字机	118
5.11.1	智能复用和参数化模型	121
5.11.2	时钟发生器	122
5.12	多循环操作状态机	123

5.13	包含函数和任务的设计文件：是成果还是愚蠢行为	125
5.13.1	任务	125
5.13.2	函数	126
5.14	行为建模的算法状态机图	127
5.15	算法状态机和数据通道图	130
5.16	计数器，移位寄存器和寄存器组的行为级模型	132
5.16.1	计数器	132
5.16.2	移位寄存器	136
5.16.3	寄存器组和寄存器（存储器）阵列	139
5.17	用于异步信号的去抖动开关，亚稳定性和同步装置	141
5.18	设计实例：键盘扫描器和编码器	145
	参考文献	152
	习题	152
第6章	组合逻辑与时序逻辑的综合	159
6.1	关于综合的介绍	159
6.1.1	逻辑综合	160
6.1.2	RTL 综合	166
6.1.3	高级综合	166
6.2	组合逻辑综合	168
6.2.1	优先级结构的综合	171
6.2.2	使用逻辑无关紧要条件的情况	172
6.2.3	ASIC 单元与资源共享	175
6.3	带锁存器的时序逻辑综合	177
6.3.1	锁存器的无意识综合	178
6.3.2	锁存器的有意识综合	181
6.4	三态器件的综合和总线接口	184
6.5	带有触发器的时序逻辑综合	186
6.6	确定状态机的综合	188
6.6.1	BCD 码到余 3 码转换器的综合	188
6.6.2	Mealy 型 NRZ 码到 Manchester 线性码转换器的综合	192
6.6.3	Moore 型 NRZ 到 Manchester 线性码的转换器综合	193
6.6.4	序列检测器的综合	195
6.7	寄存器逻辑	203
6.8	状态编码	207
6.9	模糊状态机，寄存器以及计数器的综合	209
6.9.1	模糊状态机	209
6.9.2	计数器综合	210
6.9.3	寄存器综合	211
6.10	复位	215

6.11 门控时钟与时钟使能综合	218
6.12 可预期的综合结果	219
6.12.1 数据类型综合	219
6.12.2 运算符分组	219
6.12.3 表达式替代	220
6.13 循环的综合	223
6.13.1 不带内嵌定时控制的静态循环	223
6.13.2 带内嵌定时控制的静态循环	226
6.13.3 不带内嵌定时控制的非静态循环	228
6.13.4 带内嵌定时控制的非静态循环	229
6.13.5 用状态机替代不可综合的循环	231
6.14 能够避免的设计陷阱	237
6.15 分割与合并: 设计划分	237
参考文献	238
习题	238
第7章 数据通路控制器的设计和综合	244
7.1 时序状态机的划分	244
7.2 设计举例: 二进制计数器	245
7.3 RISC 存储程序状态机的设计和综合	250
7.3.1 RISC SPM: 处理器	251
7.3.2 RISC SPM: ALU	252
7.3.3 RISC SPM: 控制器	252
7.3.4 RISC SPM: 指令集	252
7.3.5 RISC SPM: 控制器设计	254
7.3.6 RISC SPM: 程序的执行	265
7.4 设计举例: UART	267
7.4.1 UART 的操作	268
7.4.2 UART 发射机	269
7.4.3 UART 接收机	274
参考文献	285
习题	285
第8章 可编程逻辑器件和存储器件	295
8.1 可编程逻辑器件	296
8.2 存储器件	296
8.2.1 只读存储器	296
8.2.2 可编程 ROM	298
8.2.3 可擦除 ROM	299
8.2.4 基于 ROM 的组合逻辑实现	300
8.2.5 用于 ROM 的 Verilog 系统任务	301

8.2.6	ROM 的比较	303
8.2.7	基于 ROM 的状态机	303
✓ 8.2.8	闪存	306
✓ 8.2.9	静态随机存取存储器	306
8.2.10	铁电非易失性存储器	326
8.3	可编程逻辑阵列	326
8.3.1	PLA 最小化	328
8.3.2	PLA 建模	330
8.4	可编程阵列逻辑	332
8.5	PLD 的可编程性	333
8.6	复杂可编程逻辑器件	334
8.7	Altera MAX 7000 CPLD	334
8.7.1	可共享扩展器	336
8.7.2	并行扩展器	337
8.7.3	I/O 控制模块	338
8.7.4	对时序的考虑	338
8.7.5	器件资源	339
8.7.6	其他 Altera 器件系列	339
8.8	Xilinx XC9500 CPLD 系列	339
8.9	现场可编程门阵列	341
8.9.1	FPGA 在 ASIC 市场中的角色	342
✓ 8.9.2	FPGA 技术	343
8.10	Altera Flex 8000 FPGA	343
8.11	Altera Flex 10 FPGA	344
8.12	Altera Apex FPGA	348
✓ 8.13	Altera 芯片的可编程性	349
8.14	Xilinx XC4000 系列 FPGA	349
8.14.1	基本结构	350
8.14.2	XC4000 可配置逻辑模块	350
8.14.3	专用快速进位和借位逻辑	351
8.14.4	分布式 RAM	351
8.14.5	XC4000 互连资源	351
8.14.6	XC4000 I/O 模块	354
8.14.7	XC4000E 和 XC4000X 系列中的改进	355
8.14.8	Spartan 系列中的改进	355
8.15	Xilinx Spartan XL FPGA	356
8.16	Xilinx Spartan II FPGA	357
8.17	Xilinx Virtex FPGA	360
✓ 8.18	片上系统 (SoC) 的可嵌入可编程 IP 内核	361

8.19 基于 Verilog 的 FPGA 设计流程	361
8.20 FPGA 综合	362
参考文献	364
相关网站	364
习题	364
第 9 章 数字处理器的结构和算法	393
9.1 算法, 嵌套循环程序和数据流图	393
9.2 设计实例: 中间色调像素图像转换器	396
9.2.1 中间色调像素图像转换器的最基本设计	398
9.2.2 基于 NLP 的中间色调像素图像转换器结构	401
9.2.3 基于并发 ASMD 的中间色调像素图像转换器的结构	411
9.2.4 中间色调像素图像转换器: 设计权衡	422
9.2.5 带反馈数据流图的结构	422
9.3 数字滤波器和信号处理器	427
9.3.1 有限冲激响应滤波器 (FIR) 滤波器	430
9.3.2 数字滤波器设计过程	431
9.3.3 无限冲激响应 (IIR) 滤波器	434
9.4 建立信号处理器模块	437
9.4.1 积分器	437
9.4.2 微分器	440
9.4.3 抽选与插值滤波器	440
9.5 流水线结构	444
9.5.1 设计实例: 流水线型加法器	446
9.5.2 设计实例: 流水线型 FIR 滤波器	450
9.6 环形缓冲器	450
9.7 FIFO 以及跨越时钟域的不同步问题	455
参考文献	466
习题	466
第 10 章 算术处理器架构	473
10.1 数的表示方法	473
10.1.1 负整数的有符号数表示	474
10.1.2 负整数的 1 补表示方法	474
10.1.3 正数和负数的 2 补表示方法	475
10.1.4 小数的表示	476
10.2 加减法功能单元	476
10.2.1 行波进位加法器	476
10.2.2 超前进位加法器	476
10.2.3 上溢出和下溢出	481
10.3 乘法运算功能单元	481