

《电子技术基础》 数字部分

(第四版)

教师手册

华中理工大学电子学教研室编

杨 华 主编

高等教育出版社

《电子技术基础》数字部分

(第四版)

教师手册

华中理工大学电子学教研室编

杨 华 主编

高等教育出版社

内容简介

本书是为配合华中理工大学电子学教研室编、康华光和邹寿彬分别任主编和副主编的《电子技术基础》数字部分(第四版)教材而编写的教师手册。内容包括:《电子技术基础》数字部分(第四版)使用说明(教材主要特点,对各章重点、难点、深度及广度的要求,学时安排建议)、各章习题解答、ABEL语言对寄存器的描述及可编程逻辑器件的开发软件 ISP Synario 使用说明。

本手册的使用对象主要是电气信息类(包括原电子、电气、自控类)教师。希望它的出版有助于教授“电子技术基础”课程的教师进行教学、开展教学研究及提高教学质量。本手册也可供有关工程技术人员及各类自学人员参考。

图书在版编目(CIP)数据

《电子技术基础》数字部分(第四版)教师手册/杨
华主编;康华光等编. —北京:高等教育出版社,2001(2004重印)
ISBN 7-04-009860-1

I. 电… II. ①杨…②康… III. 数字电路-电子
技术-教学参考资料 IV. TN79

中国版本图书馆 CIP 数据核字(2001)第 10551 号

责任编辑 任庆陵 封面设计 王 睢 责任绘图 朱 静
版式设计 马静如 责任校对 王效珍 责任印制 杨 明

《电子技术基础》数字部分(第四版)教师手册
华中理工大学电子学教研室编

出版发行 高等教育出版社
社 址 北京市西城区德外大街 4 号
邮政编码 100011
总 机 010-82028899

购书热线 010-64054588
免费咨询 800-810-0598
网 址 <http://www.hep.edu.cn>
<http://www.hep.com.cn>

经 销 新华书店北京发行所
印 刷 中国农业出版社印刷厂

开 本 787×1092 1/16
印 张 14.5
字 数 350 000

版 次 2001年8月第1版
印 次 2004年1月第4次印刷
定 价 20.70元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

前 言

本书是为配合华中理工大学电子学教研室编、康华光和邵涛彬分别任主编和副主编的《电子技术基础》数字部分(第四版)教材而编写的教师手册。内容包括:《电子技术基础》数字部分(第四版)使用说明、各章习题解答、ABEL 语言对寄存器的描述及可编程逻辑器件的开发软件 ISP Synario 使用说明。希望本手册的出版有助于有关电子技术基础课程的教师进行教学、开展教学研究和提高教学质量。

参加本手册编写工作的有康华光(第 1、2 章习题解答)、彭立(第 3、4、5 章习题解答)、杨华【《电子技术基础》数字部分(第四版)使用说明和第 6、7 章习题解答】、张林(第 8 章习题解答)、彭容修(第 9、10 章习题解答)、秦臻(第 11 章习题解答)、罗杰(ABEL 语言对寄存器的描述及可编程逻辑器件的开发软件 ISP Synario 使用说明和各章的 CAD 习题解答)等。杨华为主编,负责全书的组织和定稿。在编写本手册的过程中,得到了康华光教授的热情指导和帮助。

限于编者水平及编写时间仓促,难免出现差错和不妥之处,敬请使用本手册的同志予以批评指正。

编者

2000 年 5 月于武汉华中理工大学

目 录

I	《电子技术基础》数字部分(第四版)使用说明	(1)
II	各章习题解答	(5)
	1 数字逻辑基础	(5)
	2 逻辑门电路	(10)
	3 组合逻辑电路的分析与设计	(25)
	4 常用组合逻辑功能器件	(50)
	5 触发器	(78)
	6 时序逻辑电路的分析与设计	(93)
	7 常用时序逻辑功能器件	(119)
	8 半导体存储器和可编程逻辑器件	(136)
	9 脉冲波形的产生与变换	(163)
	10 数模与模数转换	(177)
	*11 数字系统设计基础	(190)
III	ABEL 语言对寄存器的描述	(198)
IV	可编程逻辑器件的开发软件 ISP Synario 使用说明	(202)

I 《电子技术基础》数字部分(第四版) 使用说明

为了培养适应电子信息时代所需求的电子技术人才,本教材在第三版的基础上,经过教学改革与实践,对内容作了较大的修改和更新。下面首先介绍本教材的主要特点,然后对各章的重点、难点加以说明,对内容的取舍及讲授方法提出一些建议。

(一) 本教材的主要特点

1. 在保证本课程基本理论的系统性和基本内容完整性的原则下,精简了部分传统内容,如逻辑函数的化简,小规模集成电路等。

2. 以较大的篇幅增补了诸如 BiCMOS 门电路、GAL、CPLD、FPGA 等新器件和 EDA 新技术的内容。

3. 为了适应数字电路和数字系统的计算机辅助分析和设计的需要,新增了“数字系统的设计”一章。用硬件描述语言——ABEL 语言和相应的 ISP Synario 开发软件相结合,对系统设计的思路和方法作了引导性的介绍。

4. 为便于读者加深理解教材内容,本教材中重点、难点内容都配有相应的例题。在每节内容之后增加了富有启发性的复习思考题。改编了各章的小结和习题,并新增了 CAD 例题和习题。习题量、内容及难易程度覆盖了不同层次的教学要求。

(二) 对各章内容的重点、难点、深度及广度的要求

1. 数字逻辑基础

本章介绍的是数字逻辑的基本知识,包括数字信号、数字电路及其特点,数制与码制、基本逻辑运算等内容。通过本章的学习,要让学生正确理解一些常用术语或定义,如二值数字逻辑、逻辑电平、脉冲波形和数字波形等;掌握二进制、十六进制、十进制等不同数制之间的关系及相互转换规律;掌握数字系统中常用的几种 BCD 码(8421 码、2421 码和余 3 码)及可靠性编码,如格雷码等;初步建立逻辑变量与逻辑函数和与、或、非三种基本逻辑运算的概念;掌握逻辑问题的描述方法,为后续各章的学习打下基础。

2. 逻辑门电路

逻辑门电路是各种数字电路及数字系统的基本逻辑单元。

本章首先介绍半导体二极管、BJT 的开关特性,有利于读者理解门电路、数字电路及系统的工作速度。介绍 TTL 和 CMOS 两类集成门电路时,重点应放在它们的外部特性上,即它们的逻辑功能和外部电气特性(包括电压传输特性、输入特性、输出特性和动态特性等)。介绍门电路的内部结构(着重于输入级和输出级)和工作原理的目的在于帮助读者加深对器件外部特性的理解,以便更好地运用这些外特性。

为便于合理选择和正确使用数字集成器件,必须熟悉它们的主要参数,如输入、输出高低电平时的电压、电流范围、噪声容限、扇入数、扇出数、平均传输延迟时间及功耗等。逻辑门使用中

的接口问题及其他一些实际问题可由学生自学或通过习题来掌握。

对于数字逻辑电路的正、负两种逻辑体制,要求了解其概念及相互关系。

3. 组合逻辑电路的分析与设计

逻辑代数是本课程的基础理论,是分析和设计逻辑电路的数学工具,要求熟练掌握其基本定律和基本规则。

对逻辑函数的代数法化简和卡诺图法化简的介绍可作适当精简。

通过本章学习,应使学生掌握组合电路在电路结构和逻辑功能上的特点,掌握组合逻辑电路的分析与设计方法。不管是用小规模、中规模,还是用大规模集成电路设计组合电路,在多数情况下,将提出的设计要求进行逻辑抽象,再写出逻辑函数表达式这关键的两步是必不可少的。

对组合逻辑电路的竞争-冒险现象应讲清其产生原因和最基本的消除措施。

4. 常用组合逻辑功能器件

本章除了介绍常用组合逻辑器件的逻辑功能外,还要重点介绍这些逻辑器件上附加控制端(如使能端、选通输入端、片选端及禁止端等)的功能。使学生能够根据器件的功能表正确合理地运用这些控制端,最大限度地发挥所用器件的潜力,设计出任何其他逻辑功能的组合电路。

5. 触发器

触发器是时序逻辑电路的基本逻辑单元,能够存储1位二进制数据。

通过本章学习,要让学生清楚地理解,触发器的电路结构形式和触发方式与逻辑功能是两个不同的概念,它们之间没有固定的对应关系。按电路结构分类,有基本RS触发器、同步触发器、主从触发器和边沿触发器。电路结构不同,则触发方式不同。基本RS触发器用电平触发,同步触发器和主从触发器用脉冲触发,边沿触发器用脉冲边沿触发。按逻辑功能分类,有RS触发器、JK触发器、T触发器、D触发器。同一种电路结构的触发器可以构成不同的逻辑功能,而同一种逻辑功能的触发器也可以用不同的电路结构实现。

要熟练掌握触发器逻辑功能的几种描述方法(功能表、特性方程及状态转换图等)。正确理解触发器和脉冲工作特性。

6. 时序逻辑电路的分析与设计

本章首先扼要地讲述时序逻辑电路在逻辑功能及其描述方法和电路结构上的特点,然后详细介绍时序逻辑电路的分析方法和步骤,同步时序逻辑电路的设计方法和步骤。在设计步骤中,正确拟定原始状态表或原始状态图是最关键的、不可缺少的一步,也是较困难的一步。必须仔细分析题意,弄清所要实现的逻辑功能,并把注意力集中在确保其正确性上,而不要刻意追求最少的状态数目。

7. 常用时序逻辑功能器件

在介绍计数器、寄存器及移位寄存器等逻辑功能的基础上,重点介绍这些逻辑器件上的附加控制端的功能。使学生能够根据器件的功能表,正确合理地运用这些控制端,最大限度地发挥所用器件的潜力,设计出任何其他逻辑功能的时序电路。

8. 半导体存储器和可编程逻辑器件

半导体存储器是数字系统的重要组成部分。通过对RAM的介绍,使学生了解静态RAM和动态RAM的存储原理,以及存储器的一般结构和工作原理;重点掌握“存储单元”、“字”、“位”、“地址”、“地址单元”等基本概念,存储器的读/写控制;掌握存储器容量扩展的一般方法。对于

ROM,主要让读者了解各类 ROM 的特点,特别是可编程 ROM。正确理解可编程的概念。

可编程逻辑器件属大规模集成器件,应用非常广泛。因此,这部分内容作为本课程的基本内容来讲述。通过对 PAL、GAL 器件的介绍使读者正确理解用可编程逻辑阵列实现各种逻辑功能电路的基本原理。

作为 GAL 功能扩展的 CPLD,可简要介绍其结构和各部分的工作原理,突出“在线编程”的特点,对编程过程只做简单介绍。

在学时允许的条件下,可简要介绍 FPGA 的内容。编程的实现可作为实验课内容,在实验中解决。

9. 脉冲波形的产生与变换

多谐振荡器是直接产生矩形脉冲波形的基本单元电路,单稳态触发器和施密特触发器是最常用的两种波形变换电路。对于这几种电路,应重点介绍其工作原理、特点、波形分析法、参数计算及基本应用。

用波形分析法分析多谐振荡器及单稳态触发器时,关键在于通过对电路工作过程的分析正确地画出电路各点的电压波形,找出决定电路状态发生转换的控制电压。

555 定时器是一种应用广泛的集成电路,要求在熟悉其工作原理的基础上,熟练掌握由它组成的多谐振荡器、单稳态触发器和施密特触发器电路的工作原理、指标参数及电路元件参数的计算。

10. 数模与模数转换器

数模转换以倒 T 型电阻网络 D/A 转换器为主,在熟练掌握其工作原理的基础上,通过授课或作业方式了解其他类型的 D/A 转换器(如权电流型、权电阻型 D/A 转换器等)的工作原理。掌握单极性和双极性的输出方式和相应电路的组成。以 AD7520 为代表,掌握 D/A 转换器的典型应用。

掌握 A/D 转换的一般工作过程,并行比较 A/D 转换器,逐次比较 A/D 转换器和双积分型 A/D 转换器的工作原理及特点。

熟悉 D/A 和 A/D 转换器的主要技术指标及其实用意义。

11. 数字系统设计基础

本章对数字系统的设计作了入门性介绍,主要介绍了数字系统自上而下设计方法中常用的两种工具:算法状态机 ASM 图和寄存器传输语言 RTL。

用 ASM 图设计数字系统,首先要确定系统的逻辑功能,即划分出控制器和处理器,再根据控制器的状态转换画出其 ASM 图。用寄存器传输语言设计数字系统的关键是确定系统的工作状态,每个状态对应寄存器传输语言中的一步。最后根据 ASM 图或 RTL 画出数字系统的逻辑电路图。

编写本章的目的是让学生了解数字系统的组成,自上而下的设计方法及其步骤,以及如何用可编程逻辑器件实现数字系统。

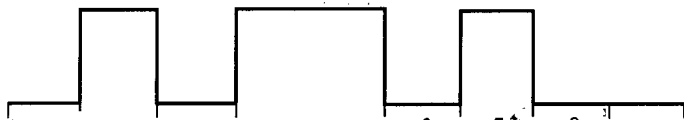
讲授本教材的计划学时为 51 学时左右,具体安排如下表(仅供参考)。本教材中打“*”号的章节为选讲内容。

章号	内 容	讲课学时	备 注
1	数字逻辑基础	3	
2	逻辑门电路	6	
3	组合逻辑电路的分析与设计	4	
4	常用组合逻辑功能器件	6	
5	触发器	3	
6	时序逻辑电路的分析与设计	4	
7	常用时序逻辑功能器件	4	
8	半导体存储器和可编程逻辑器件	8	
9	脉冲波形的产生与变换	4	
10	数模与模数转换器	5	
11	数字系统设计基础	2	
	机动	2	
总计		51	

II 各章习题解答

1 数字逻辑基础

1.1.1 一数字信号的波形如图题 1.1.1 所示,试问该波形所代表的二进制数是什么?



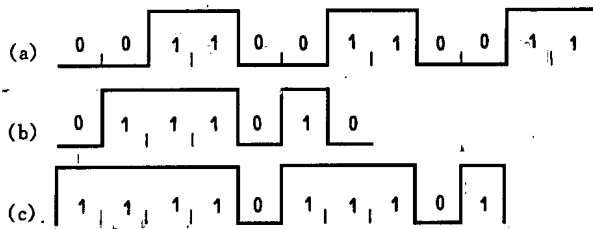
图题 1.1.1

解: 图题 1.1.1 的数字信号波形是串行数据传输的波形, 左边为最低位(LSD), 右边为最高位(MSB)。该波形所代表的二进制数为 **01011010**。

1.1.2 试绘出下列二进制数的数字波形, 设逻辑 1 的电压 = 5 V, 逻辑 0 的电压 = 0 V。

(1) 001100110011 (2) 0111010 (3) 1111011101

解: 题中所给的 3 个二进制数的数字波形如图题解 1.1.2a、b、c 所示。

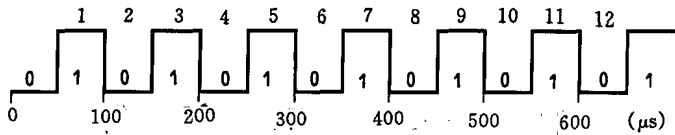


图题解 1.1.2

1.1.3 若某正逻辑波形如图题 1.1.3 所示, 试写出相应的逻辑值 1 和 0 (与标号 1~12 对应)。

解: 逻辑值 1 和 0 分别标出如图题 1.1.3 所示。

1.1.4 试就下列的逻辑值给出相应的脉冲波形, 设高电平(1)电压为 5 V, 低电平(0)电压



图题 1.1.3

为 0 V。

- (1) **001100110011** (2) **0111010** (3) **1111011101**

解：对应于题目中所给定三组逻辑值，其波形与图题解 1.1.2 相同。逻辑 0 对应于 0 V，逻辑 1 对应于 5 V。

1.2.1 试按表 1.2.1 所列的数字集成电路的分类依据，指出下列器件属于何种集成度器件：(1) 微处理器；(2) IC 计算器；(3) IC 加法器；(4) 逻辑门；(5) 4 兆位存储器 IC。

解：按照表 1.2.1 的分类依据，所列的五种器件分类如下：(1)、(5) 属超大规模；(2)、(3) 属中规模；(4) 属小规模。

1.3.1 将下列十进制数转换为二进制数、八进制数、十六进制数和 8421BCD 码(要求转换误差不大于 2^{-4})：

- (1) 43 (2) 127 (3) 254.25 (4) 2.718

解：此题的解答可分为四部分，即十—二、十—八、十—十六和十—8421BCD 转换。解题过程及结果如下：

1. 十—二转换

$(43)_D = (101011)_B$ ，其过程如图题解 1.3.1 所示。

$(127)_D = (1111111)_B$ ，此结果由 127 逐次

除 2 的余数得到。

$(254.25)_D = (11111110.01)_B$

此结果由两部分转换得来：整数部分

$(254)_D = (11111110)_B$ ，小数部分 $(.25)_D =$

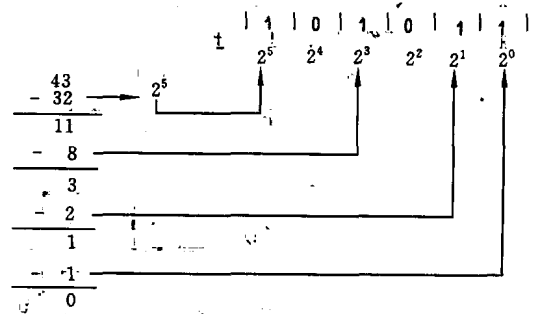
$(.01)_B$ 。

小数部分的演算过程如下：

相乘

$$0.25 \times 2 = 0.5 \cdots \cdots 0 \cdots \cdots b_{-1}$$

$$0.5 \times 2 = 1.0 \cdots \cdots 1 \cdots \cdots b_{-2}$$



图题解 1.3.1

将整数部分和小数部分的结果相加得 $(254.25)_D = (11111110.01)_B$ 。为了检查转换结果的误差，可将转换结果返回到十进制数，即 $2^7 + 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 2^{-2} = 254.25$ ，可见没有转换误差。

$(2.718)_D = (10.10110111)_B$

此结果仍分为两部分得来，其中整数部分 $(2)_D = (10)_B$ ，小数部分 $(0.718)_D = (0.10110111)_B$ 。其演算过程如下：

$$0.718 \times 2 = 1.436 \cdots \cdots 1 \cdots \cdots b_{-1}$$

$$0.436 \times 2 = 0.872 \cdots \cdots 0 \cdots \cdots b_{-2}$$

$$0.872 \times 2 = 1.744 \cdots \cdots 1 \cdots \cdots b_{-3}$$

$$0.744 \times 2 = 1.488 \cdots \cdots 1 \cdots \cdots b_{-4}$$

$$0.488 \times 2 = 0.976 \cdots \cdots 0 \cdots \cdots b_{-5}$$

$$0.976 \times 2 = 1.952 \cdots \cdots 1 \cdots \cdots b_{-6}$$

$$0.952 \times 2 = 1.904 \cdots \cdots 1 \cdots \cdots b_{-7}$$

$$0.904 \times 2 = 1.808 \cdots \cdots 1 \cdots \cdots b_{-8}$$

$$\begin{aligned} \text{两部分结果之和为 } (2.718)_D &= (10.10110111)_B \\ &= 2^1 + 2^{-1} + 2^{-3} + 2^{-4} + 2^{-6} + 2^{-7} + 2^{-8} \\ &= 2.6875, \text{ 误差} < 2^{-4} \end{aligned}$$

2. 十-八转换

仿照十-二转换的方法,同样可以获得十-八转换的结果。现以 $(254.25)_D$ 转换为八进制数为例来说明。对于整数部分,可以逐步除8来求得:

$$\begin{array}{r} 8 \overline{) 254} \cdots \cdots \text{余 } 6 \cdots \cdots O_0 \\ \underline{8 \times 31} \\ 31 \cdots \cdots \text{余 } 7 \cdots \cdots O_1 \\ \underline{8 \times 3} \\ 3 \cdots \cdots \text{余 } 3 \cdots \cdots O_2 \end{array}$$

由此得 $(254)_D = (376)_O$ 。

对于小数部分0.25,仿照式(1.3.5),对应于 $b_{-1}, b_{-2} \cdots b_{-n}$,这里变为 $O_{-1}, O_{-2} \cdots O_{-n}$,其演算过程如下:

$$0.25 \times 8 = 2.0 \cdots \cdots 2 \cdots \cdots O_{-1}$$

上式表明

$$(254.25)_D = (11111110.010)_B = (376.2)_O$$

这里应当注意,在转换过程中,将每3位二进制数对应于1位八进制数,整数部分由低位到高位划分,小数部分不够3位的,低位补0。

因此,前述4个十进制数转换二进制数和八进制数可归纳如下:

$$(43)_D = (101\ 011)_B = (53)_O$$

$$(127)_D = (1\ 111\ 111)_B = (177)_O$$

$$(254.25)_D = (11\ 111\ 110.010)_B = (376.2)_O$$

$$(2.718)_D = (10.101110)_B = (2.56)_O$$

3. 十-十六转换

这种转换可以仿效十-二转换的方法来实现。也可从十-二-十六转换的结果求得

$$(43)_D = (10\ 1011)_B = (2B)_H$$

$$(127)_D = (111\ 1111)_B = (7F)_H$$

$$(254.25)_D = (1111\ 1110.0100)_B = (FE.4)_H$$

$$(2.718)_D = (10.1011\ 0111)_B = (2.B7)_H$$

4. 十-8421BCD

$$(43)_D = (0100\ 0011)_{BCD}$$

$$(127)_D = (0001\ 0010\ 0111)_{BCD}$$

$$(254.25)_D = (0010\ 0101\ 0100.0010\ 0101)_{BCD}$$

$$(2.718)_D = (0010.0111\ 0001\ 1000)_{BCD}$$

1.3.2 将下列数码作为自然二进制数或 8421BCD 码时,分别求出相应的十进制数。

(1) 10010111 (2) 100010010011 (3) 000101001001

解: 首先列出二进数的位权表

2^{11}	2^{10}	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
2048	1024	512	256	128	64	32	16	8	4	2	1

$$(1) (10010111)_B = 1 \times 2^7 + 1 \times 2^4 + 1 \times 2^2 + 1 \times 2^1 + 2^0 = (151)_D$$

$$(10010111)_{8421BCD} = (97)_D$$

$$(2) (100010010011)_B = 1 \times 2^{11} + 1 \times 2^7 + 1 \times 2^4 + 1 \times 2^1 + 1 \times 2^0 = (2195)_D$$

$$(100010010011)_{8421BCD} = (893)_D$$

$$(3) (000101001001)_B = 1 \times 2^8 + 1 \times 2^6 + 1 \times 2^3 + 1 \times 2^0 = (329)_D$$

$$(000101001001)_{8421BCD} = (149)_D$$

1.3.3 将下列每一二进制数转换为十六进制码:

(1) (101001)_B (2) (11.01101)_B

解: (1) (10 1001)_B = (29)_H

(2) (11.01101)_B = (3.68)_H

1.3.4 将下列十进制数转换为十六进制数:

(1) (500)_D (2) (59)_D (3) (0.34)_D (4) (1002.45)_D

解: (1) 将 500 连除以 16 如下:

$$\begin{array}{r} 16 \overline{) 500} \cdots \cdots \text{余 } 4 \\ \underline{16 } \\ 31 \cdots \cdots \text{余 } 15 \\ \underline{16 } \\ 1 \cdots \cdots \text{余 } 1 \\ 0 \end{array}$$

由此得 (500)_D = (1F4)_H。

(2) 将 59 连除以 16 如下:

$$\begin{array}{r} 16 \overline{) 59} \cdots \cdots \text{余 } 11 \\ \underline{16 } \\ 3 \cdots \cdots \text{余 } 3 \\ 0 \end{array}$$

由此得 (59)_D = (3B)_H。

(3) 将 0.34 连乘 16 如下:

$$\begin{aligned}
0.34 \times 16 &= 5.44 \cdots \cdots 5 \\
0.44 \times 16 &= 7.04 \cdots \cdots 7 \\
0.04 \times 16 &= 0.64 \cdots \cdots 0 \\
0.64 \times 16 &= 10.24 \cdots \cdots 10
\end{aligned}$$

由此得 $(0.34)_D = (0.570A)_H$ 。

转换误差校核：

$$(0.570A)_H = 5 \times 16^{-1} + 7 \times 16^{-2} + 10 \times 16^{-3} + 10 \times 16^{-4} = 0.3399$$

(4) 将 $(1002.45)_D$ 分为整数和小数两部分转换：

将整数 1002 连除以 16 如下：

$$\begin{array}{r}
16 \overline{) 1002} \cdots \cdots \text{余 } 10 \\
\quad 16 \overline{) 62} \cdots \cdots \text{余 } 14 \\
\quad \quad 16 \overline{) 3} \cdots \cdots \text{余 } 3 \\
\quad \quad \quad 0
\end{array}$$

所以， $(1002)_D = (3EA)_H$ 。

将小数部分连乘 16 如下：

$$\begin{aligned}
0.45 \times 16 &= 7.2 \cdots \cdots 7 \\
0.2 \times 16 &= 3.2 \cdots \cdots 3 \\
0.2 \times 16 &= 3.2 \cdots \cdots 3 \\
0.2 \times 16 &= 3.2 \cdots \cdots 3
\end{aligned}$$

故 $(0.45)_D = (0.7333)_H$ 。

转换误差校核：

$$(0.45)_D = 7 \times 16^{-1} + 3 \times 16^{-2} + 3 \times 16^{-3} + 3 \times 16^{-4} = 0.4499$$

1.3.5 将下列十六进制数转换为二进制数：—

(1) $(23F.45)_H$ (2) $(A040.51)_H$

解：(1) $(23F.45)_H = (0010 \ 0011 \ 1111.0100 \ 0101)_B$

(2) $(A040.51)_H = (1010 \ 0000 \ 0100 \ 0000.0101 \ 0001)_B$

1.3.6 将下列十六进制数转换为十进制数：

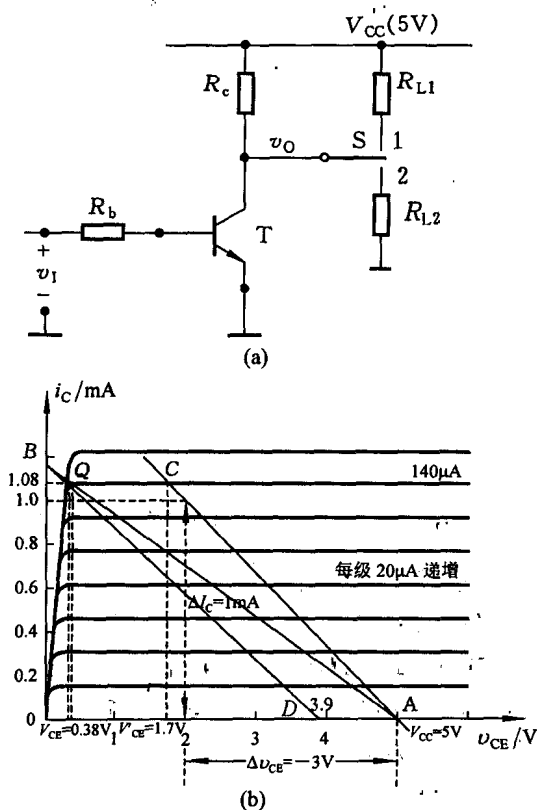
(1) $(103.2)_H$ (2) $(A45D.0BC)_H$

解：(1) $(103.2)_H = 1 \times 16^2 + 3 \times 16^0 + 2 \times 16^{-1} = (259.125)_D$

$$\begin{aligned}
(2) (A45D.0BC)_H &= 10 \times 16^3 + 4 \times 16^2 + 5 \times 16^1 + \\
&\quad 13 \times 16^0 + 0 \times 16^{-1} + 11 \times 16^{-2} + 12 \times 16^{-3} \\
&\approx (42077.0459)_D
\end{aligned}$$

2 逻辑门电路

2.2.1 图题 2.2.1a 表示一 BJT 反相器电路, 图 b 为 BJT 的输出 $v-i$ 特性。试求解下列问题: (1) 设图 a 中的参数为: $V_{CC}=5\text{ V}$, $R_c=4.3\text{ k}\Omega$, $R_b=30\text{ k}\Omega$, $v_I=5\text{ V}$, 用图解法求 Q 点 (I_B 、 I_C 、 V_{CE}); (2) 若将开关 S 置于位置 1, 并设 $R_{L1}=10\text{ k}\Omega$, 问此时 $V_{CE}=?$ 并说明 R_{L1} 大小或 $R'_c=R_c \parallel R_{L1}$ 大小的变化, 对 V_{CE} 值有何影响, 从而检查 BJT 的饱和深度; (3) 若电路其他参数不变, 将 S 置于位置 2, 并设 $R_{L2}=15\text{ k}\Omega$, 问此时的 $V_{CE}=?$



图题 2.2.1

解: (1) ①在图题 2.2.1b 所示 BJT 的输出特性上作负载线 AB;

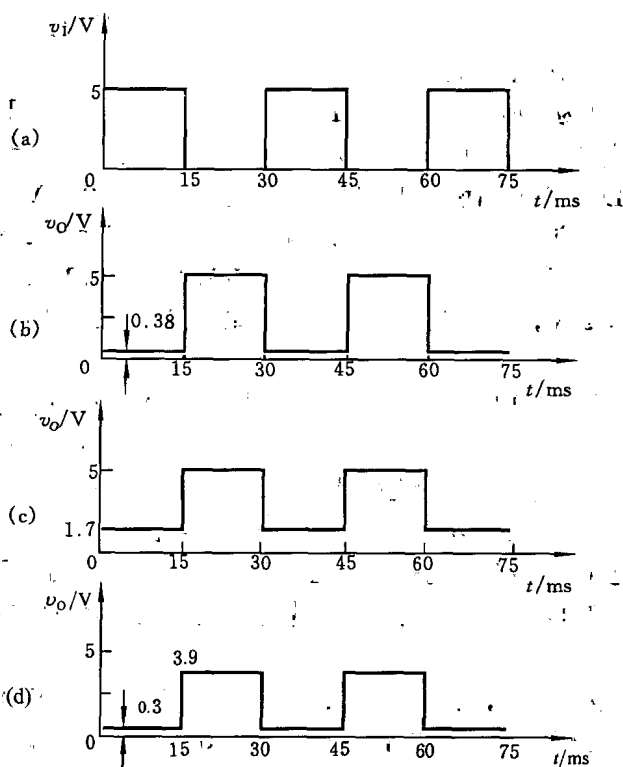
② 求 Q 点: $I_B = \frac{v_I - 0.7\text{ V}}{R_b} = \frac{(5\text{ V} - 0.7\text{ V})}{30\text{ k}\Omega} = 143\text{ }\mu\text{A}$, 得 Q 点如图 b 所示。相应的 $I_C = 1.08\text{ mA}$, $V_{CE} = 0.38\text{ V}$ 。

(2) 当开关 S 置于位置 1 时, $R'_c = R_c // R_L = (4.3 \text{ k}\Omega)(10 \text{ k}\Omega)/(4.3 \text{ k}\Omega + 10 \text{ k}\Omega) \approx 3 \text{ k}\Omega$, 相应的负载线如图题 2.2.1b 中的 AC 所示(取 $\Delta i_C = 1 \text{ mA}$, $\Delta v_{CE} = -3 \text{ V}$)。由图可知, v_{CE} 从原来的 $V_{CE} = 0.38 \text{ V}$, 变为 $v_{CE} = V'_{CE} = 1.7 \text{ V}$ 。由此可以看出, 负载电阻 R'_c 愈小, V_{CE} 值愈大, 即 BJT 的饱和深度降低, 甚至退出饱和区。

(3) 当开关 S 置于位置 2 时, 相应的负载线如图题 2.2.1b 中的 BD 所示。根据戴维宁定理, 此时的等效电源电压 $V'_{CC} = V_{CC}R_{L2}/(R_c + R_{L2})$, 等效负载电阻 $R'_c = R_c // R_{L2}$, 负载线方程为 $v_{CE} = V'_{CC} - i'_C R'_c$ 。由图可知, $V'_{CE} \approx 0.3 \text{ V}$ 。

2.2.2 在图题 2.2.1a 所示的电路中: (1) 开关 S 悬空, 当输入端接入 $0 \sim 5 \text{ V}$ 的方波脉冲信号, 试近似绘出 v_O 的波形; (2) 当 S 分别置于位置 1 和 2 时, v_O 波形的幅值有何变化?

解: (1) 当开关 S 悬空时, 若输入端加 $0 \sim 5 \text{ V}$ 的方波脉冲信号, 如图题解 2.2.2a 所示, 其输出电压 $v_O(v_C)$ 的波形如图题解 b 所示。



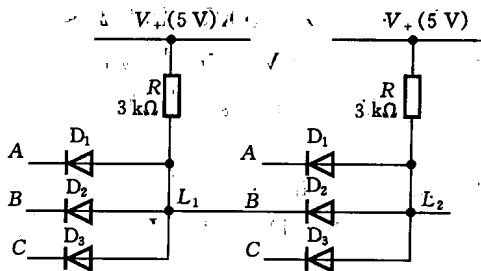
图题解 2.2.2

(a) 输入电压 v_i 的波形; (b) 当开关 S 悬空时, v_O 的波形; (c) 当 S 接通时的 $v_O(v_C)$ 波形。

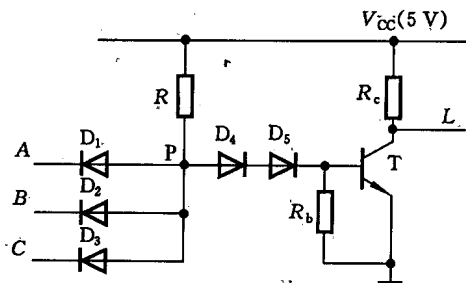
(2) ① 当 S 置于位置 1 时, 输出电压 $v_O(v_C)$ 波形如图题解 2.2.2c 所示。

当 S 置于位置 2 时, 输出电压 $v_O(v_C)$ 波形如图题解 2.2.2d 所示。

2.3.1 图题 2.3.1 表示二极管与门带同类与门负载的情况, 若门的级数愈多, 则每级门的输出电压 v_O 将作怎样的变化趋势? 如何解决此缺点?



图题 2.3.1



图题 2.3.2

解：(1) 当门电路的级数愈多时，由于每级门的输出电阻较高，因而输出电压将逐级下降；
(2) 用增加反相器的方法可以改善这一缺点。

2.3.2 图题 2.3.2 表示一由二极管与门和 BJT 反相器结合的二极管 BJT 与非门电路(称为 DTL 电路)，以解决图题 2.3.1 所示电路存在的问题，试分析该电路为什么能实现与非逻辑关系？二极管 D_4 、 D_5 起什么作用，可否省略 D_5 ？

解：(1) 图题 2.3.2 为二极管与门和 BJT 反相器组合而成的与非门(DTL 逻辑门电路)。电路中的二极管 D_4 、 D_5 与电阻 R_b 组成分压器对 P 点的电位进行变换。当 A、B、C 三端都是高电平时(如 +5 V)， $D_1 \sim D_3$ 均截止，而 D_4 、 D_5 和 T 均导通， $V_P \approx 3 \times 0.7 \text{ V} = 2.1 \text{ V}$ ， D_4 、 D_5 呈现低电阻，使流入 BJT 的基极电流 I_B 足够大，从而使 BJT 饱和导通， $V_L \approx 0.2 \text{ V}$ ，即输出为低电平。

当 A、B、C 三端中只要有一个为低电平时(0.2 V)； $V_P = (0.2 + 0.7) \text{ V} = 0.9 \text{ V}$ 时， D_4 、 D_5 和 T 均将截止， $v_L \approx +5 \text{ V}$ ，即输出为高电平。由此可见，该逻辑门电路具有逻辑关系 $L = \overline{A \cdot B \cdot C}$ 。

(2) D_4 、 D_5 起电平移动作用，体现在两方面：首先，当输入端有一个为低电平时， $V_P = 0.9 \text{ V}$ ，分配到 D_4 、 D_5 和 BJT 的 be 结，可使 BJT 可靠地截止。其次，当 3 输入端均为高电平时，输出为低电平，此时若有干扰(或噪声电压)从输入端混入，它将分配到两个二极管和 BJT 的 be 结上。这时落实到 be 结上的噪声电压减小，提高了与非门的噪声容限。

2.4.1 为什么说 TTL 与非门的输入端在以下 4 种接法下都属于逻辑 0：(1) 输入端接地；(2) 输入端接低于 0.8 V 的电源；(3) 输入端接同类与非门的输出低电压 0.2 V；(4) 输入端通过 500 Ω 的电阻接地。

解：对于 TTL 门电路来说，低电平的标准电压值为： $V_{OL} = 0.4 \text{ V}$ ； $V_{IL} = 0.8 \text{ V}$ 。这样，题中的(1)、(2)、(3)三问都在低电平范围内，故将属于逻辑 0。至于(4)问，以基本的 TTL 电路为例， $R_{b1} = 4 \text{ k}\Omega$ ，电源电压 $V_{CC} = 5 \text{ V}$ ，分配在 R_{b1} 、 T_1 的 be 结($V_{BE} = 0.7 \text{ V}$)和 500 Ω 电阻上，可以推算 $V_{500\Omega} < 0.8 \text{ V}$ ，故亦属逻辑 0。

2.4.2 为什么说 TTL 与非门的输入端在以下 4 种接法下都属于逻辑 1：(1) 输入端悬空；(2) 输入端接高于 2 V 的电源；(3) 输入端接同类与非门的输出高电压 3.6 V；(4) 输入端接 10 kΩ 的电阻到地。

解：对于 TTL 门电路来说，高电平的标准电压值为 $V_{OH} = 2.4 \text{ V}$ ， $V_{IH} = 2 \text{ V}$ 。这样，对于(2)、(3)两问，由于输入电压分别为 2 V 和 3.6 V，属高电平，故为逻辑 1。

当输入端悬空时，以基本的 TTL 门电路为例， T_1 的 $i_E = 0$ ，集电结正偏， T_2 、 T_3 饱和导通，可