



普通高等教育“十一五”国家级规划教材 计算机系列教材



北京市高等教育精品教材立项项目

数字逻辑设计

薛宏熙 胡秀珠 编著



内附光盘

清华大学出版社





普通高等教育“十一五”国家级规划教材 计算机系列教材



北京市高等教育精品教材立项项目

薛宏熙 胡秀珠 编著

数字逻辑设计



清华大学出版社
北京

内 容 简 介

全书共分8章和两个附录,第1章是逻辑电路导论,第2章介绍门电路的物理实现和特性,第3~4章介绍各种组合逻辑电路及其优化实现,第5章介绍触发器和寄存器,第6章介绍同步时序电路,第7章介绍异步时序电路,第8章以实例介绍数字系统的特点和设计方法,附录A介绍EDA工具Quartus II,附录B介绍硬件描述语言VHDL。本书附有光盘,其中包含Quartus II网络版安装软件、本书中的图片、表格以及VHDL源代码,方便学生学习和教师制作课件。

本书的特点是引入电子设计自动化(Electronic Design Automation, EDA)工具和硬件描述语言VHDL,使理论教学和上机实践相结合,使学习基本原理和掌握设计方法相结合。

本书可作为高等院校计算机、自动化、电子工程及相关专业“数字逻辑”课程的教材,也可作为从事相关工作的工程技术人员的参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

数字逻辑设计/薛宏熙,胡秀珠编著. —北京:清华大学出版社,2008.10

(计算机系列教材)

ISBN 978-7-302-18609-0

I. 数… II. ①薛… ②胡… III. 数字电路—逻辑设计—高等学校—教材 IV. TN79

中国版本图书馆CIP数据核字(2008)第146090号

责任编辑:战晓雷 薛 阳

责任校对:焦丽丽

责任印制:杨 艳

出版发行:清华大学出版社

地 址:北京清华大学学研大厦A座

<http://www.tup.com.cn>

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

印 装 者:清华大学印刷厂

经 销:全国新华书店

开 本:185×260

印 张:21.75

字 数:530千字

版 次:2008年10月第1版

印 次:2008年10月第1次印刷

(附光盘1张)

印 数:1~4000

定 价:33.00元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。
联系电话:010-62770177 转 3103 产品编号:028366-01

读者意见反馈

亲爱的读者：

感谢您一直以来对清华版计算机教材的支持和爱护。为了今后为您提供更优秀的教材，请您抽出宝贵的时间来填写下面的意见反馈表，以便我们更好地对本教材做进一步改进。同时如果您在使用本教材的过程中遇到了什么问题，或者有什么好的建议，也请您来信告诉我们。

地址：北京市海淀区双清路学研大厦 A 座 602 计算机与信息分社营销室 收
邮编：100084 电子邮件：jsjjc@tup.tsinghua.edu.cn
电话：010-62770175-4608/4409 邮购电话：010-62786544

教材名称：数字逻辑设计

ISBN：978-7-302-18609-0

个人资料

姓名：_____ 年龄：_____ 所在院校/专业：_____

文化程度：_____ 通信地址：_____

联系电话：_____ 电子信箱：_____

您使用本书是作为：指定教材 选用教材 辅导教材 自学教材

您对本书封面设计的满意度：

很满意 满意 一般 不满意 改进建议_____

您对本书印刷质量的满意度：

很满意 满意 一般 不满意 改进建议_____

您对本书的总体满意度：

从语言质量角度看 很满意 满意 一般 不满意

从科技含量角度看 很满意 满意 一般 不满意

本书最令您满意的是：

指导明确 内容充实 讲解详尽 实例丰富

您认为本书在哪些地方应进行修改？（可附页）

您希望本书在哪些方面进行改进？（可附页）

电子教案支持

敬爱的教师：

为了配合本课程的教学需要，本教材配有配套的电子教案（素材），有需求的教师可以与我们的联系，我们将向使用本教材进行教学的教师免费赠送电子教案（素材），希望有助于教学活动的开展。相关信息请拨打电话 010-62776969 或发送电子邮件至 jsjjc@tup.tsinghua.edu.cn 咨询，也可以到清华大学出版社主页（<http://www.tup.com.cn> 或 <http://www.tup.tsinghua.edu.cn>）上查询。

普通高等教育“十一五”国家级规划教材 计算机系列教材

- C/C++与数据结构(第3版)上册 王立柱 编著
- C/C++与数据结构(第3版)(上册)习题解答与实验指导 刘志红、薛其华 著
- 数据库系统设计与原理(第2版) 冯建华、周立柱 编著
- 数据库专题训练 冯建华、周立柱 编著
- 计算机组成与设计 薛宏熙、胡秀珠 编著
- 计算机操作系统教程(第3版) 张尧学、史美林、张高等 编著
- 计算机操作系统教程(第3版)习题解答与实验指导 张尧学等 编著
- 数字逻辑设计 薛宏熙、胡秀珠 编著

主 任：周立柱

副 主 任：王志英 李晓明

编委委员：（按姓氏笔画为序）

汤志忠 孙吉贵 杨 波

岳丽华 钱德沛 谢长生

蒋宗礼 廖明宏 樊晓桢

责任编辑：马瑛珺

数字逻辑是计算机、自动化和电子工程等专业的本科生核心课程之一,编写本书的基本出发点是理论与实践相结合,基本理论与新的设计方法相结合。这里所说的新的设计方法是指硬件描述语言(Hardware Description Language, HDL)和设计自动化工具(Electronic Design Automation, EDA)。

在没有先进的 EDA 工具的条件下,只能依靠纸和笔进行手工设计,费时费力效果差。使用 EDA 工具后局面将大为改观,其主要优点是:

(1) 设计者工作的重点是在理论的指导下对目标电路作精确的描述,将烦琐的细节工作交给 EDA 工具去做,有利于设计大规模的数字系统。

(2) 检验一个设计正确与否可以在 EDA 工具(模拟验证)的帮助下完成,从而使设计者具备自我检查的能力。

(3) 通过实践完成一个特定的任务,必然印象深刻,并且这个设计不是纸面上的图形和文字,而是可以提交给 EDA 工具、可直接被综合为集成电路的设计。虽然学习 EDA 工具的使用方法以及学习 VHDL 都需要花费一定的时间和精力,但是这种付出和收获相比,收获将远大于付出。从教学改革的角度看,这种教学实践实现了和国际接轨,学校教育和产业界接轨。

高等教育强调创新人才的培养,重大理论的创新固然可贵,技术创新、产品创新也具有重要价值。从培养创新型人才出发,本课程必须强调基本理论,其理由是:

(1) 理论是应用的基石。

(2) 只有掌握基本的理论知识才能更好地使用 EDA 工具。

(3) 理论本身也需要继承和创新,如果不在原有的基本理论上创新,就不可能产生今天的 EDA 工具,而 EDA 工具的进一步发展仍需依赖理论的创新。限于篇幅,本书对有关 EDA 方面的理论有所涉及但涉及不深。

培养创新人才需要通过各个教学环节来实现,对于本课程来说,除了用纸、笔完成适量的作业以巩固理论知识之外,更多的练习是使用 EDA 工具完成一系列设计。学生完成一个设计任务后,谁能告诉他这个设计是否与预期功能相符?是 EDA 工具! EDA 工具提供的模拟波形将显示该目标电路的行为特性。这创造了一个自主学习的环境,当学生完成了一个个任务之后,将逐渐树立信心,使他有勇气面对新的挑战。

易学易懂是本书的一个重要目标。为此,在每章的开头有【课前思考】和【学习指南】,为学习本章提供指导性意见,每章的末尾有习题供学生做练习。在文字表述上,尽量避免长篇

的文字描述,而尽量多用图形、表格和提纲等方式,以醒目的方式介绍有关知识。本书在取材方面以基本内容为主,当涉及某些难度较大而又需要一般了解的知识点时,本书给有关章节打上星号,提示有关内容不属于基本要求。

数字集成电路技术发展到今天,特点之一是集成度很高,单个芯片内可以包含几百万至几千万个逻辑门,可以容纳中等规模的数字系统,因而称作片上系统(System On Chip, SOC)。过去以中小规模集成电路为基础的芯片(例如 74 系列)将不再是我们注视的焦点,因而略去有关内容,而把重点转向目标电路的行为描述以及调用 EDA 工具所提供的库元件。特点之二是本书引入了 EDA 工具,因而逻辑元件的符号也采用 EDA 工具所使用的国际通用符号。以上两点和国内某些同类教科书有所不同,在此加以说明。

实践环节可分为两个层次:第一个层次是使用 EDA 工具进行设计和模拟验证,只要有微型计算机的地方就可以进行,对学生十分方便。第二个层次是在实验装置上作硬件实验。前者的优点是条件容易满足;后者的优点是真实的硬件实验,而不是软件模拟的结果。具体做法视学校的具体条件而定。

本书采用的 EDA 工具是 ALTERA 公司的 Quartus II,该公司有一个支持教育的大学计划(University Program),为学生免费提供 Quartus II 学生版。在此感谢 ALTERA 公司,感谢他们为学校的理论教学和上机实验相结合提供了实验平台。

全书共分 8 章和两个附录。第 1 章是逻辑电路导论,介绍数字电路的表示方法、逻辑代数以及化简逻辑函数的基本方法。第 2 章介绍数字集成电路的基本元件,讨论门电路的物理实现和特性。数字电路分为组合逻辑电路和时序逻辑电路。第 3~4 章介绍各种组合逻辑电路及其优化实现。第 5 章介绍时序电路中的记忆元件:锁存器、触发器和寄存器。第 6 章介绍同步时序电路的理论和设计方法,是全书的重点。第 7 章介绍异步时序电路,帮助读者从理论的高度认识时序电路,由于难度较大、需要较多学时,作者用星号标记其为选修内容。第 8 章介绍几个规模较大的数字系统,以实例展示数字系统的设计方法。第 8 章是第 6 章的延伸和提高,建议在学完第 6 章之后,以自学加实验的方式完成第 8 章的学习。

附录 A 介绍 Quartus II,通过精选的实例进行引导,读者可以跟随这些例子并实际操作,从而掌握 Quartus II 的使用方法和技巧。附录 B 介绍硬件描述语言 VHDL。

从第 3 章开始,理论学习要和上机实验相结合,这就必然涉及 EDA 工具 Quartus II 和硬件描述语言 VHDL。在学习方法上,我们不是先学习了 Quartus II 和 VHDL 之后才学第 3 章以及此后的章节。建议初学者先快速浏览附录 A 和附录 B,然后在学习有关理论知识的过程中边学边查,穿插进行。先对 Quartus II 和 VHDL 有个粗略的了解,最后达到全面掌握。教师讲课时,也可以在讲第 3 章之前用 2 个课时简单介绍 Quartus II,然后布置作业让学生在实践中逐步掌握 Quartus II 的使用方法和技巧。

有关 Quartus II、VHDL 及可编程逻辑器件的详细资料,可参阅文献[3~5]、[15~16]。

本书的适用对象是大学本科生以及想通过自学掌握数字电路设计的工程技术人员。

本书附有光盘,其中包含 EDA 工具 Quartus II,使读者得以方便地使用该软件;光盘中还包含本书中所有图片、表格以及 VHDL 源代码,方便学生学习和教师制作课件。作者将习题解答放置在清华大学出版社网站,教师向出版社提供身份证明后可免费下载。

致谢

研究生李财品阅读了本书的第 1~7 章,提出了许多宝贵意见。许忠信博士对部分内容进行了审校。ALTERA 公司中国区项目经理徐平波为本书提供了 EDA 工具 Quartus II 网络版并授权发行。在此一并致谢。

本书得到国家 985 项目和北京市高等教育精品教材建设项目的支持。

限于作者的经验和水平,错误或不当之处在所难免,欢迎读者和使用此教科书的教师、学生提出宝贵意见。电子邮箱地址: xuehx@tsinghua.edu.cn。

作 者

2008 年 7 月于清华园

P r e f a c e

第 1 章 逻辑电路导论	/1
1.1 开关电路数学表示方法初步	/1
1.1.1 真值表	/1
1.1.2 二进制编码	/2
1.1.3 真值表的常见形式	/3
1.1.4 分析与综合	/3
1.2 逻辑代数	/4
1.2.1 逻辑代数的基本运算	/4
1.2.2 逻辑函数	/6
1.2.3 逻辑代数的基本公式和运算规则	/6
1.3 用与门、或门和非门进行逻辑综合	/9
1.4 公式法化简逻辑函数	/10
1.5 卡诺图	/12
1.5.1 卡诺图是真值表的图形表示	/12
1.5.2 用卡诺图化简逻辑函数	/12
1.5.3 概念提升	/16
1.6 逻辑函数的标准形式	/18
1.6.1 函数的“积之和”表达式	/18
1.6.2 函数的“和之积”表达式	/18
1.6.3 两种表达形式的互换	/19
1.6.4 包含无关项的逻辑函数的化简	/20
* 1.7 表格法化简逻辑函数	/22
* 1.7.1 求质蕴含项集合	/23
* 1.7.2 求最小覆盖	/25
1.7.3 表格法小结	/31
1.8 解题示例	/32
【本章小结】	/33
【习题】	/34
第 2 章 数字集成电路的基本元件——门电路	/36
2.1 概述	/36
2.2 TTL 集成门电路	/39
2.2.1 TTL 与非门简介	/39

- 2.2.2 TTL与非门的外特性及其参数 /40
- 2.2.3 集电极开路的与非门 /43
- 2.2.4 TTL三态门 /44
- 2.3 MOS场效应晶体管 /45
- 2.4 MOS门电路 /49
 - 2.4.1 NMOS门电路 /49
 - 2.4.2 CMOS门电路 /51
 - 2.4.3 其他类型的CMOS门电路 /53
 - 2.4.4 CMOS逻辑门电性能分析 /55
 - 2.4.5 不同类型逻辑门的配合问题 /57
- 2.5 74系列中小规模集成电路芯片 /57
- 2.6 可编程逻辑器件 /57
 - 2.6.1 可编程逻辑阵列PLA /58
 - 2.6.2 可编程阵列逻辑PAL和GAL /58
 - 2.6.3 复杂可编程器件 /59
 - 2.6.4 现场可编程门阵列 /59
 - 2.6.5 可编程开关的物理实现 /60
 - 2.6.6 CPLD和FPGA特点比较 /62
- 【本章小结】 /62
- 【习题】 /63

第3章 组合逻辑电路的优化实现 /65

- 3.1 组合逻辑电路的特点与优化实现 /65
- 3.2 单输出函数和多输出函数 /66
 - 3.2.1 多输出函数的化简 /66
 - 3.2.2 多输出函数的优化实现 /69
 - 3.2.3 用EDA工具优化实现组合逻辑电路示例 /70
- 3.3 多级逻辑电路的综合 /72
 - 3.3.1 提取公因子 /72
 - 3.3.2 功能分解 /73
- 3.4 组合逻辑电路积木块 /74
 - 3.4.1 多路选择器 /74

- 3.4.2 用 LUT 构建更大规模的组合逻辑电路 /76
- 3.4.3 编码器 /76
- 3.4.4 译码器 /79
- 3.4.5 数值比较器 /80
- 3.4.6 算术逻辑运算电路 /81
- 3.5 组合逻辑电路中的竞争和险象 /81
 - 3.5.1 险象的分析 /81
 - 3.5.2 险象的消除 /84
- 3.6 解题示例 /85
- 【本章小结】 /88
- 【习题】 /88

第 4 章 数的表示方法和算术运算电路 /91

- 4.1 数制和编码 /91
 - 4.1.1 数的位置表示法 /91
 - 4.1.2 二进制数和十进制数的相互转换 /92
 - 4.1.3 八进制数的二进制编码 /94
 - 4.1.4 十六进制数的二进制编码 /94
 - 4.1.5 十进制数的二进制编码 /95
 - 4.1.6 格雷码 /97
 - 4.1.7 字符编码 /97
 - 4.1.8 奇偶校验码 /99
- 4.2 无符号数的加法运算 /101
 - 4.2.1 二进制整数的加法运算 /101
 - 4.2.2 BCD 码形式的十进制数加法运算 /104
- 4.3 有符号数的表示方法和算术运算 /107
 - 4.3.1 二进制定点数的原码表示形式 /107
 - 4.3.2 二进制定点数的补码表示形式和加减运算 /107
 - 4.3.3 二进制定点数的反码表示形式和加减运算 /111
- 4.4 用 EDA 工具设计算术运算电路示例 /113

【本章小结】 /118

【习题】 /118

第 5 章 锁存器、触发器和寄存器 /121

5.1 锁存器 /121

5.1.1 基本 R-S 锁存器 /121

5.1.2 选通 D 锁存器 /122

5.2 D 触发器 /125

5.2.1 从总体的角度观察 D 触发器 /125

5.2.2 D 触发器和 D 锁存器的比较 /128

5.2.3 带使能控制的 D 触发器 /128

5.3 主从 D 触发器 /130

5.4 其他类型的触发器 /131

5.4.1 T 触发器 /131

5.4.2 JK 触发器 /132

5.5 寄存器 /133

5.6 设计示例 /135

【本章小结】 /139

【习题】 /139

第 6 章 同步时序电路 /141

6.1 同步时序电路概述 /141

6.2 同步时序电路的设计 /143

6.2.1 状态图和状态表 /144

6.2.2 状态分配 /146

6.2.3 确定激励函数和输出函数 /147

6.2.4 VHDL 行为描述与使用 EDA 工具设计 /147

6.3 状态化简 /149

6.3.1 完全规定的有限状态机和不完全规定的有限状态机 /149

6.3.2 状态化简算法 /149

6.4 同步时序电路中的竞争和险象 /151

6.4.1	状态变迁序列与险象的关系	/151
6.4.2	在 VHDL 行为描述中指定状态编码	/153
6.5	算法状态机图	/154
6.6	解题示例	/155
	【本章小结】	/163
	【习题】	/163
第 7 章	异步时序电路	/167
7.1	异步时序电路的特点	/167
*7.2	脉冲异步时序电路	/167
*7.2.1	脉冲异步时序电路的分析	/168
*7.2.2	脉冲异步时序电路的综合	/170
*7.3	电位异步时序电路	/174
*7.3.1	电位异步时序电路的分析	/175
*7.3.2	电位异步时序电路的综合	/177
*7.4	电位异步时序电路综合中防范险象的措施	/182
*7.5	解题示例	/189
	【本章小结】	/198
	【习题】	/198
第 8 章	数字系统设计	/201
8.1	数字系统的特点和设计方法	/201
8.2	交通灯控制器设计	/202
8.3	求最大值电路的设计	/208
8.4	数字系统中某些技术细节	/213
8.4.1	减少时钟偏移的布线网络	/214
8.4.2	触发器的异步输入	/214
8.4.3	消除机械开关抖动的电路	/214
	【本章小结】	/215
	【习题】	/215

- 附录 A EDA 工具 Quartus II 简介 /218
 - A.1 Quartus II 的安装与运行 /218
 - A.1.1 Quartus II 的首次安装 /219
 - A.1.2 申请授权文件 /220
 - A.1.3 改变 Quartus II 主界面的样式 /220
 - A.2 设计流程 /222
 - A.3 项目的建立与版本管理 /223
 - A.3.1 建立一个新项目 /223
 - A.3.2 Quartus II 项目的版本管理 /225
 - A.4 设计的原理图描述 /227
 - A.4.1 进入原理图编辑器 /227
 - A.4.2 从元件库中调入元件符号 /228
 - A.4.3 绘制原理图 /229
 - A.5 设计的 VHDL 描述 /230
 - A.5.1 进入文本编辑器 /231
 - A.5.2 在文本编辑器中编辑 VHDL 文件 /231
 - A.5.3 发现并纠正 VHDL 代码中的错误 /232
 - A.5.4 保存文件 /234
 - A.6 综合和编译 /234
 - A.6.1 进入编译器 /234
 - A.6.2 发现并纠正原理图中的错误 /236
 - A.7 模拟验证 /236
 - A.7.1 使用波形编辑器绘制测试向量波形 /237
 - A.7.2 执行模拟 /240
 - A.8 层次化设计实例 /242
 - A.8.1 在原理图编辑器中实现层次化设计 /242
 - A.8.2 VHDL 设计描述与原理图混合使用的层次化设计 /245
 - A.9 时序分析器 /248

- A.10 调用带参数的库元件 /250
 - A.10.1 在原理图编辑器中创建一个存储器 /250
 - A.10.2 初始化存储器的内容 /255
 - A.10.3 存储器的模拟实例 /256
- A.11 可编程器件的物理实现 /257
 - A.11.1 引脚分配 /257
 - A.11.2 对目标器件编程 /260
- A.12 用 SignalTap II 实时测试 FPGA 中的信号波形 /265

附录 B 硬件描述语言 VHDL 简介 /271

- B.1 VHDL 的产生与发展 /271
- B.2 用 VHDL 建立电路模型 /272
 - B.2.1 电路模型 /272
 - B.2.2 实体声明与结构体 /273
 - B.2.3 结构体的描述方式 /275
 - B.2.4 标识符 /275
- B.3 面向模拟器的某些特性 /276
 - B.3.1 模拟周期 /277
 - B.3.2 延迟时间 /277
- B.4 VHDL 中的对象 /278
- B.5 数据类型 /279
 - B.5.1 标量类型 /280
 - B.5.2 复合类型 /281
 - B.5.3 子类型 /283
 - B.5.4 文件类型 /283
 - B.5.5 类型转换 /283
- B.6 VHDL 的词法单元 /285
 - B.6.1 注释 /285
 - B.6.2 数字 /285
 - B.6.3 字符 /286
 - B.6.4 字符串 /286

- B.6.5 位串 /286
- B.7 属性 /287
- B.8 表达式与运算符 /289
- B.9 子程序——过程与函数 /293
- B.10 程序包与设计库 /294
 - B.10.1 程序包——设计中的数据共享 /294
 - B.10.2 设计库 /296
 - B.10.3 VHDL 中名字的可见性 /296
 - B.10.4 library 语句和 use 语句 /297
- B.11 行为描述 /298
 - B.11.1 进程语句 /298
 - B.11.2 行为模型的顺序性 /299
 - B.11.3 行为模型的并行性 /306
- B.12 结构描述 /310
 - B.12.1 端口的基本特征 /310
 - B.12.2 元件例化语句 /311
 - B.12.3 配置指定 /312
 - B.12.4 规则结构 /313
 - B.12.5 无连接端口 /314
- B.13 重载 /315
- B.14 VHDL 保留字和预定义程序包 /316
 - B.14.1 VHDL 保留字 /316
 - B.14.2 标准程序包 STANDARD /317
 - B.14.3 IEEE 多值逻辑系统程序包 std_logic_1164 /324

参考文献 /327