



高职高专“十一五”电子信息类专业规划教材

# 电子设计 自动化技术




张永生 主编



赠送电子课件等



 机械工业出版社  
CHINA MACHINE PRESS

高职高专“十一五”电子信息类专业规划教材

# 电子设计自动化技术

主 编 张永生  
副主编 裴玉玲  
参 编 孟祥元 蒋发伦  
主 审 吴先良



机械工业出版社

电子设计自动化 (EDA) 应用技术, 是提高我国电子产品及工程设计质量的一项重要手段, 具有自动化程度高、功能强大、运行速度快、数据开发性好和使用方便等特点, 目前已在电子工程设计领域得到了广泛应用。

本书较系统地介绍了常用 EDA 开发工具的使用方法、应用设计和分析实例以及性能仿真等相关内容, 取材广泛、翔实新颖, 重点突出, 实例丰富, 且充分考虑了便于巩固所学的知识和可方便进行实践的操作性。本书既可作为高职高专院校电子信息类相关专业的教材, 又可作为电路设计人员和电路制作爱好者的参考书。

为方便教学, 本书配有免费电子课件, 凡选用本书作为授课教材的学校, 均可来电索取, 咨询电话: 010-88379375。

## 图书在版编目 (C I P) 数据

电子设计自动化技术/张永生主编. —北京: 机械工业出版社, 2008.7  
高职高专“十一五”电子信息类专业规划教材  
ISBN 978-7-111-24285-7

I. 电… II. 张… III. 电子电路—电路设计: 计算机辅助设计—高等学校: 技术学校—教材 IV. TN702

中国版本图书馆 CIP 数据核字 (2008) 第 091834 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)  
策划编辑: 于宁 责任编辑: 关晓飞 版式设计: 霍永明  
责任校对: 刘志文 封面设计: 王伟光 责任印制: 邓博  
北京四季青印刷厂印刷 (三河市兴旺装订厂装订)

2008 年 8 月第 1 版第 1 次印刷

184mm × 260mm · 12.5 印张 · 307 千字

0001—4000 册

标准书号: ISBN 978-7-111-24285-7

定价: 21.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换  
销售服务热线电话: (010) 68326294

购书热线电话: (010) 88379639 88379641 88379643

编辑热线电话: (010) 88379758

封面防伪标均为盗版

# 前 言

随着电子技术的飞速发展,现代电子产品已渗透到社会的各个领域,性能也进一步提高,功能越来越复杂,集成化智能化程度越来越高,更新换代的节奏越来越快,而且正向着功能多样化、体积小型化、功耗最低化的趋势发展。所有这些,都给电子系统设计师们带来了前所未有的压力,面对这种压力,惟一的出路就是熟练掌握 EDA(电子设计自动化)技术。工程技术人员掌握 EDA 技术,是提高我国电子产品及工程设计质量,使之具有国际先进水平的一项重要手段。EDA 技术以可编程逻辑器件(PLD)为载体,以计算机为工作平台,以 EDA 工具为开发环境,以硬件描述语言(HDL)作为电子系统功能描述方式。20 世纪 70 年代,计算机辅助设计(CAD)出现,人们开始用计算机辅助进行 IC 版图编辑、PCB 布局布线。20 世纪 90 年代初 CAD 技术很快发展到 EDA 阶段。与早期的 CAD 工具相比,EDA 工具的自动化程度更高、功能更完善、运行速度更快,而且操作界面友善,有良好的数据开发性和互换性,即不同的 EDA 工具可相互兼容。EDA 技术已被世界上各大公司、企业和科研单位广泛应用,因此,在高等职业院校的电子信息类专业的教学中开设相应课程,使学生熟练掌握和运用此项技术非常必要。

本书在内容的安排上,尽量使系统性和完整性、实用性和实践性有机结合。全书共分 10 章,详细介绍了 EDA 的基本知识、常用 EDA 开发工具的使用方法、PLD 的结构原理、VHDL 设计入门、VHDL 的语法结构及编程方法、数字系统设计实践和利用电子工作台(EWB)对模拟、数字和混合电路进行电路的性能仿真和分析等。书中还给出一定数量综合性的 EDA 应用设计、分析实例和课后习题,以力求做到内容翔实、层次分明、步骤详尽、图文并茂、强化实践。本书既可作为高职院校电子信息、通信工程、自动控制、计算机应用等相关专业的教材,又可作为电路设计人员和电路制作爱好者的参考书。

本书由安徽电子信息职业技术学院张永生老师担任主编,重庆工业职业技术学院裴玉玲老师担任副主编。其中裴玉玲老师编写第 1、2 章,安徽电子信息职业技术学院孟祥元老师编写第 3、4、5、10 章,重庆三峡职业学院蒋发伦老师编写第 8 章,张永生老师编写第 6、7、9 章。全书由张永生老师统稿。

本书在编写过程中得到了安徽大学博士生导师吴先良教授及机械工业出版社于宁编辑的指导和帮助,并由吴先良教授任主审。编者在此一并向他们表示衷心的感谢。

由于编者水平有限,书中错误和疏漏在所难免,恳请广大读者批评指正。

编 者

# 目 录

前言	
第 1 章 电子设计自动化概述	1
1.1 引言	1
1.2 EDA 技术的发展历程	3
1.3 EDA 系统的构成	5
1.3.1 板级电子系统 EDA 集成开发环境	5
1.3.2 芯片级电子系统 EDA 集成开发环境	6
1.3.3 综合型电子系统 EDA 集成开发环境	6
1.3.4 电子系统 EDA 集成开发环境比较分析	6
1.4 常用 EDA 工具	7
1.4.1 硬件描述语言 VHDL	8
1.4.2 EDA 技术的常用工具	9
本章小结	12
本章习题	13
第 2 章 PLD 及编程开发技术	14
2.1 PLD 概述	14
2.2 PLD 的基本结构	15
2.2.1 组合逻辑与时序逻辑的逻辑函数表达式	15
2.2.2 PLD 的基本模型	17
2.3 PAL 和 GAL 器件的基本结构	18
2.3.1 PAL 器件的基本结构	20
2.3.2 GAL 器件的基本结构	20
2.4 CPLD 的基本结构	20
2.4.1 Xilinx 公司 XC7300 系列的结构	20
2.4.2 Altera 公司 MAX7000 系列的结构	24
本章小结	28
本章习题	28
第 3 章 数字系统 EDA 开发工具	29
3.1 MAX + plus II 概述	29
3.1.1 MAX + plus II 简介	29
3.1.2 MAX + plus II 的菜单栏和工具栏	29
3.2 MAX + plus II 的基本操作	33
3.2.1 MAX + plus II 的安装及初次设置	33
3.2.2 MAX + plus II 的设计流程	34
3.3 MAX + plus II 的原理图输入设计法	34
3.3.1 设计项目的建立——顶层采用原理图设计输入法	34
3.3.2 设计项目的编译与适配	40
3.3.3 设计项目的仿真与时序分析	44
3.3.4 设计项目编程/适配	48
3.4 MAX + plus II 的文本输入设计法	50
3.5 MAX + plus II 的波形输入设计法	53
3.6 MAX + plus II 的层次化设计法	57
本章小结	59
本章习题	60
第 4 章 硬件描述语言 VHDL	61
4.1 VHDL 概述	61
4.1.1 VHDL 的特点	61
4.1.2 VHDL 与 Verilog HDL、ABEL 的比较	62
4.2 VHDL 程序的结构	63
4.2.1 实体	63
4.2.2 结构体	64
4.2.3 库	65
4.2.4 程序包	66
4.2.5 配置	66
4.3 VHDL 的语言要素	67
4.3.1 VHDL 的文字规则	67
4.3.2 VHDL 的数据对象	69
4.3.3 数据类型	70
4.3.4 类型转换	74
4.3.5 运算操作符	75
4.4 VHDL 的基本描述语句	78
4.4.1 顺序语句	78



4.4.2 并行语句 .....	83	7.4 傅里叶分析 .....	149
4.4.3 其他语句 .....	90	7.5 噪声分析 .....	150
4.4.4 属性语句 .....	92	本章小结 .....	152
本章小结 .....	93	本章习题 .....	152
本章习题 .....	94	<b>第 8 章 EWB 电路设计仿真</b> .....	<b>153</b>
<b>第 5 章 VHDL 程序设计基础</b> .....	<b>96</b>	8.1 模拟电路的仿真 .....	153
5.1 组合逻辑设计 .....	96	8.1.1 场效应晶体管基本放大电路 .....	153
5.1.1 门电路的设计 .....	96	8.1.2 模拟乘法器及其应用电路 .....	153
5.1.2 常用组合电路的设计 .....	99	8.2 数字电路仿真 .....	154
5.2 时序逻辑设计 .....	105	8.2.1 组合逻辑电路分析 .....	154
5.2.1 触发器设计 .....	105	8.2.2 组合逻辑电路设计 .....	155
5.2.2 移位寄存器设计 .....	109	8.2.3 D/A 转换器 .....	156
5.2.3 计数器设计 .....	114	8.2.4 A/D 转换器 .....	157
5.3 存储器设计 .....	120	8.2.5 锁相环 .....	158
5.3.1 只读存储器 .....	120	本章小结 .....	159
5.3.2 静态随机存储器 .....	121	本章习题 .....	159
本章小结 .....	123	<b>第 9 章 Protel 99 电路设计仿真</b> .....	<b>162</b>
本章习题 .....	123	9.1 Protel 99 电路设计仿真简介 .....	162
<b>第 6 章 EWB 应用基础</b> .....	<b>124</b>	9.1.1 系统配置要求和安装启动运行 .....	162
6.1 EWB 简述 .....	124	9.1.2 Protel 99 的基本运用 .....	163
6.1.1 EWB 新技术介绍 .....	124	9.2 Protel 99 的仿真库元器件 .....	172
6.1.2 EWB 的安装要求 .....	125	9.2.1 Protel 99 的耗能和储能元件 .....	172
6.1.3 EWB 的特点与功能 .....	125	9.2.2 Protel 99 的半导体器件和电源 元件 .....	172
6.2 EWB 基本界面的操作 .....	131	9.3 仿真设置与仿真步骤 .....	173
6.2.1 电路的创建 .....	131	9.3.1 常用元器件参数设置 .....	173
6.2.2 仪器的操作与使用 .....	133	9.3.2 初始化条件设置 .....	175
6.2.3 电路仿真操作 .....	140	9.3.3 电路仿真操作步骤 .....	176
6.2.4 子电路的生成与使用 .....	142	<b>第 10 章 课程实训</b> .....	<b>182</b>
6.2.5 帮助功能的使用 .....	143	10.1 用原理图输入法设计 8 位全加器 .....	182
6.2.6 网表文件转换和 PCB 设计 .....	144	10.2 用 VHDL 设计组合逻辑电路 .....	185
本章小结 .....	145	10.3 计数译码显示电路的设计 .....	186
本章习题 .....	145	10.4 计数器的设计 .....	190
<b>第 7 章 EWB 在电路分析中的应用</b> .....	<b>147</b>	<b>参考文献</b> .....	<b>194</b>
7.1 静态工作点分析 .....	147		
7.2 交流频率分析 .....	147		
7.3 瞬态分析 .....	148		

# 第 1 章 电子设计自动化概述

## 学习目标

- 1) 了解 EDA 技术发展历程。
- 2) 熟悉 EDA 系统构成。
- 3) 熟悉常用 EDA 工具。

## 1.1 引言

电子设计自动化 (Electronic Design Automation, EDA) 是计算机在工程技术上的一项重要应用。EDA 是在电子电路 CAD (Computer Aided Design, 计算机辅助设计) 技术的基础上发展起来的计算机软件技术, 它是计算机技术、信息技术和 CAM (计算机辅助制造)、CAT (计算机辅助测试) 等技术的综合产物。电子电路 EDA 是计算机辅助设计技术中发展较早和比较成熟的一个方面, 在相关行业, 工程技术人员迅速掌握电子电路 EDA 应用技术是提高我国电子产品及工程设计质量, 使之具有国际先进水平的一项重要手段。电子和微电子技术的发展, 使电子产品的设计活动与计算机设计系统密不可分, 这不仅是因为采用计算机设计系统能减轻劳动强度、降低成本, 而且因为电子产品越来越小, 功能越来越复杂, 而产品的市场寿命却越来越短, 不采用计算机设计系统不仅不能满足设计精度和质量的要求, 更不能适应不断变化的市场需求。

电子产品在功能增多、体积缩小、重量减轻、质量提高的同时, 价格却一直呈下降趋势, 市场上电子产品更新的速度也越来越快, 在这种大背景下, 只有生产技术和设计技术的发展才能满足电子产品高速发展的需要。生产技术的发展以微细加工技术为代表, 包括元器件和集成电路的生产技术、印制电路制造技术及安装技术, 生产制造者都成功地把产品的高性能与高可靠性有机地统一在一起; 代表设计技术发展的是计算机设计技术的发展研究与应用。现代电子产品的功能设计、逻辑设计和电路设计, 以及在芯片或电路板上实现复杂功能的物理结构设计均是高超、复杂的技术, 正是由于有了现代 EDA 工具, 才使得电子工程师能从容地完成高难度的设计任务, 不断推出更优质、更价廉的新产品。完成电子产品设计的任务, 最终是要给出一些文件: 一是供产品内嵌处理器使用的程序代码; 二是供专用集成电路 (Application Specific Integrated Circuit, ASIC) 制造用版图文件或供现场可编程门阵列 (Field Programmable Gate Array, FPGA)、复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD) 用熔丝图文件; 三是供印制电路板 (Printed Circuit Board, PCB) 制造的版图文件; 四是元器件采购清单; 五是可能的测试方案。另外, 还可以包括产品维护和使用等资料。

在计算机不介入设计过程的情况下, 上述设计任务的完成过程是: 根据设计任务和现有的条件设计电路, 进行初步估算确定电路参数, 搭接电路验证设计, 根据测试结果反复修改设计。集成电路的设计风险很大, 产品设计的周期很长。利用 EDA 工具可以在设计过程中



采用计算机手段对设计进行各个层次的仿真分析,使设计师能在产品出世之前预知其特性,也就是说可以进行优化设计,设计完成后用成熟的现代生产工艺来保证设计结果的准确性。

在采用 EDA 工具设计电子产品以前,产品设计常常是自底层而至顶层的,即产品性能、功能和技术指标等由低层设计决定。比如,根据市场上现有的集成电路和生产工艺决定选用哪种电路,这些电路再组成系统,而系统的特性是不能预先知道的,因此,设计师的经验在设计中是最关键的因素。而利用 EDA 工具进行产品设计,就可以采用自顶向下的设计方式,设计师直接在系统级分析系统特性,软件和技术的进步保证了仿真结果的真实可信。自顶向下的设计方式易于描述,设计师可集中注意力在系统功能上,利于产品技术性能的提高,这种方式在数字系统中应用最成功,但在模拟系统设计中应用还有些困难。

现以设计一个脉冲拨号电话机为例,简单说明电子 EDA 设计的过程。该电话机由拨号电路、语音电路、响铃电路等组成。系统总设计师根据电信标准确定这个电话机的功能和电性能参数,将其分配到各个组成部分。

拨号电路设计师根据总系统设计师的要求,采用数字电路设计拨号控制电路。设计中首先设计电路,之后再行逻辑仿真。考虑到生产量大,选用 ASIC 进行设计。先根据 ASIC 生产厂家提供的数据作为约束条件,由工具软件对 ASIC 布局布线,然后反复作仿真分析、验证,直至性能指标满意后再将 ASIC 的版图文件交给集成电路(Integrated Circuit, IC)工厂生产。

语音电路设计师根据给定参数设计模拟电路,对于电路的性能,可进行模拟仿真分析。通常是对所设计的电路进行各种激励,观察电路的响应,据此判断电路性能。也可以对批量生产情况进行仿真,并进行灵敏度分析、最坏情况分析等。如果对电路特性不满意,可以修改设计,再次仿真分析,直至性能达到指标要求。

响铃电路也是模拟电路,设计过程与语音电路设计相同,模拟电路也可制作 ASIC。电路设计完成以后,进行 PCB 设计。将在电路设计和 ASIC 设计中生成的有关元器件的封装参数和连接关系(网表)导入 PCB 设计工具,程序根据设计规则自动进行布局布线,生成 PCB 版图,经过设计师编辑满意后,将版图文件以及包含加工信息的文档交给 PCB 工厂生产。

生产车间根据电路设计文档和 PCB 设计文档提供的数据采购元器件,制订装配工艺,包括从 PCB 生产工厂得到 PCB,从 ASIC 生产工厂得到 ASIC 等,所有准备工作就绪后就可按工艺要求装配电话机了。

至此就初步完成了产品的电子设计(这其中还有其他的设计和配合,比如设计机壳,也是重要一环)。如果现有的电信标准很具体,该产品涉及的技术比较成熟,总设计师的 EDA 工具和设计资源比较完善,总设计师就可对产品的各项特性进行分析评估,并可在产品投入生产以前,同时进行产品的宣传准备、成本核算、以及与其他单位的合作等。其结果是大大地缩短了产品开发的周期,提高了产品的竞争力。

上述例子说明,电子 EDA 的主要内容还是计算机辅助分析和计算机辅助版图设计,只不过由于技术的进步使得设计工作可以更多地由计算机来完成。计算机仿真试验分析便于设计者优化电路参数、简化逻辑和优化设计方案等;版图设计的进步是自动布局布线,PCB 有各种自动布线工具,ASIC 有布局布线工具,CPLD 和 FPGA 的逻辑综合工具同样也有布局布线等功能。





## 1.2 EDA 技术的发展历程

早在 20 世纪 60~70 年代,人们就开始用计算机设计硬件电路,并在电子板设计中诞生了电子 CAD 系统。初期的电子 CAD 系统功能比较简单,自动化、智能化程度都很低。随后,经过一段时间的发展,电子 CAD 系统功能大幅度上升,除了纯粹的图形绘制功能外,还把电路的功能设计和结构设计通过电气连接网表结合在一起,实现了工程设计,这就是计算机辅助工程(Computer Aided Engineering, CAE)系统。这种 CAD/CAE 系统可以进行电气原理图输入、逻辑模拟、电路分析、布局、布线和电路板的物理特性分析。采用电子 CAD 技术有如下优点:

- 1) 可以提高设计精度和质量,没有 CAD 技术根本不可能设计出高精度的工业电路板。
- 2) 大大缩短设计时间。只有抢在竞争对手之前推出产品,才能占领市场。
- 3) 设计的修改和完善非常容易,适合产品更新换代快的市场要求。
- 4) 设计数据可直接供电路板的生产、安装、测试、质量控制和生产管理使用。
- 5) 可以利用设计资源对产品进行逻辑模拟和电路分析,并对产品进行性能分析。
- 6) 减轻劳动强度,有利于生产自动化,降低产品成本。

随着半导体器件的日益复杂,CAD 技术的应用范围延伸到硅芯片的设计。CAD 技术的应用,大大推动了电子和微电子技术的进步,技术的进步和市场竞争,又推动了 CAD 技术的不断向前发展。尽管 CAD 技术的应用获得了巨大成绩,但并没有把人们从繁重的设计工作中彻底解放出来。在设计工作中,始终是人和计算机协同工作,人是设计工作的主体,计算机是辅助人工作的工具,由人确定设计要求,进行总体设计,提出具体的设计方案,计算机接受到人分派给的设计信息后,靠高存储量的记忆能力和高速运算,对设计方案进行模拟、检验、数据处理。整个设计过程中,计算机完成某些设计步骤的自动化程度还不是很,各设计环节间的衔接还不够通畅,设计资源的利用也不够充分,在出现错误或设计不理想时,要由人进行大量、烦琐的修改。也就是说,人的积极因素和智慧因素还未得到更充分的发挥。在软件系统方面,过去的 CAD 系统除了价格和性能因素外,尚有以下原因影响其推广使用:

- 1) 所谓的交钥匙工程,即软件依赖具体的硬件。软件必须与硬件平台同时提供,软件不能往其他的硬件系统上移植,系统缺乏柔性。
- 2) 用户界面不友好。厚厚的技术使用手册让人望而生畏,一层层的菜单和一条条的指令让人眼花缭乱;尽管都叫 CAD,但功能界面却千差万别;尽管设计者对某一种 CAD 系统使用得很熟练,一旦换到其他 CAD 系统又得从头学起。
- 3) 数据交换能力差、互不兼容。面对越来越复杂的需求和越来越先进的生产工艺,任何一个系统都不可能包罗万象,完成所有的设计工作,而任何一个设计又都有可能是由不同的软件合作完成的。如一块电路板需要历经电气原理设计、模拟仿真、电路板布局布线,以及光绘、PCB 制作、安装、检验等过程,每个过程都可能由不同的厂家完成,整个过程的衔接是靠各种格式的数据输入、输出实现的。从一套系统转到另一套系统或从一个设计阶段转到另外一个设计阶段时,数据交换发生阻塞是应用 CAD 系统时,最不希望发生却最经常发生的事情。



4) 自动化、智能化程度低。比如对一块密度较高的 PCB 自动布线, 布通率只能达到 95% 左右, 而靠人工布通剩下的 5% 需要花费 10 倍甚至几十倍于自动布线的�时间。

随着 CAD 技术的日渐成熟, 有了存储量更大、速度更高的硬件平台, 有了更加完善的操作系统。在电子设计领域, 人们迫切追求的是贯通整个设计过程的设计自动化, 这就是 EDA, 即电子设计自动化的概念。EDA 是继 CAD 之后的新一代计算机设计系统, 与 CAD 之间界限尚不明显。但可以肯定的是, EDA 是电子领域内基于性能更强的硬件和环境更为完善的操作系统的、更高级的计算机设计系统。在 CAD 阶段是计算机辅助人完成任务, 而应用 EDA 技术则是在人的指导下, 由计算机完成设计任务。

首先, EDA 的自动化、智能化程度更高, 功能更丰富完善, 且界面友好。在电子设计自动化技术中, 人为操作技术占的比重越来越少, 计算机包办的事情越来越多。人们可以有充足的精力、时间, 发挥直觉、综合、创造等方面的优势, 在最关键的地方拍板决策, 指导设计任务的完成, 可以充分体现人的主观能动性。

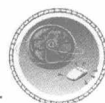
其次, EDA 技术的开放性和数据交换性好。EDA 技术比 CAD 技术更注重整个产品设计过程中, 各个设计环节间的有机连接和设计资源的充分利用, 是允许配合使用不同厂家的自动化工具、利用“框生产加工”等一系列活动的开放式产品设计系统。

再次, EDA 技术更实用。当今的 EDA 技术面向设计对象, 更贴近实践。如果说 CAD 技术是软件设计师熟练运用软件技术的杰作, 则 EDA 技术一方面是软件技术, 另一方面则是软件设计师们对整个过程和相关的生产实践活动潜心研究和透彻理解的结晶。因此用 EDA 技术进行设计, 不仅可大幅缩短产品开发周期、降低成本, 而且能最大限度地将设计资源应用到产品设计的各个过程和生产、管理的各个阶段中, 保证设计出来的产品在性能、可靠性和适合工业化生产方面达到满意结果。

现代电路设计, 即电路 EDA, 是以电子计算机为主要设计工具的。计算机的应用, 改变了电路设计的方式。首先, 由于计算机的强大计算能力, 有可能采用精确的数学模型, 自动建立电路或系统方程, 并用它精确分析、计算电路的性能指标, 如达不到性能指标要求, 可自动修改参数, 直至所设计的电路达到最优。其次, 可用电子计算机直接模拟电路的各种功能, 用功能程序代替大量的仪器仪表, 对电路进行各种分析、计算和模拟, 而不需要任何实际元器件, 因此, 有人称计算机为“现代化实验室”。可见, 电子计算机这一强有力的工具, 已经使设计过程由搭接实验电路进行测试为主的方式, 改变为以计算机进行分析计算和最优化性能为主的设计方式。由于 EDA 把电子计算机的快速、高精度、大存储容量、严格的逻辑判断和优良的数据处理能力与人的创造性思维能力充分结合起来, 因此, 比传统的电路设计方法优越得多。具体体现在下述几方面:

- 1) 设计效率高, 使设计周期大大缩短。
- 2) 设计质量和产品合格率大大提高。
- 3) 可节约原材料和仪器仪表等, 从而降低了成本。
- 4) 可模拟各种极限情况, 如超低频、超大功率、超高温、超低温等。
- 5) 代替人的重复性劳动, 节约人力资源。

目前, 计算机已经应用于电子电路设计的多个阶段。例如, 在方案设计阶段, 计算机可用来对各种预选的电子电路方案进行分析与比较, 选取最佳方案; 在方案设计成功后, 计算机可进行 PCB 和集成电路板的布线设计; 在试验阶段, 计算机可完成对测量数据的处理和



分析等。虽然利用计算机进行电子电路设计具有以上优点，但目前却不能进行电子电路的完全自动化设计。一般说来，一个完整的设计过程还是要依赖于人的智慧和劳动，依赖于对计算机的妥善使用。总之，在设计过程中，设计者的思考和意图是占主导地位的，计算机仅仅是作为一种有效的设计工具。

### 1.3 EDA 系统的构成

EDA 系统的构成或 EDA 系统的结构是与电子系统 EDA 集成开发环境 (Integrated Development Environment, IDE) 紧密相关的，开发环境不同，结构就不一样。一般把这种不同的开发环境，称为 EDA 系统的构成或结构。电子系统 EDA 集成开发环境是指根据电子系统设计流程，将设计流程中各个阶段所需要的不同 EDA 工具集成在一个硬件平台上，从而进行项目设计开发的软硬工作环境。在该环境中，项目的设计数据通过文件方式在各个 EDA 工具之间流转，就像工厂里生产流水线上的产品流动一样，直到产品生产全过程结束。由于各个 EDA 工具开发商在不同的设计环节有不同的专长，其 EDA 工具也有各自不同的特色。有的 EDA 工具行为描述能力强，不仅具有算法级和寄存器传输级行为设计描述能力，而且还具有系统级行为设计描述能力；有的 EDA 工具逻辑综合效率高，占用资源少；有的 EDA 工具时序仿真较为精确，设计的项目能够工作于较高的频率；有的 EDA 工具界面友好，容易使用。选择优秀的 EDA 工具，构成超级的电子系统 EDA 集成开发环境是项目开发工程师首要的任务之一。通常，选择优秀的 EDA 工具有如下几个约束条件：① EDA 工具的使用授权；② 设计语言、设计数据、设计格式的兼容性；③ EDA 工具与计算机及其操作系统的兼容性；④ 设计项目的实际需要。不同的设计对象，其 EDA 集成开发环境的架构有很大差别。例如，在经典的板级电子系统设计中，通常是将许多 ASIC 芯片、通用的门电路芯片设计在一块 PCB 上来完成整个电子系统设计，其设计的基本素材是 IC 芯片；在现代的芯片级电子系统设计中，通常是将许多的软、硬知识产权 (IP) 核或电路模块设计在一个超大规模集成电路芯片上来完成整个电子系统设计，其设计的基本素材是可复用的 IP 核或电路模块。随着集成电路技术的发展，电子系统设计开始逐渐从经典的板级系统设计转化为现代的芯片级系统设计，因此电子系统设计工程师的开发工作也逐渐从板上电子系统设计转向片上系统 (SoC) 设计，设计的基本构件也从通用的 IC 转为可复用的 IP 核。根据目前的 EDA 工具或套件的结构，从电子系统的设计开发需求出发，把电子系统 EDA 集成开发环境分为三种类型：板级电子系统 EDA 集成开发环境、芯片级电子系统 EDA 集成开发环境和综合型电子系统 EDA 集成开发环境。

#### 1.3.1 板级电子系统 EDA 集成开发环境

板级电子系统 EDA 集成开发环境通常是由板级电子系统的硬件系统集成设计环境 (即 PCB 集成设计环境) 和软件系统集成设计环两个部分组成的。任何一种板级电子系统都是由硬件和软件两个子系统组成的，因此一个完整的板级电子系统集成开发环境，除了用于硬件系统开发的 EDA 集成设计环境外，还应当包括软件实时仿真开发调试环境。对于低端的微控制器应用系统，通常是由硬件仿真器及其配套仿真软件组成的；对于高端的 32 位嵌入式处理器应用系统，通常是一种基于嵌入式实时操作系统 RTOS (Real-Time Operating Sys-



tem) 的平台。

### 1.3.2 芯片级电子系统 EDA 集成开发环境

芯片级电子系统 EDA 集成开发环境,也是一种 IC EDA 集成开发环境。在 IC 设计中,不同的设计方法和设计流程需要不同的 EDA 集成开发环境。根据设计对象的不同,芯片级电子系统 EDA 集成开发环境可分为 ASIC 集成设计环境和 SoC 集成设计环境。这里需特别指出的是 SoC 和 ASIC 概念的区别,从电子电路的角度理解可以认为:ASIC 是一种具有某种特定功能的大规模集成电路芯片,如 VGA 图像处理芯片、PCI 接口芯片、视频放大芯片等;而 SoC 是一种集成了微处理器、存储器、外围电路和软件系统程序的自成系统的超大规模集成电路芯片。

#### 1. ASIC 集成设计环境

在该集成设计环境的设计流程中,可以生成五种不同类型的产品:① 经过功能验证后的软 IP 核;② 经逻辑综合验证后的固 IP 核;③ 可编程的 ASIC 器件;④ 由 ASIC 版图生成的硬 IP 核;⑤ 由代工厂生产的 ASIC 芯片。

#### 2. SoC 集成设计环境

SoC 集成设计环境是一种典型的软硬协同设计集成环境(或平台)。在此集成设计环境的设计流程中,也可以生成五种不同类型的产品:① 经过功能验证后的软 IP 核;② 经逻辑综合验证后的固 IP 核;③ 可编程的片上系统(System on Programmable chip, SoPC)器件;④ 由 SoC 版图生成的硬 IP 核;⑤ 由代工厂生产的 SoC 芯片。SoC 设计所需要的 EDA 工具,若从硬件设计角度看,设计流程前端的设计与 ASIC 设计差别不大;但是,从整个芯片设计角度出发,这两种类型的芯片设计有较大区别。这是因为在 SoC 设计中,一般都含有微处理器核,所设计的系统级芯片都必须具备设备驱动程序与操作系统或嵌入式 RTOS 接口,并且还必须具备能完成数字计算、信号处理变换、决策控制等功能的应用程序。因此,在设计的前期,要软、硬件协同设计,哪些功能是由硬件完成的,哪些软件功能是由软件完成的,需要进行一个适当划分。在设计的中后期,要进行软硬件协同验证,即把软硬件设计放到一个虚拟的集成环境中进行仿真验证,以便验证硬件的性能是否达到设计目标,软件功能是否满足设计要求。

### 1.3.3 综合型电子系统 EDA 集成开发环境

通常称综合型电子系统 EDA 集成开发环境为整机型或混合型电子系统 EDA 集成开发环境。这种类型集成开发环境综合集成了芯片级和板级电子系统设计的 EDA 工具,可以完成如下三个方面的工作:PCB 设计、ASIC 芯片设计和 SoC 芯片设计。在此集成开发环境中,PCB 设计平台完成经典的板级电子系统设计工作,ASIC 设计平台完成 ASIC 芯片设计工作,SoC 设计平台完成现代芯片电子系统设计工作,而 PLD (Programmable Logic Devices, 可编程逻辑器件)设计平台完成可编程型 ASIC 和 SoC 芯片(包括 CPLD/FPGA、SoPC 等芯片)的设计工作。

### 1.3.4 电子系统 EDA 集成开发环境比较分析

无论是板级电子系统 EDA 集成开发环境,还是芯片级电子系统 EDA 集成开发环境,都



不能全面地反映现代电子系统设计的实际现状,即在板级电子系统设计中存在有专用芯片设计问题,而在芯片级电子系统设计中存在 PCB 设计问题。存在这一实际问题的主要原因有如下两个方面:①在板级电子系统设计中,为了某种特殊需要(如简化系统逻辑设计、缩小 PCB 体积、提高系统的运行速度和可靠性等)或特殊功能要求(如特殊算法功能、特殊的数字信号处理功能等),需要采用一些用户自行设计的专用芯片,特别是可编程专用芯片。因此,在板级电子系统集成开发环境中需要融入芯片级电子系统设计的 EDA 工具。②在芯片级电子系统设计中,就目前的技术现状而言,即使是 SoC,由于集成电路规模和集成电路技术的限制,不可能把整个实际的电子系统电路完全集成在一个芯片内,需要把不能集成在芯片内的功能用另一个或多个芯片或器件来实现,而把多个芯片组合成一个电子系统就需要通过 PCB,这就需要在芯片级电子系统集成环境中,嵌入板级电子系统设计的 EDA 工具。正是基于上述原因,在综合型电子系统集成环境中,通常需要在板级电子系统 EDA 集成开发环境中,融入芯片级电子系统设计的 EDA 工具;而在芯片级电子系统 EDA 集成开发环境中,嵌入板级电子系统设计的 EDA 工具。这种综合型或混合型电子系统集成开发环境,是目前 EDA 工程技术的一种发展趋势。虽然,从表面上看,综合型或混合型电子系统集成环境只是板级电子系统 EDA 集成开发环境和芯片级电子系统 EDA 集成开发环境的一种组合,但是其与简单的组合有着本质的差别,这种差别源于 EDA 系统的框架结构。

EDA 系统的框架结构是一套创建电子系统集成设计环境和使用 EDA 工具的规范,能将来自不同 EDA 厂商的 EDA 工具软件进行优化组合,集成在一个易于管理的统一环境之下,支持任务之间、项目之间、设计工程师之间的信息传输和工程数据共享。这是并行设计工作和自顶向下设计方法的基础,也是构建电子系统集成设计环境或集成设计平台的基本规范。目前,主要的 EDA 系统都建立了框架结构,并且它们都遵循国际计算机辅助设计框架结构组织 CFI (CAD Framework International) 的统一技术标准。

## 1.4 常用 EDA 工具

EDA 技术是一种以计算机为基础的工作平台,利用电子技术、计算机技术、智能化技术等多种应用学科的最新成果开发成一整套电子 CAD 工具,是一种帮助电子设计工程师从事电子元器件产品和系统设计的综合技术。EDA 技术的发展过程就是 EDA 工具的发展过程,它经历了一个由简单到丰富的过程。20 世纪 70 年代,随着中小规模集成电路的开发应用,用传统的手工制图设计 PCB 和 IC 的方法已无法满足设计精度和效率的要求,因此工程师们开始进行二维平面图形的计算机辅助设计,以便解脱复杂、机械的版图设计工作,这就产生了第一代 EDA 工具。到了 20 世纪 80 年代,为了适应电子产品规模和制作上的需要,以计算机仿真和自动布线为核心技术的第二代 EDA 工具应运而生。其特点是以软件工具为核心,通过这些软件完成产品开发的设计、分析、生产和测试等各项工作。20 世纪 90 年代后,EDA 工具继续发展,出现了以高级语言描述、系统级仿真和综合技术为特征的第三代 EDA 工具。它们的出现,极大地提高了系统设计的效率,使广大的电子设计师开始实现“概念驱动工程”的梦想。设计师们摆脱了大量的辅助设计工作,把精力集中于创造性方案与概念的构思上,从而极大地提高了设计效率,缩短了产品的研制周期。

现代 EDA 技术的基本特征是采用高级语言描述,具有系统级仿真和综合能力。它主要



采用并行工程“自顶向下”的设计方法，使开发者从一开始就要考虑到产品生成周期的诸多方面，包括质量、成本、开发时间及用户的需求等。然后从系统设计入手，在顶层进行功能框图的划分和结构设计，在框图级进行仿真、纠错，并用 VHDL、Verilog HDL 等硬件描述语言对高层次的系统行为进行描述，在系统级进行验证，最后再用逻辑综合优化工具生成具体的门级逻辑电路的网表，其对应的物理实现级可以是 PCB 或 ASIC。近几年来，随着硬件描述语言等的逐步标准化，不同设计风格和应用的要求导致各具特色的 EDA 工具被集成在同一个工作站上，从而使 EDA 框架日趋标准化。

### 1.4.1 硬件描述语言 VHDL

在硬件电路设计中采用 CAD 技术，到 20 世纪 80 年代才得到普及和应用。在开始阶段，仅仅是利用计算机软件来实现 PCB 的布线，随着大规模 ASIC 需求的不断增加，为了提高开发和研制的效率，各 ASIC 研制和生产厂商相继开发了用于各自硬件的描述语言。所谓硬件描述语言 (Hardware description Language, HDL)，就是利用高级语言来描述硬件电路的功能、信号连接关系以及各元器件间的时序关系。它能比电路原理图更有效地表示硬件电路的特性，因此 HDL 非常适合目前 IC 产业中流行的自顶向下的设计方法。目前已经有许多种类的 HDL，如 Silage、HardwareC、CSP、Statecharts、SDL、Gsterel、Speccharts、VHDL 和 Verilog HDL 等，其中 VHDL 和 Verilog HDL 是影响最广泛的两种 HDL。

VHDL 相对于 Verilog HDL 而言，在语法上更严谨一些，虽然这样也使它失去了一些灵活性和多样性，但从文档记录、综合以及元器件和系统级的仿真上讲，VHDL 是一种更好的选择。

#### 1. VHDL 概述

VHDL 是由美国国防部在 20 世纪 70 年代末和 80 年代初提出的 VHSIC (Very High Speed Integrated Circuit) 计划的产物，VHSIC 计划的目标是使工业界可以开发相对于以前更为复杂的 IC，以加速美国微电子业的发展。这个计划使 IC 设计与制造的每个阶段都达到了工艺的极限，并且使有关工艺的各项标准也都得以很好的实现。但设计者却发现当时的设计工具很难完成这样大型的设计任务；当时普遍采用的基于门级基础的工具很难处理超过 10 万门电路的设计，因此需要制定一种新方法来完成日益复杂的电路设计任务。在 1981 年，美国国防部又提出了一种新的 HDL，称之为 VHSIC Hardware Description Language，也就是我们现在所说的 VHDL，它是美国国防部委托 IBM 公司和 Texas Instruments 公司联合开发的。新语言的设计目标有两个：首先是使设计者可以用这种语言来描述他们希望描述的复杂电路；其次还希望这种语言成为一种标准，使 VHSIC 计划中每个成员能够按照标准的格式向别的成员提供设计。1986 年，VHDL 被建议作为 IEEE 标准，经过了多次更改后，直到 1987 年 12 月，才被批准为 IEEE 1076 标准。该标准经过不断地完善和更新，目前的标准为 IEEE 1164，它已被绝大多数 IC 生产家和 EDA 工具供应商所接受。当前几乎所有的 EDA 工具，均支持该标准。

#### 2. VHDL 的特点

1) VHDL 是对逻辑电路进行描述的高级语言。它与其他高级语言相比既有相同之处，也有其自身特点：VHDL 是工业标准的文本格式语言，已成为一种工业标准，设计者、EDA 工具的供应商以及芯片生产厂家，都要遵循这一标准；该语言是一种文本格式的语言，



ASIC的设计者在设计电路时,就像编写其他高级语言程序一样,用文字来表达所要设计的电路,这样能比较直观地表达设计者的设计思想,并且易于修改。

2) VHDL能同时支持仿真和综合。VHDL是一种能够支持系统仿真的语言。事实上,ASIC成功的关键在于生产前的设计,而保证设计正确性的主要手段是系统仿真。这样,设计者在ASIC生产前就能够知道设计的正确与否、系统的性能如何等关键问题。VHDL不仅是一种仿真语言,而且还是一种可综合的语言。VHDL的语句中有一部分是不支持综合的,EDA工具无法根据该部分语句生成电路;但另一部分可综合语句却足以描述一个大而完整的系统。目前所有的高层综合工具所支持的综合语句,都是IEEE标准的一个子集。因此,VHDL可以有两种完全不同的描述,一种是基于仿真的描述,它可以使用VHDL定义的各种语句,这类程序主要适于编写测试基准程序和各种仿真模型的工程师使用;另外一种就是用于产生具体电路的综合描述,它只能使用VHDL中的可综合子集,主要适于从事电路设计的工程师使用,本书中主要偏重于介绍这种类型的VHDL描述。

3) VHDL是一种并发执行的语言。几乎所有高级语言的执行都是顺序的,而VHDL语言在仿真过程中的执行是并行的,这种特性是符合实际逻辑电路的工作过程的。

4) VHDL支持结构化设计和自顶向下的设计方法。VHDL是一种结构化的语言,它提供的语句可以完成多层结构的描述,因此VHDL可以支持结构化设计。结构化设计就是将一个系统划分为多个模块,而每个模块又可以继续划分为更多的子模块。这样就可以采用自顶向下的设计方法,从系统整体要求出发,自上而下地逐步将系统内容细化,最后完成系统的整体设计。

这里需要说明的是,VHDL的描述与工艺无关,设计者在利用VHDL描述电路时并不需要关心电路最终将在哪种工艺上实现,EDA工具可以将VHDL源代码映射到不同的工艺库上,提高了设计的可重用性。此外,它还支持多种风格的描述方法,不仅支持行为级的描述,而且支持数据流及结构描述。这些内容将在后续章节中作详细讨论,这里不再赘述。

### 1.4.2 EDA技术的常用工具

EDA工具的发展经历了两个大的阶段:物理工具和逻辑工具。现在,EDA和系统设计工具正逐步被理解成一个整体的概念:电子系统设计自动化。物理工具用来完成设计中的实际物理问题,如芯片布局、PCB布线等;逻辑工具是基于网表、布尔逻辑、传输时序等概念,首先由原理图编辑器或HDL进行设计输入,然后利用EDA系统完成综合、仿真、优化等过程,最后生成物理工具可以接受的网表或VHDL、Verilog HDL的结构化描述。现在常用的EDA工具有编辑器、仿真器、检查/分析工具、优化综合工具等。本节主要介绍当今广泛使用的以开发FPGA和CPLD为主的EDA工具,以及部分关于ASIC设计的EDA工具。EDA工具在EDA技术应用中占据极其重要的位置,EDA的核心是利用计算机完成电子设计全程自动化,因此,基于计算机环境的EDA工具的支持是必不可少的。由于EDA的整个流程涉及不同技术环节,每一个环节中必须有对应的工具包或专用EDA工具独立处理,包括对电路模型的功能模拟,对VHDL进行描述的逻辑综合等,因此单个EDA工具往往只涉及EDA流程中的某一步骤。这里就以EDA设计流程中涉及的主要工具包为EDA工具分类,并作简单介绍。EDA工具大致可分为如下5个模块:设计输入编辑器,HDL综合器,仿真器,适配器(或布局、布线器),下载器。当然这种分类不是绝对的,现在也有集成的EDA



开发环境,如 MAX+plus II。

### 1. 设计输入编辑器

FPGA/CPLD 设计中的设计输入编辑器(或称设计输入环境),可以接受不同的设计输入方式,如原理图输入方式、状态图输入方式、波形输入方式以及 HDL 的文本输入方式。在各 PLD 厂商提供的 EDA 开发工具中一般都含有这类输入编辑器,如 Xilinx 公司的 Foundation、Altera 公司的 MAX+plus II 等。通常专业的 EDA 工具供应商也提供相应的设计输入工具,这些工具一般与该公司的其他电路设计软件整合,这一点尤其体现在原理图输入环境上,既可作为 PCB 设计的原理图输入,又可作为 IC 设计、模拟仿真和 FPGA 设计的原理图输入环境。比较常见的还有 Cadence 公司的 OrCAD 中的 Capturek 工具等。这一类的工具一般都设计成通用型的原理图输入工具。由于针对 FPGA/CPLD 设计的原理图要含有特殊原理图库(含原理图的 symbol),因此其输出并不与 EDA 流程的下一步设计工具直接相连,而要通过网表文件来传递。由于 HDL(包括 VHDL、Verilog HDL 等)的输入方式是文本格式,所以它的输入实现要比原理图输入简单得多,用普通的文本编辑器即可完成。如果要求 HDL 输入时有语法色彩提示,可用带语法提示功能的通用文本编辑器,如 UltraEdit、Vim、XEmacs 等。当然 EDA 工具中提供的 HDL 编辑器会更好用些,如 Aldec 公司的 Active HDL 的 HDL 编辑器。由于 PLD 规模的增大,设计的可选性大为增加,需要有完善的输入文档管理, Mentor 公司提供的 HDL designer series 就是此类工具的一个典型代表。

有的 EDA 设计输入工具把图形设计与 HDL 文本设计相结合,如在提供 HDL 文本编辑器的同时提供状态编辑器,用户可用图形(状态图)来描述状态机,最后生成 HDL 文本输出,如 Visual HDL、Mentor 公司的 FPGA advantage(含 HDL designer series)、Active HDL 中的 Active State 等。尤其是 HDL designer series 中的各种图形编辑器,可以接受诸如原理图、状态图、表格图等输入形式,并将它转成 HDL(VHDL/Verilog HDL)文本表达方式,很好地解决了通用性(HDL 输入的优点)与易用性(图形学的优点)之间的矛盾。设计输入编辑器在多样、易用和通用方面的功能不断增强,标志着 EDA 技术中自动化设计程度的不断提高。

### 2. HDL 综合器

由于目前通用的 HDL 为 VHDL 和 Verilog HDL,这里介绍的 HDL 综合器主要是针对这两种语言的。硬件描述语言诞生的初衷是用于电路逻辑的建模和仿真的,但直到 Synopsys 公司推出 HDL 综合器后,才改变了人们的看法,开始将 HDL 直接用于电路的设计。由于 HDL 综合器是目标元器件硬件结构细节、数字电路设计技术、化简优化算法以及计算机软件的综合体,而 HDL 可综合子集迟迟未能标准化,所以相比于形式多样的设计输入工具,成熟的 HDL 综合器并不多。比较常用的性能良好的用于 FPGA/CPLD 设计的 HDL 综合器有如下 3 种:① Synopsys 公司的 FPGA compiler、FPGA express,② Synplicity 公司的 Synplify Pro,③ Mentor 子公司 Exemplar Logic 的 Leonardo spectrum。

较早推出综合器的是 Synopsys 公司,它为 FPGA/CPLD 开发推出的综合器是 FPGA express 及 FPGA compiler,两者的差别不是很大。为了处理方便,最初由 Synopsys 公司在综合器中增加了一些用户自定义类型,如 Std\_logic 等,后被纳入 IEEE 标准。其他综合器也都只能支持 VHDL 中的可综合子集。FPGA compiler 中带有原理图生成浏览器,可以把综合出的网表用原理图的方式画出来,便于验证设计,还附有强大的延时分析器,可以对关键





路径进行简单分析。

Synplicity 公司的 Synplify Pro 除了有原理图生成器、延时分析器外, 还带有一个 FSM compiler (有限状态机编译器), 可以从提交的 VHDL/Verilog-HDL 设计文本中提取出存在的有限状态机设计块, 并用状态图的方式显示出来, 用表格说明状态的转移条件及输出。Synplify Pro 的原理图浏览器可以定位原理图中元器件在 VHDL/Verilog-HDL 源文件中的对应语句, 便于调试。

Exemplar Logic 公司的 Leonardo spectrum 也是一个很好的 HDL 综合器, 它同时可用于 FPGA/CPLD 和 ASIC 设计两类工程目标。Leonardo spectrum 作为 Mentor 公司的 FPGA advantage 中的组成部分, 可以与 FPGA advantage 的设计输入管理工具和仿真工具很好地结合。

当然也有应用于 ASIC 设计的 HDL 综合器, 如 Synopsys 公司的 Design Compiler, Synplicity 公司的 Synplify ASIC, Cadence 公司的 Synergy 等。

HDL 综合器在把可综合的 VHDL/Verilog HDL 文件转换为硬件电路时, 一般要经过两个步骤: 第一步是 HDL 综合器对 VHDL/Verilog HDL 进行分析处理, 并将其转成相应的电路结构或模块, 这时是不考虑实际元器件实现的, 即完全与硬件无关, 这个过程是一个通用电路原理图形成的过程; 第二步是对应实际实现目标元器件的结构并进行优化, 使之满足各种约束条件, 并优化关键路径等。

HDL 综合器的输出文件一般是网表文件, 如 EDIF (Electronic Design Interchange Format, 电子数据交换格式, 是一种工业标准文件格式) 文件; 或是直接用 VHDL/Verilog HDL 语言表达的标准格式的网表文件; 或是对应 FPGA 器件厂商的网表文件; 如 Xilinx 公司的 XNF 网表文件。

由于综合器只能完成 EDA 设计流程中的一个独立设计步骤, 所以它往往被其他 EDA 环境调用, 以完成全部流程。它的调用方式一般有两种: 一种是前台模式, 在被调用时, 显示的是最常见的窗口界面; 一种称为后台模式或控制台模式, 被调用时不出现图形界面, 仅在后台运行。综合器的使用也有两种模式: 图形模式和命令行模式 (shell 模式)。

### 3. 仿真器

仿真器有基于元件 (逻辑门) 的仿真器和 HDL 仿真器之分, 基于元件的仿真器缺乏 HDL 仿真器的灵活性和通用性, 在此主要介绍 HDL 仿真器。在 EDA 设计技术中, 仿真的地位十分重要, 行为模型的表达、电子系统的建模、逻辑电路验证乃至门级系统的测试, 每一步都离不开仿真器的模拟检测。在 EDA 发展的初期, 快速进行电路逻辑仿真是当时的核心问题, 即使在现在, 各设计环节的仿真仍然是整个 EDA 工程流程中最耗时间的一个步骤, 因此仿真器的仿真速度、仿真的准确性、易用性成为衡量仿真器的重要指标。按仿真器对设计语言不同的处理方式分类, 可分为编译型仿真器和解释型仿真器。编译型仿真器的仿真速度很快, 但需要预处理, 因此不便即时修改; 解释型仿真器的仿真速度一般, 可随时修改仿真环境和条件。

按处理的 HDL 类型分, 仿真器可分为:

- 1) VHDL 仿真器。
- 2) Verilog HDL 仿真器。
- 3) MixedHDL 仿真器 (混合 HDL 仿真器, 同时处理 Verilog HDL 与 VHDL)。