



Xilinx大学合作计划指定教材

超值大容量DVD光盘

内含对应本书内容的
Xilinx ISE Design Suite 10.1 Web版软件
和本书所有实例的完整工程文件



Xilinx ISE Design Suite 10.x FPGA开发指南

—— DSP、嵌入式与高速传输篇

田耘 胡彬 徐文波 等 编著





Xilinx大学合作计划指定教材

TP332.1
T519-1

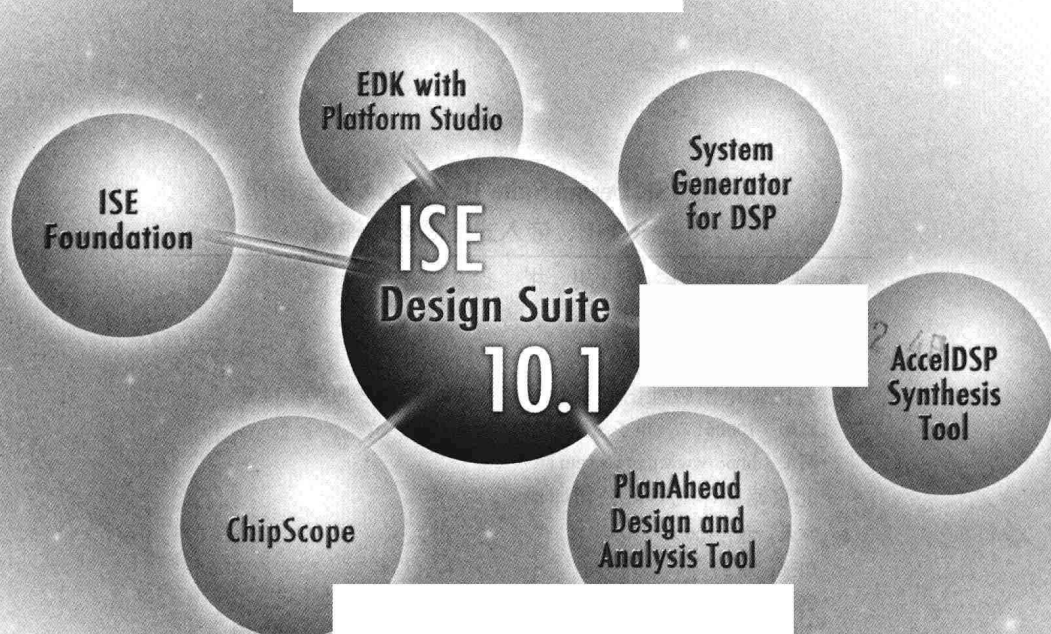
Xilinx

ISE Design Suite 10.x

FPGA开发指南

——DSP、嵌入式与高速传输篇

田耘 胡彬 徐文波 等 编著



人民邮电出版社

北京

图书在版编目(CIP)数据

Xilinx ISE Design Suite 10.x FPGA开发指南. DSP、
嵌入式与高速传输篇 / 田耘等编著. —北京: 人民邮电出
版社, 2008. 11

ISBN 978-7-115-18808-3

I. X… II. 田… III. ①可编程序逻辑器件—系统设计
②数字信号—信号处理 IV. TP332.1 TN911.72

中国版本图书馆CIP数据核字(2008)第137809号

内 容 提 要

本书以 Xilinx FPGA 的数字信号处理、嵌入式系统和高速传输技术的开发为主线, 以深入浅出、图文并茂的方式, 较为全面、详细地介绍了 Xilinx 公司的终极开发套件 ISE Design Suite 10.1 中 DSP、MicroBlaze/PowerPC 和 MGT 的操作方法, 并精选了多个实例进行详细讲解。本书针对性强, 内容结合了作者多年的开发经验, 可满足实际工程开发的需求, 具有很高的实践指导价值。

本书可作为电子和通信工程师的实际开发指导用书, 也可作为高等院校通信工程、电子工程、计算机以及微电子与集成电路等相关专业的高年级本科生和研究生的教材和学习参考书。

Xilinx ISE Design Suite 10.x FPGA 开发指南 ——DSP、嵌入式与高速传输篇

◆ 编 著 田 耘 胡 彬 徐文波 等

责任编辑 王 晓 明

执行编辑 刘 洋

◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号

邮编 100061 电子函件 315@ptpress.com.cn

网址 <http://www.ptpress.com.cn>

北京铭成印刷有限公司印刷

◆ 开本: 787×1092 1/16

印张: 28.25

字数: 694 千字

印数: 1—4 000 册

2008 年 11 月第 1 版

2008 年 11 月北京第 1 次印刷

ISBN 978-7-115-18808-3/TN

定价: 63.00 元(附光盘)

读者服务热线: (010)67120142 印装质量热线: (010)67129223

反盗版热线: (010)67171154

序

近 10 年来, FPGA 行业获得了突飞猛进的发展, 门数量的增加和生产工艺的进步使 FPGA 走到了技术的前沿, FPGA 在开发工作中的地位从胶合逻辑的配角上升到数字系统的核心处理器件。美国 Xilinx 公司是全球领先的可编程逻辑器件 (PLD) 及完整解决方案的供应商, 提供了类型多样、功能强大的 FPGA 器件, 以及软件设计工具和丰富的 IP 核。这些都为工业界和学术界提供了优秀的开发和应用平台。FPGA 的应用非常广泛, 涉及无线通信、多媒体处理、汽车和消费电子、国防和宇航工业等诸多领域。

Xilinx 公司致力于为全球范围的用户提供先进的芯片和设计理念, 同时也非常关注高校师生的创新活动。Xilinx 在中国多所高校成立了联合实验室, 帮助在校老师和学生掌握 FPGA 的开发流程和设计方法。今天的年轻学习者, 未来将可能成为专业的开发工程师。他们现在打好基础, 掌握了学习和跟踪技术发展前沿的能力, 对我国未来可编程逻辑器件产业的发展将起到积极的推动作用。

目前, Xilinx 最新的开发软件为 ISE Design Suite 10.1 版本, 这个版本首次统一了逻辑、DSP 和嵌入式等不同设计领域, 能够为用户提供更高的设计效率。为了让读者更好地学习这个软件, 我向读者推荐人民邮电出版社出版的《Xilinx ISE Design Suite 10.x FPGA 开发指南——逻辑设计篇》和《Xilinx ISE Design Suite 10.x FPGA 开发指南——DSP、嵌入式与高速传输篇》。这两本书详细讲解了 Xilinx ISE Design Suite 10.1 软件的操作方法和它在逻辑设计、DSP 开发、嵌入式设计和高速传输领域的应用。希望这两本书能让更多的 FPGA 学习者深入了解并掌握基于 ISE Design Suite 设计的基本原理和方法, 并促进 FPGA 技术在我国普及和推广。



工业和信息化部 (原信息产业部) 电信研究院高级工程师
英国约克大学电子学博士

2008 年 9 月于北京

前 言

目前, FPGA 设计已经变得与固定架构芯片的设计同样复杂, 门数量的增加和生产工艺的进步, 使得 FPGA 的设计走到技术的前沿。FPGA 已经不再仅仅作为设计原型平台, 今天的数百万门的 FPGA 器件采用先进的 65nm 工艺生产, 价位也具有相当的竞争力, 完全能够支持高性能、大批量产品的设计。考虑到传统的高度灵活性和可编程优点, 以及设计方便性, FPGA 在许多情况下已经成为最佳的选择, 可广泛用于计算机、通信、消费电子和汽车等领域中众多要求苛刻且成本敏感的场所。因此 FPGA 设计工具必须跟上相应器件的发展。同时, 设计领域也在不断融合, 因此设计团队需要开发出满足用户需求的综合解决方案。通过一个集成开发环境, 完成逻辑、DSP 和嵌入式应用设计, 可以提高生产效率, 并通过片上系统 (SoC) FPGA, 促进真正的系统级设计。

Xilinx 公司是全球最大的可编程逻辑器件制造商, 在芯片设计领域和 FPGA 设计工具方面一直引导最新潮流。此次创新性地为其屡获殊荣的、被广泛运用的 ISE 工具套件推出了 10.1 新版本, 从而再次为设计解决方案确立了新标准, 并为其最新的高性能 Virtex 5 和低成本 Spartan 3 FPGA 提供了更强大的支持。通过新推出的 ISE Design Suite 10.1, 赛灵思正面解决了采用高级 FPGA 进行设计的设计师所面对的严峻挑战, 并且第一次提供了一个统一的逻辑、DSP 和嵌入式应用设计人员需要的解决方案。

本书主要涉及 ISE Design Suite 中有关 DSP、嵌入式处理和高速传输方面的内容, 共分为 7 章。第 1 章主要介绍了 System Generator 的使用方法, 包括软硬件协同设计和硬件协同仿真等先进技术。第 2 章详细介绍了 AccelDSP 综合工具的使用方法, 从功能上讲, AccelDSP 可实现更高的设计效率提供更广的使用范围。第 3 章给出了数字下变频的开发实例, 分别通过 System Generator 和 AccelDSP 工具来实现, 展示了 DSP 开发平台的强大功能。第 4 章详细介绍了嵌入式开发平台 EDK 的使用, 包括硬件平台开发工具 XPS 和软件开发工具 SDK。第 5 章给出了基于 EDK 的以太网开发实例, 给出了以太网接口芯片 DM9000 的驱动和以太网接口的应用程序。第 6 章介绍了高速数据连接技术, 重点介绍了 Virtex 2 Pro Rocket I/O 和 Virtex 5 GTP 模块的内部结构。第 7 章给出了两个高速接口开发实例, 较适合初学者入门。

本书适合从事 Xilinx 系列 FPGA 设计和开发的工程师, 以及通信、电子和计算机等相关专业的研究生和高年级本科生使用。

本书的附带光盘包含了 ISE Design Suite 10.1 完整的 Web 版软件和本书所有工程例子的完整工程文件。我们希望能够为读者的学习提供更多的方便。

在本书编写过程中, 得到了 Xilinx 公司亚太区公共关系经理张俊伟女士的诸多帮助, 并最终促成本书的编写; Xilinx 公司中国区大学计划经理谢凯年先生提供了最新版的 ISE 软件; Xilinx 公司亚太区高级产品经理梁晓明先生审阅了全书内容, 并提出了很多建设性意见, 极大地提高了本书的质量; 人民邮电出版社刘洋编辑在本书的定稿和审稿过程中付出了诸多努力, 才有了本书的迅速面世。此外, Openhard 社区 (www.openhw.org) 的贺潇荃工程师给作者共享了很多资源和参考设计实例, 在此一并表示衷心的感谢。

由于作者水平有限，加上时间比较仓促，书中不妥之处在所难免，敬请读者批评指正。
读者可通过电子邮件（liuyang@ptpress.com.cn）与本书责任编辑进行互动交流。

作 者
2008 年 8 月

目 录

第 1 章 DSP 设计工具 System Generator	1
1.1 System Generator 概述	1
1.1.1 System Generator 的主要用途	1
1.1.2 System Generator 10.1 的安装与主要特征	2
1.1.3 System Generator 入门介绍	4
1.2 利用 System Generator 进行 DSP 设计	8
1.2.1 System Generator 的 FPGA 开发流程	8
1.2.2 系统级建模详解	11
1.2.3 Sysgen 导入另一工程	20
1.2.4 可配置子系统的使用	24
1.2.5 多时钟模块的 Sysgen 设计	26
1.2.6 Sysgen 中特殊模块的使用说明	30
1.2.7 高性能 FPGA 设计的注意事项	44
1.3 软硬件协同设计	45
1.3.1 3 种实现方法概述	45
1.3.2 EDK 设计中基本概念	45
1.3.3 如何使用 EDK Processor 模块	49
1.3.4 嵌入式设计样例	51
1.4 硬件协同仿真	59
1.4.1 硬件协同仿真平台的安装	60
1.4.2 硬件协同仿真的基本操作	60
1.4.3 以太网协同仿真接口的配置	65
1.4.4 共享存储器	66
1.4.5 基于帧结构的矢量传输	71
1.4.6 实时信号处理	78
1.5 HDL 模块的导入	83
1.5.1 可综合的 HDL 代码要求	83
1.5.2 Configuration Wizard 的配置	84
1.5.3 可配置 M 文件	84
1.5.4 HDL 协同仿真	87
1.5.5 HDL 模块导入样例	88
1.6 本章小节	94
第 2 章 AccelDSP 综合工具	95
2.1 AccelDSP 概述	95

2.1.1	AccelDSP 的安装及参数设置	95
2.1.2	AccelDSP 10.1 新特性	97
2.2	可综合 M 文件编程规范	97
2.2.1	M 文件整体设计架构	98
2.2.2	数据类型简介	99
2.2.3	基本操作符介绍	102
2.3	使用 AccelDSP 进行系统设计	106
2.3.1	AccelDSP 的 ISE 设计流程	106
2.3.2	创建一个工程	108
2.3.3	定点模型详解	110
2.3.4	优化硬件架构	121
2.3.5	硬件接口协议	126
2.3.6	FIR 滤波器样例	127
2.4	AccelWare 应用介绍	133
2.4.1	AccelWare 基本用法	133
2.4.2	AccelWare 库	137
2.5	本章小节	142
第 3 章	数字信号处理系统开发实例	143
3.1	实例介绍	143
3.1.1	中频信号处理单元结构	143
3.1.2	系统设计要	145
3.2	System Generator 实现	146
3.2.1	设计方案	146
3.2.2	工程模块介绍	148
3.2.3	实例仿真验证	156
3.3	AccelDSP 实现	161
3.3.1	设计方案	161
3.3.2	AccelDSP 实现详解	162
3.3.3	实例仿真验证	169
3.4	本章小节	176
第 4 章	基于 FPGA 的可编程嵌入式开发技术	177
4.1	可配置嵌入式系统 (EDK) 介绍	177
4.1.1	基于 FPGA 的可编程嵌入式开发系统	177
4.1.2	Xilinx 公司的解决方案	178
4.1.3	EDK 10.1 特征小结	178
4.2	Xilinx 嵌入式开发系统组成介绍	179
4.2.1	片内微处理器软核 MicroBlaze	179

4.2.2	片内微处理器 PowerPC	182
4.2.3	常用总线结构	185
4.2.4	IP 核以及设备驱动	190
4.2.5	系统设计方案	195
4.3	EDK 软件基本介绍	197
4.3.1	EDK 的介绍与安装	197
4.3.2	EDK 设计的实现流程	199
4.3.3	EDK 的文件管理架构	201
4.4	XPS 软件的基本操作	205
4.4.1	XPS 的启动	205
4.4.2	利用 BSB 创建新工程	205
4.4.3	XPS 的用户界面	212
4.4.4	XPS 的目录结构与硬件平台	217
4.4.5	在 XPS 中加入 IP Core	219
4.4.6	在 XPS 中定制用户设备的 IP	227
4.4.7	IP 外设的 API 函数查阅和使用方法	249
4.5	XPS 软件的高级操作	251
4.5.1	XPS 的软件输入	251
4.5.2	XPS 中的设计仿真	256
4.5.3	将 EDK 设计作为 ISE 设计的子系统	265
4.5.4	XPS 工程的实现和下载	268
4.5.5	在线调试工具	274
4.5.6	XPS 中 ChipScope 的使用	283
4.6	SDK 软件的操作说明	291
4.6.1	SDK 的用户界面	291
4.6.2	SDK 的基本操作	295
4.6.3	SDK 的调试与运行操作	306
4.7	嵌入式操作系统 Xilkernel	308
4.7.1	嵌入式操作系统的基本知识	308
4.7.2	Xilkernel 操作系统	311
4.7.3	可加载库的说明	317
4.7.4	Xilkernel 的开发流程	323
4.8	本章小结	338
第 5 章	以太网接口的 FPGA 实现	339
5.1	以太网技术基础	339
5.1.1	以太网技术简介	339
5.1.2	TCP/IP	339
5.1.3	因特网的结构和路由	341

5.1.4	因特网地址以及地址映射	342
5.2	以太网接口的硬件设计方案	344
5.2.1	整体实施方案	344
5.2.2	硬件接口描述	347
5.3	以太网接口的 MicroBlaze 实现	351
5.3.1	DM9000 的软、硬件驱动	351
5.3.2	基于 MicroBlaze 完成以太网接口的开发	362
5.4	本章小结	372
第 6 章	基于 FPGA 的高速数据连接技术	373
6.1	高速数据连接功能简介	373
6.1.1	高速数据传输的背景	373
6.1.2	Xilinx 公司高速连接功能的解决方案	373
6.2	实现吉比特高速串行 I/O 的相关技术	374
6.2.1	吉比特高速串行 I/O 的特点和应用	374
6.2.2	吉比特高速串行 I/O 系统的组成	375
6.2.3	吉比特高速串行 I/O 的设计要点	379
6.3	Rocket I/O 高速串行组件	381
6.3.1	Rocket I/O 技术简介	381
6.3.2	Aurora 协议	382
6.3.3	Virtex 2 Pro 系列 Rocket I/O 硬核模块	383
6.3.4	Virtex 5 系列 Rocket I/O GTP 硬核模块	405
6.4	本章小结	418
第 7 章	Rocket I/O 的开发实例	419
7.1	Rocket I/O GTP 入门操作实例	419
7.2	PCI Express 端点接口设计	431
7.2.1	PCI Express 技术综述	432
7.2.2	Xilinx PCI Express 端点模块	433
7.2.3	PCI Express 端点接口示例解读	439
7.3	本章小结	441
	参考文献	442

第 1 章 DSP 设计工具 System Generator

近年来,随着多媒体技术和无线通信技术的迅猛发展,信息技术领域对 DSP 应用的需求不断增长。传统的 DSP 处理器虽然时钟速率很高,但 DSP 处理器在运行时按指令顺序执行,因而资源利用率不高,数据的吞吐量较低,难以实现高速率、高复杂度的设计。而 FPGA 拥有大量可编辑逻辑算术资源,比如专用 DSP 块、乘法器、双口 RAM、LUT、寄存器、DCM 等,同时在 Virtex-4 和 Virtex-II Pro 及以后的 Xilinx 芯片中加入了嵌入式的微控制器 (IBM PowerPC 405)、Multi-Gigabit 串行收发器等,因此具有高性能的并行数据处理功能,这使得 FPGA 成为高性能数字信号处理的理想器件,比如数字滤波、FFT 等。

使用 FPGA 进行 DSP 算法设计时,传统的实现方式下,用户首先需要进行浮点算法的仿真,然后转换成定点程序;其次将定点算法编写成 HDL 代码,通过反复的功能仿真、后仿真验证程序的正确性,最终产生比特流文件。Xilinx 公司推出的系统建模工具 System Generator 简化了整个 DSP 开发过程。用户只需要根据设计要求在 Simulink 下进行系统建模,使用 System Generator 工具即可自动产生可执行比特流文件、测试文件等,去掉了烦琐的仿真、对比和验证过程。本章重点讲述基于 System Generator 的 FPGA 开发技术,着重讲解其关键应用。

1.1 System Generator 概述

System Generator 是 Xilinx 公司的系统级建模工具,在很多方面扩展了 MathWorks 公司的 Simulink 平台,提供了适合硬件设计的数字信号处理 (DSP) 建模环境,加速、简化了 FPGA 的 DSP 系统级硬件设计。目前,基于 System Generator 的设计方法已在复杂系统实现中展现出强大的潜能,必将成为未来流行的 FPGA 开发技术之一。本节首先介绍 System Generator 的主要用途,其次介绍 System Generator 10.1 版本的安装及新特性,最后通过样例介绍 System Generator 的入门使用。

1.1.1 System Generator 的主要用途

System Generator 在 DSP 工程师和 FPGA 工程师之间架起了一座“桥梁”,使得它在两个领域都得到了广泛应用。对于 DSP 工程师来说,通过 Simulink 的设计,System Generator 即可自动完成硬件比特流的产生,而不需要了解比特产生的细节。对于 FPGA 工程师来说,System Generator 并没有代替 HDL 实现方式,而是简化了烦琐的编程过程,让设计者把精力放在系统的关键模块上。System Generator 设计工具的主要用途体现在以下 3 个方面。

1. 算法开发和模型分析

System Generator 非常适合用作算法开发和模型分析,当 System Generator 用作算法开

发和模型分析时，不仅可以实现算法的性能仿真，而且还可以预知该算法模型在硬件实现时所面临的问题，并且预估硬件资源占用情况和算法开销，所有这些操作都不需要硬件设备的支持。

在这种前提下，设计者将重心放在算法性能上，不用过多考虑其他细节问题（比如硬件映射问题等），并且使用 Simulink 或 MATLAB 矢量作为模块的测试输入源，方便快捷地进行仿真分析，System Generator 的资源评估（Resource Estimation）模块给出该算法的资源占用情况，用户根据性能指标修改算法细节直到能成功在硬件上实现为止。

2. 实现大型设计的部分模块

当 System Generator 用作大型系统设计中部分模块的实现时，设计人员只需要编写顶层文件，将 System Generator 产生的功能模块和其他模块例化，正确连接逻辑关系即可。需要注意的是，对于系统设计中需要精确时钟限制的外部接口模块，使用 System Generator 设计不是最佳方法。此时，只需要将该接口模块以其他方式（比如 HDL 方式）实现，然后通过 System Generator 工具提供的 Black Box 导入 Sysgen 工程中即可。

3. 实现完整系统的设计

如果一个系统的所有模块在 System Generator 模块库中都能找到，那么使用 System Generator 实现整个系统设计将非常方便。用户只需要点击 Generator 按钮即可产生需要的所有文件，这些文件包括以下几个。

- ① 该设计的全部 HDL 代码。
- ② Clock Wrapper，包括系统时钟和 Clock Enable 信号的产生。
- ③ Testbench，用于 ISE 下仿真用测试文件，可以对比 Simulink 下的仿真结果。
- ④ 工程脚本文件，允许不同综合工具（比如 XST 和 Synplify）操作 System Generator 产生的 HDL 代码。
- ⑤ 其他文件，ISE 通过这些文件使用 System Generator 产生的代码。

System Generator 的以上 3 种设计用途为 DSP 工程师、FPGA 工程师提供了优良的开发环境，简化了冗长的 HDL 代码编写方式，改善了模块的测试环境，大大加快了 DSP 系统的设计进程。

1.1.2 System Generator 10.1 的安装与主要特征

1. 软件需求

System Generator 软件版本必须和 ISE 版本一致，同时要有匹配的 MATLAB 版本才能正常工作。对于 System Generator 10.1，需要以下软件环境。

- ① MATLAB 7.4/Simulink 6.6 (R2007a) 或者 MATLAB 7.5/ Simulink 7.0 (R2007b)。

注意：MATLAB 软件的安装路径上不能出现空格，例如，可以为 C:\MATLAB\R2007a。

- ② ISE Foundation version 10.1。System Generator 对常用的第三方软件也有相应的版本要求：综合工具 Synplify Pro 的版本为 8.6.2 或者 8.9；仿真工具 ModelSim 的版本至少为 PE 或者 SE 6.3c 以及更高版本。

2. System Generator 10.1 的安装

在 10.1 开发套件中，System Generator 10.1 和 AccelDSP10.1 统称为 DSP Tools，所以安装 DSP Tools 包括了对两种 DSP 开发工具的安装。在安装之前，需要关闭所有的 ISE 以及

MATLAB 应用程序，然后双击软件安装图标，弹出如图 1-1 所示的欢迎界面。

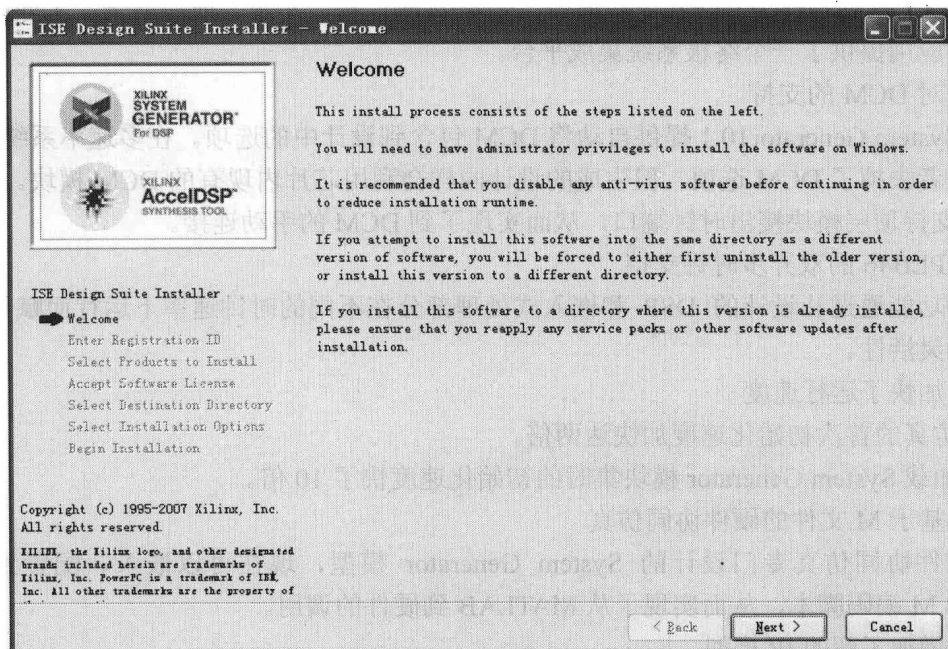


图 1-1 DSP Tools 安装界面

然后按照安装向导提示完成软件安装，再点击“开始→所有程序→Xilinx ISE Design Suite 10.1 → DSP Tools → Select MATLAB version for Xilinx System Generator”，在弹出的界面中选择对应的 MATLAB 版本，如图 1-2 所示。

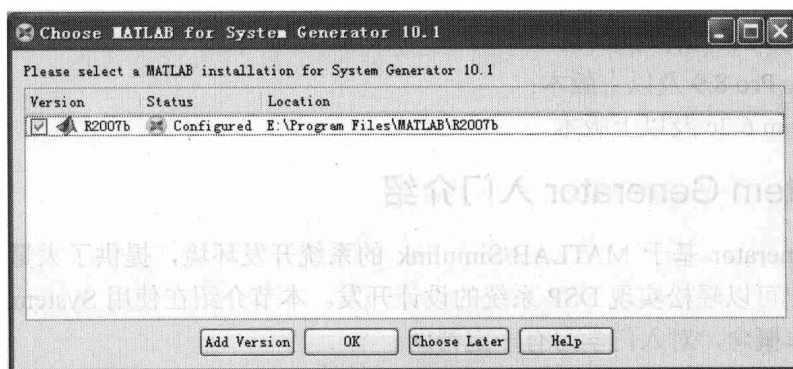


图 1-2 DSP Tools 配置界面

3. System Generator 10.1 的新特征

(1) System Generator 和项目浏览器 (Project Navigator) 集成

现在可以通过使用项目浏览器内新的源类型轻松地将 System Generator 设计整合到项目浏览器中，同时还可以从项目浏览器启动 System Generator。

(2) 支持 Virtex 5 FXT 系列器件

Virtex 5 FXT 系列器件集成了嵌入式 PowerPC 440 处理器、高速 Rocket IO GTX 收发器和专用 XtremeDSP 处理器。作为 65nm Virtex 5 系列的第 4 款平台，Virtex 5 FXT 具有极高的

性能,可帮助设计人员降低系统成本、缩小板尺寸并减少元件数器。在 EDK 10.1 的推动下,Virtex 5 FXT 系列器件为有线和无线通信、音频/视频广播、军事、航空航天、工业系统以及其他众多应用提供了一个终极系统集成平台。

(3) 对 DCM 的支持

① System Generator 10.1 提供自动将 DCM 包含到设计中的选项。在多速率系统设计时,即使设计者去掉了 DCM 选项,但生成的设计同样会利用芯片内现有的 DCM 模块。

② 支持顶层模块接出时钟端口,从而实现了到 DCM 的手动连接。

(4) PLB46 的双异步时钟支持

这种功能通过让设计的 DSP 和嵌入式处理部分在不同的时钟速率下运行而赋予了设计者更大的灵活性。

(5) 加快了运行速度

① 仿真的首次初始化速度加快达两倍。

② 加载 System Generator 模块集时的初始化速度快了 10 倍。

(6) 基于 M 文件的硬件协同仿真

为硬件协同仿真专门设计的 System Generator 模型,现在可以嵌入、配置到和用于 MATLAB M 编码脚本,从而实现了从 MATLAB 到硬件的调用。

(7) 增加了新的 IP 模型

① FFT 5.0: 模块更新,包括循环前缀插入(Cyclic Prefix Insertion)。

② FIR 编译器 3.2: 已更新,现在包含 Virtex-II 和 Spartan 3A FPGA 支持。

③ 复位发生器: 新模块,产生同步向下采样复位信号,从而无需手动生成这些信号。

④ CIC 1.1: 新模块,包含在 System Generator 内。

(8) 支持第三方工具

① MATLAB 2007a 和 2007b;

② Synplify Pro 8.9 及以上版本;

③ ModelSim 6.3c 及以上版本。

1.1.3 System Generator 入门介绍

System Generator 基于 MATLAB/Simulink 的系统开发环境,提供了大量 Xilinx 专用的 DSP 模块,用户可以轻松实现 DSP 系统的设计开发。本节介绍在使用 System Generator 设计时常用到的基本概念,对入门学习有一定帮助。

1. 基本概念

(1) System Generator Blockset

System Generator Blockset 是 Simulink 中的一个专用库,包含 Xilinx 所有专用 DSP 模块,是 System Generator 设计中必须用到的模块。可以在 Simulink 库浏览器窗口看到,与 System Generator 有关的库包括 Xilinx Blockset、Xilinx Preference Blockset 和 Xilinx XtremDSP Kit,如图 1-3 所示,其中 Index 包括所有的 Xilinx Blockset 块,共有超过 90 种不同的 DSP 功能块用于构建系统。

(2) FPGA 边界设计

FPGA 是基于定点数的实现方式,而 Simulink 的基本模型设计基于浮点数,因此在 System

Generator 设计中必须包含浮点数到定点数的转换模块。Gateway In 和 Gateway Out 模块即完成上述功能，所以在 System Generator 设计中必须包含这两个模块，如图 1-4 所示。

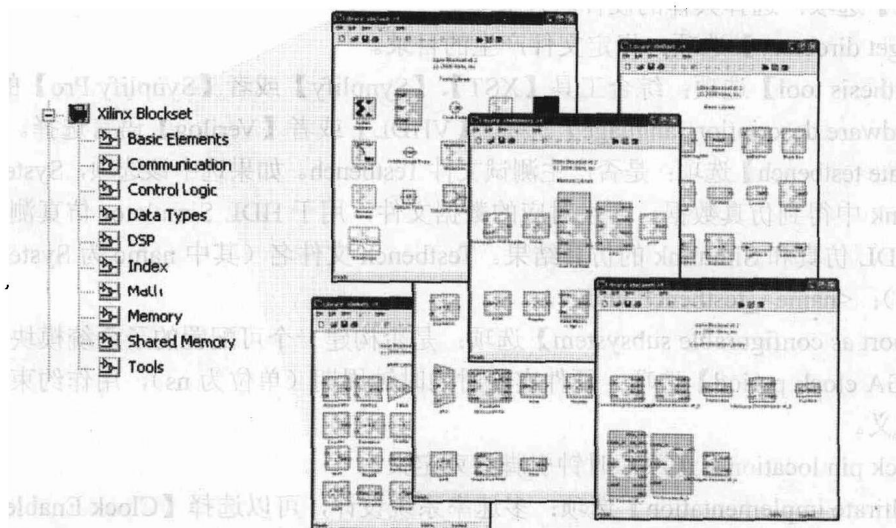


图 1-3 System Generator Blockset 调用界面

Gateway In 模块将全精度浮点数转换成 Xilinx 下的信号类型（定点数），Gateway Out 模块将仿真的定点结果转换成浮点数。Gateway In 和 Gateway Out 模块的中间部分为全定点数运算模块，可映射为硬件实现单元，故从某种意义上来说，Gateway In 和 Gateway Out 定义了 FPGA 的边界。



图 1-4 Gateway In 和 Gateway Out 模块

(3) System Generator 图标

每一个 System Generator 设计中必须至少包含一个 System Generator 图标，双击该图标可以修改 FPGA 实现属性，包括目标板、VHDL/Verilog 语言选择、系统时钟周期等，如图 1-5 所示。

System Generator 图标中列出了当前系统设计中的所有可配置属性，包括以下选项设置。

【Compilation】选项：选择相应的编译类型，有 5 种方式可以选择。

- 【Netlist】：两种类型的网表文件，即 HDL Netlist 和 NGC Netlist。
- 【Bitstream】：可直接用于下载到 FPGA 的比特流。
- 【EDK Export Tool】：EDK 输出工具用于 Xilinx 嵌入式开发套件。
- 【Hardware co-simulation】：硬件协同仿

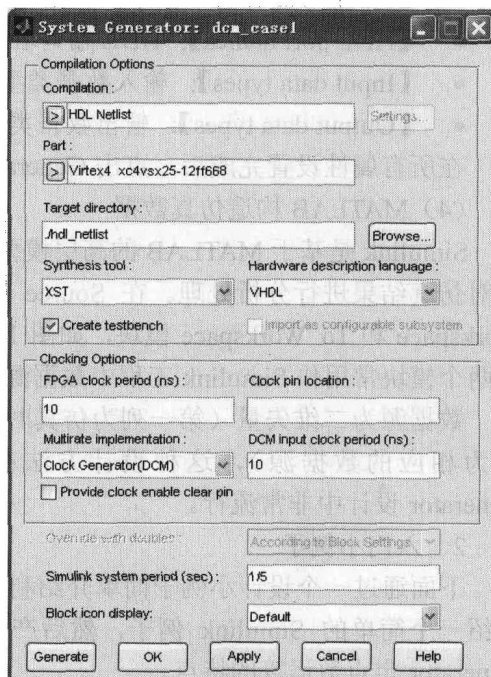


图 1-5 System Generator 图标

真，多种开发板可选。

- **【Timing Analysis】**: 该设计的时序报告。

【Part】选项: 选择具体的硬件芯片类型。

【Target directory】选项: 指定文件产生的目录。

【Synthesis tool】选项: 综合工具**【XST】**、**【Synplify】**或者**【Synplify Pro】**的选择。

【Hardware description language】选项: **【VHDL】**或者**【Verilog】**语言选择。

【Create testbench】选项: 是否产生测试文件 Testbench。如果选中该选项, System Generator 从 Simulink 中得到仿真数据, 产生对应的数据文件, 用于 HDL Simulator 仿真测试, 并且可以对比 HDL 仿真和 Simulink 的仿真结果。Testbench 文件名 (其中 name 为 System Generator 工程名字): <name>_testbench.vhd/.v。

【Import as configurable subsystem】选项: 是否构建一个可配置的子系统模块。

【FPGA clock period】选项: 硬件实现时的时钟周期 (单位为 ns), 用作约束文件中的时钟周期定义。

【Clock pin location】选项: 时钟引脚约束定义。

【Multirate implementation】选项: 多速率系统设计, 可以选择**【Clock Enable】**、**【DCM】**和**【Expose Clock Ports】**3种实现方式。

【Provide clock enable clear pin】选项: 提供时钟清零使能端口。

【Simulink system period】选项: 系统仿真周期 (单位为 s)。

【Block icon display】选项: 模块属性是否显示, 这些属性包括以下几类。

- **【Default】**: 默认设置, 显示模块的基本信息。
- **【Sample rates】**: 采样速率, 显示模块的采样率。
- **【Pipeline stages】**: 流水线, 显示模块使用的流水线级数。
- **【HDL port names】**: HDL 端口名称, 显示该模块的端口名称。
- **【Input data types】**: 输入数据类型, 显示模块的输入数据类型。
- **【Output data types】**: 输出数据类型, 显示模块的输出数据类型。

在所有属性设置完成后, 点击 Generate 按钮即可完成硬件实现过程。

(4) MATLAB 构造仿真数据

Simulink 是基于 MATLAB 的高层模型化设计, 所以允许使用 MATLAB 语言产生数据源和对仿真结果进行分析处理。在 Source libraries 和 Sink libraries 库中可以选择使用 From Workspace 和 To Workspace 模块, 如图 1-6 所示, 这两个模块常用作 Simulink 工程中数据源的产生。

数据源为二维矢量 (第一列为仿真时间, 第二列为相应的数据源), 这种设计方法在 System Generator 设计中非常流行。



图 1-6 From Workspace 和 To Workspace 模块

2. 入门小例子

下面通过一个设计小例子简单介绍利用 System Generator 进行设计的流程。该例中首先介绍一个简单的 Simulink 例子, 然后产生 System Generator 样例, 通过对比发现 System Generator 定点数运算的特点。

例 1-1: 利用 System Generator 进行入门设计。

(1) 打开 Simulink, 点击 File → New → Model, 新建一个工程文件 (Lab2.mdl)。

(2) 在 Simulink → Sources 中找到 Random Numbers、Sine Wave 和 Constant 3 个模块, 分别加入当前工程。在 Simulink → Math Operations 中找到 Product、Add 模块, 也加入当前工程, 并且在 Simulink → Sinks 中找到 Scope 模块, 将其加入当前工程, 正确连线如图 1-7 所示。

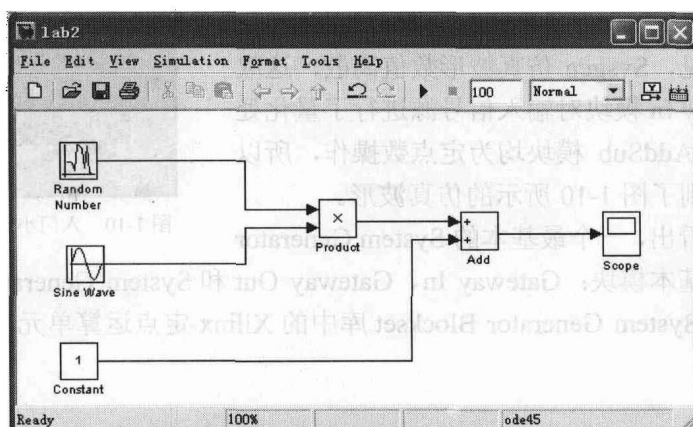


图 1-7 入门小例子 Simulink 图

(3) 保存当前工程, 在 Start 按钮  旁设置仿真时间 (默认条件下为 100), 本实例采用默认条件, 然后点击 Start 按钮仿真工程, 得到如图 1-8 所示的仿真波形 (默认条件下需要双击 Scope 模块才能显示出波形框图)。在 Scope 窗口中点击  图标, 显示仿真时间内的所有信号波形。

以上是 Simulink 最简单的例子, 正弦信号乘以随机数后加上常数 1 即可得到如上的波形, 模型中所有操作都为浮点数。下面利用 Sysgen 产生同样的工程样例。

(4) 在 Xilinx Blockset → Basic Elements 中找到 Gateway In、Gateway Out、System Generator 模块, 在 Xilinx Blockset → Math 中找到 Mult、AddSub 模块, 按图 1-9 所示连接整个工程, 所有模块的配置都采用默认属性。

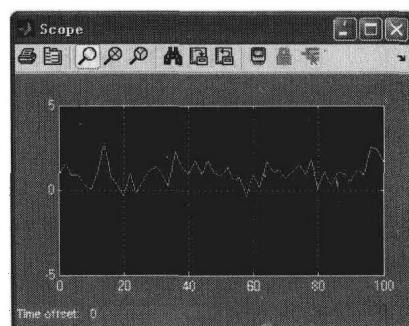


图 1-8 入门小例子 Simulink 仿真波形图

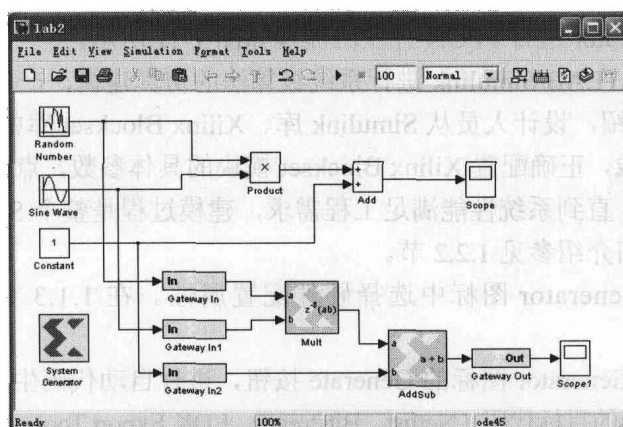


图 1-9 入门小例子 Sysgen 图