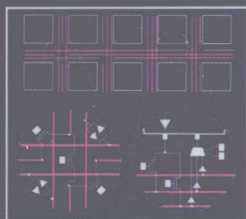


深亚微米 FPGA结构 与CAD设计

Architecture and CAD for Deep-Submicron FPGAs

Architecture and CAD for
Deep-Submicron FPGAs



Vaughn Betz
Jonathan Rose
Alexander Marquardt

[加] Vaughn Betz
Jonathan Rose 著
Alexander Marquardt

王伶俐 杨萌 周学功 译



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

深亚微米 FPGA 结构 与 CAD 设计

Vaughn Betz
[加] Jonathan Rose 著
Alexander Marquardt

王伶俐 杨 萌 周学功 译

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

Translation from the English language edition:

Architecture and CAD for Deep-Submicron FPGAs by Vaughn Betz, Jonathan Rose,
Alexander Marquardt

Copyright © 1998 Kluwer Academic Publishers, being a part of Springer Science +
Business Media

All rights Reserved

本书简体中文专有翻译出版权由 Springer Science + Business Media 授予电子工业出版社。未经许可，不得以任何方式复制或抄袭本书的任何部分。

版权贸易合同登记号 图字：01-2008-4786

图书在版编目（CIP）数据

深亚微米 FPGA 结构与 CAD 设计/（加）贝兹（Betz, V.），（加）马夸特（Marquardt, A.），
（加）罗斯（Rose, J.）著；王伶俐，杨萌，周学功译. —北京：电子工业出版社，2008.11
书名原文：Architecture and CAD for Deep-Submicron FPGAs

ISBN 978-7-121-07455-4

I. 深… II. ①贝…②马…③罗…④王…⑤杨…⑥周… III. 可编程序逻辑器件—
系统设计：计算机辅助设计 IV. TP332.1

中国版本图书馆 CIP 数据核字（2008）第 150573 号

策划编辑：董亚峰

责任编辑：宋兆武 张 溪

印 刷：北京机工印刷厂

装 订：三河市鹏成印业有限公司

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：720×1 000 1/16 印张：13.75 字数：246 千字

印 次：2008 年 11 月第 1 次印刷

印 数：4 000 册 定价：29.80 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

译者序

集成电路是信息产业的核心部分。2000年，以集成电路为基础的信息产业成为世界第一大产业。2007年，我国信息产业规模已超过日本，连续四年位列世界第二，已成为我国第一大支柱产业。2005年，我国已经超过美国，成为全球第一大集成电路消费市场。但是我国集成电路设计业总销售额仅占全球市场的3%，这一产业规模使得我国集成电路行业的贸易逆差也成为全球第一。据“中国集成电路设计产业新十年发展论坛暨中国半导体行业协会设计分会2005年年会”会议报告，2004年我国集成电路的进口额是石油进口额的1.3倍，钢材进口额的1.7倍，高达546.2亿美元，这种形势还在继续恶化。针对我国集成电路自主创新能力薄弱、缺乏核心技术的现状，国家非常重视“十一五”期间集成电路产业的发展，“自主创新”将成为产业发展的战略重点，加快我国从集成电路的消费大国到产业强国的转型步伐。

在高端通用芯片领域，我国经过多年的努力已经拥有自主设计的CPU、存储器和DSP芯片。但是至今还没有自主设计的商品化FPGA器件及其软件系统。在《国家中长期科学和技术发展规划纲要（2006—2020）》中，已经把核心电子器件、高端通用芯片及基础软件产品列为重大专项，其中FPGA是重要的组成部分。随着国际电子工业竞争日趋激烈，产品从开始设计到最终上市的时间直接关系到企业的生存与否。基于FPGA设计的电子产品具有设计成本低、上市时间快、设计灵活便于修改、生命周期长等优点，在通信、消费电子、汽车电子、工业控制、互联网等领域均得到了广泛应用，并不断渗透到ASIC、ASSP、DSP芯片的传统市场。FPGA的市场占有份额以及在整个集成电路领域的核心地位不断提高。

自从1984年Xilinx公司推出第一代FPGA芯片以来，FPGA已经成为当今数字电路设计中一个非常流行的实现途径。随着工艺技术的不断发展，目前已达到超深亚微米级，甚至是纳米级，同时FPGA的逻辑容量也越来越大。一些大规模信号或图像处理的应用设计已经可以在单片FPGA上实现。这使得FPGA成为中小量产规模产品设计的最佳选择。2007年，两大可编程器件供应商Xilinx和Altera均进入了全球十大集成电路设计公司。

FPGA相比ASIC最明显的优点是能够减少开发时间，这是由于

FPGA 芯片内部所有的逻辑和互连资源均通过可编程开关设置。这些可编程资源由 FPGA 厂商预先定制，用户在设计时只须通过下载程序控制相应的可编程开关即可实现电路功能。但是，这也给 FPGA 厂商带来了很大的难度。FPGA 厂商不仅需要提供一种合理的硬件结构来减轻电路布局布线时的压力，而且所开发 CAD 软件的优化能力及其可操作性等也都是至关重要的。由于自主设计 FPGA 的技术门槛较高，国内 FPGA 芯片和软件工具研发的总体水平相对于国外来说还有很大的差距。

使用商用 FPGA 器件和自主开发 FPGA 软硬件的差异很大，这就像使用 Windows 操作系统和开发 Windows 内核两者之间的差别一样。要在国内开展自主创新的 FPGA 器件和学术研究，就必须了解 FPGA 的基本硬件结构及软件算法的相关知识。如果首先吸收并消化国外的经典 FPGA 著作，然后在此基础上继续创新，将对国内自主开发 FPGA 软硬件结构和开展 FPGA 相关的学术研究大有益处。

近年来国内在可编程逻辑器件领域，包括 CPLD (Complex Programmable Logic Device, 复杂可编程逻辑器件) 和 FPGA (Field Programmable Gate Array, 现场可编程门阵列)，已经出版了许多书籍。这些书籍基本上都是介绍商用器件的基本硬件结构及其软件设计流程，然后配合硬件描述语言 (Hardware Description Language, HDL)——如 Verilog、VHDL (Very-High-Speed-Integrated-Circuit HDL) 等——来列举一些设计的实例。这固然能够让读者快速掌握利用商用器件进行电路系统设计的方法，但是也使读者对于商用器件产品手册中的可编程逻辑结构，特别是对器件性能起到决定作用的可编程互连结构，都只是被动地接受、理解。鉴于商业上的原因，国外可编程逻辑器件供应商也绝对不会对设计这些不同结构的理由多加阐释，一般的书籍也不会对结构进行原理性的介绍、分析和比较。这种局面严重阻碍了我国在自主设计可编程逻辑器件领域的发展和 innovation。

1999 年，Kluwer 出版社推出了由多伦多大学 Vaughn Betz 等所著的《Architecture and CAD for Deep-Submicron FPGAs》一书。该书对可编程逻辑器件中层次化的基本硬件结构，软件编译中的基本流程和优化算法，尤其对时序驱动的工艺映射和布局布线算法进行了详细的分析和研究，能够让读者理解可编程逻辑器件的基本结构设计原理和性能优化算法。这为开发人员在使用过程中充分利用可编程器件提供的软硬件资源，甚至是自主设计可编程器件和软件系统提供了非常必要的基础。

复旦大学专用集成电路与系统国家重点实验室的 CAD 研究室在自主设计可编程逻辑器件的软硬件系统领域已经积累了十多年的经验。FPGA

课题组成员一直希望能够把该书翻译成中文，以帮助刚刚涉足自主设计可编程器件的研发人员能够快速掌握基本的硬件结构和软件算法，以缩短研发周期和节约成本。

本书从 2005 年底翻译第 1 章开始，经过两年多的努力，终于要付梓成书了。首先要感谢童家榕教授长期对 FPGA 课题组的领导，不懈地推进自主设计 FPGA 芯片和软件系统的研发工作。另外要感谢 FPGA 课题组以及 CAD 教研室的来金梅博士、黄均鼐教授、唐璞山教授、曾璇教授、赵文庆教授、余晓轩博士、陶俊博士、王元老师、王健老师、孙劼老师、谭道珍老师和许薇老师在 FPGA 方面的帮助和支持。非常感谢参加本书讨论、翻译和校对的研究生洪晟彦、陈苑锋、王怡、胡云、王侃文、谈珺、邢虹、章淳、代莉、张小颖、梁绍池、刘沙、刘智斌、胡子夏、谢婧、陈利光和屠睿等。

王伶俐

2008 年 9 月

复旦大学张江校区

目 录

| | |
|-----------------------------------|-----------|
| 第 1 章 引言 | 1 |
| 1.1 FPGA 概述 | 2 |
| 1.2 FPGA 结构问题 | 3 |
| 1.3 研究方法和 CAD 工具 | 6 |
| 1.4 本书结构 | 7 |
| 1.5 致谢 | 7 |
| 第 2 章 背景知识与之前的研究工作 | 9 |
| 2.1 FPGA 结构 | 9 |
| 2.1.1 FPGA 可编程技术 | 10 |
| 2.1.2 FPGA 逻辑单元块结构 | 10 |
| 2.1.3 FPGA 布线结构 | 11 |
| 2.2 FPGA CAD 工具 | 15 |
| 2.2.1 综合和逻辑单元块打包 | 16 |
| 2.2.2 布局 | 18 |
| 2.2.3 布线 | 21 |
| 2.2.4 延时模型 | 26 |
| 2.2.5 时序分析 | 27 |
| 2.3 小结 | 29 |
| 第 3 章 CAD 工具：打包和布局 | 30 |
| 3.1 逻辑单元块打包 | 30 |
| 3.1.1 基于簇的逻辑单元块 | 30 |
| 3.1.2 基本逻辑单元块打包算法：VPack | 32 |
| 3.1.3 时序驱动逻辑单元块打包算法：T-VPack | 35 |
| 3.1.4 T-VPack 和 VPack 的比较 | 39 |
| 3.2 布局：VPR | 41 |
| 3.2.1 VPR 布局工具概述 | 41 |
| 3.2.2 新型自适应退火方案 | 43 |
| 3.2.3 新型成本函数：线性拥挤 | 45 |

| | | |
|--------------|--------------------|-----------|
| 3.2.4 | 线网边界框的增量式更新方法 | 47 |
| 3.3 | 小结 | 50 |
| 第 4 章 | 布线工具和布线结构生成 | 51 |
| 4.1 | CAD 流程中 VPR 的地位 | 51 |
| 4.2 | 参数化结构及其生成 | 52 |
| 4.2.1 | 参数化结构 | 53 |
| 4.2.2 | 布线资源图 | 55 |
| 4.2.3 | 参数化结构的自动生成 | 57 |
| 4.3 | 布通率驱动布线器 | 62 |
| 4.3.1 | 成本函数和布线策略 | 62 |
| 4.3.2 | 速度的改进 | 64 |
| 4.4 | 时序驱动布线器 | 66 |
| 4.4.1 | Elmore 延时模型的优点 | 66 |
| 4.4.2 | Elmore 延时的直接优化 | 68 |
| 4.4.3 | 线网布线算法复杂度 | 74 |
| 4.4.4 | 动态基本成本函数 | 74 |
| 4.4.5 | 布线策略 | 76 |
| 4.5 | 延时提取和时序分析 | 77 |
| 4.6 | 布线器和布局算法的验证 | 78 |
| 4.6.1 | 布通率驱动布线器和布局算法 | 78 |
| 4.6.2 | 时序驱动布线器 | 83 |
| 4.7 | 小结 | 85 |
| 第 5 章 | 全局布线结构 | 87 |
| 5.1 | 研究出发点 | 87 |
| 5.2 | 实验方法 | 88 |
| 5.2.1 | CAD 流程 | 89 |
| 5.2.2 | 面积利用率的衡量指标 | 90 |
| 5.2.3 | FPGA 结构的重要细节 | 91 |
| 5.3 | 实验结果: 偏向型布线结构 | 91 |
| 5.3.1 | 逻辑单元块方形阵列的结果 | 92 |
| 5.3.2 | 逻辑单元块矩形阵列的结果 | 94 |

| | | |
|--------------|-------------------------|------------|
| 5.4 | 实验结果：非均匀型布线结构 | 96 |
| 5.4.1 | 中心/边缘布线通道宽度比例 | 96 |
| 5.4.2 | 中心加宽的布线通道 | 100 |
| 5.4.3 | I/O 布线通道 | 101 |
| 5.5 | 小结 | 104 |
| 第 6 章 | 基于簇结构的逻辑块 | 106 |
| 6.1 | 研究出发点 | 106 |
| 6.2 | 实验方法 | 108 |
| 6.2.1 | CAD 流程 | 108 |
| 6.2.2 | 面积模型 | 110 |
| 6.2.3 | 延时模型 | 111 |
| 6.2.4 | 结构评估标准：面积延时积 | 113 |
| 6.2.5 | FPGA 的结构假设 | 114 |
| 6.3 | 逻辑簇输入数和逻辑簇尺寸之间的关系 | 116 |
| 6.4 | 逻辑单元块和互连之间的连通度与逻辑簇尺寸的关系 | 117 |
| 6.5 | 速度与面积利用率和逻辑簇尺寸的关系 | 118 |
| 6.6 | 逻辑簇尺寸对编译时间的影响 | 122 |
| 6.7 | 小结 | 123 |
| 第 7 章 | 详细互连结构 | 125 |
| 7.1 | 研究出发点 | 125 |
| 7.2 | 实验方法 | 127 |
| 7.2.1 | FPGA 结构假定 | 127 |
| 7.2.2 | CAD 流程 | 128 |
| 7.2.3 | 延时模型的准确性 | 129 |
| 7.2.4 | 面积模型 | 130 |
| 7.2.5 | 实验规则 | 131 |
| 7.3 | 单种线长结构 | 131 |
| 7.3.1 | 开关盒问题 | 132 |
| 7.3.2 | 单线型的最佳线长 | 135 |
| 7.3.3 | 逻辑单元块和互连通道之间的连通度 | 136 |
| 7.4 | 两种类型的可分割线段结构 | 137 |
| 7.4.1 | 单种三态缓冲器互连开关 | 137 |

| | | |
|------------------|---------------------|------------|
| 7.4.2 | 带缓冲器的 4 倍线配合传输管互连结构 | 138 |
| 7.4.3 | 带缓冲器的 8 倍线配合传输管互连结构 | 141 |
| 7.4.4 | 传输管开关 4 倍线配合缓冲器互连结构 | 142 |
| 7.5 | 内部分布率 | 144 |
| 7.5.1 | 只带缓冲器的单种 4 倍线结构 | 144 |
| 7.5.2 | 双线型结构 | 148 |
| 7.6 | 线距对速度的影响 | 150 |
| 7.7 | 总体结构比较 | 152 |
| 7.8 | 小结 | 155 |
| 第 8 章 | 结论和后续工作 | 157 |
| 8.1 | 研究成果总结 | 157 |
| 8.2 | 工作展望 | 161 |
| 8.2.1 | CAD 工具的改善 | 161 |
| 8.2.2 | FPGA 结构的后续研究 | 162 |
| 附录 A | VPR 中的视图 | 164 |
| 附录 B | FPGA 电路和工艺建模 | 170 |
| B.1 | 晶体管级电路图及其假设条件 | 170 |
| B.1.1 | FPGA 的互连结构 | 170 |
| B.1.2 | 逻辑单元块结构 | 175 |
| B.2 | RC 等效电路提取及延时计算 | 178 |
| 附录 C | 互连晶体管和金属线的尺寸 | 181 |
| C.1 | 传输管互连开关的尺寸调整 | 181 |
| C.2 | 三态缓冲器互连开关的尺寸调整 | 184 |
| C.3 | 连接盒输出引脚的三态缓冲器 | 186 |
| C.4 | 金属线宽度和线距 | 186 |
| 参考文献 | | 190 |
| 关键词索引 | | 202 |
| 专业名词中英文对照 | | 208 |

第1章 引言

自从 1984 年问世以来，FPGA（现场可编程门阵列）已经成为数字电路设计领域中的一种最普遍的实现途径，并且发展成为每年 20 亿美元的产业。半导体工艺尺寸已经进入深亚微米领域，促使 FPGA 的逻辑容量大幅上升，使之能适合于实现更大规模的设计。为了充分利用这些新型的深亚微米工艺技术，必须重新构建 FPGA 硬件结构和相应的 CAD（计算机辅助设计）工具。本书论述了高性能 FPGA 结构设计和 CAD 工具开发过程中的一些关键问题，其中着重探讨了 FPGA 在深亚微米工艺下的重要议题。

以下三个要素决定了 FPGA 的性能：将电路映射到 FPGA 的 CAD 工具质量，FPGA 硬件结构特性和 FPGA 电路设计水平（即晶体管级的电路设计）。本书对这三个要素做了全面综合的研究，并且相信这是第一本系统探讨 FPGA 结构和相应 CAD 工具的书籍。

为了评价不同 FPGA 结构的优劣，需要各种 CAD 工具，它们能够根据每一种被研究的 FPGA 结构自动实现电路。一旦电路用某种 FPGA 结构实现，就需要准确的面积和延时模型来评价在待测的 FPGA 结构上所实现电路的性能（达到的速度和需要的面积）。因此本书包括以下三部分主要内容：开发高效灵活的 CAD 架构，创建准确的 FPGA 延时和面积模型和探讨 FPGA 硬件结构的关键问题。

通过衡量在深亚微米工艺下（ $0.35\mu\text{m}$ ）所需要的面积和达到的速度，全书比较了各种 FPGA 结构。采用了对 FPGA 版图进行详细估计的面积模型，并兼顾一些重要深亚微米效应的延时模型，例如，在早期研究中经常被忽略但又值得注意的金属线阻容效应。只有采用在目标生产工艺上 FPGA 电路的详细模型，才能够充分地研究 FPGA 的结构问题。因此本书对这些问题做了广泛的探讨。

工业界对 FPGA 的研发往往只关注个别问题的解决方法——结构工程师选择合理的设计方案并做必要的猜测，使得一个产品能够适时地进入市场。工业界的产品文档并不说明这些设计方案是仔细研究所得的，还只是有根有据的猜测。他们通常不会调查（或者至少不会发表）不同的设计方案可能会造成的迥异效果。而本书所传递的正是这方面的知识——它们能

够引导人们在大量的 FPGA 结构中做出明智的选择, 并且能够完整地讨论相关的折中问题。人们找到了确定各种 FPGA 结构参数的最佳方法, 以及每个参数对 FPGA 性能的影响和设计高效 FPGA 结构的“经验规则”。

1.1 FPGA 概述

FPGA 之所以流行, 关键在于只要通过合适的编程, 它就能够实现任意电路。对于其他电路实现方法, 例如, 标准单元和 MPGA (掩模可编程门阵列), 就要求对每个设计都必须制造不同的 VLSI 芯片。相对于这些定制技术, 使用标准 FPGA 有两个重要的优点: 降低一次性费用 (NRE) 和缩短上市时间。

如果用 MPGA 和标准单元实现电路, 需要把完整的设计结果送到硅加工厂, 以生产精确地 (且唯一地) 实现这个电路设计的芯片。生产第一块芯片的一次性费用一般需要 10 万~25 万美元 (它包括制作光刻掩模板和运行整个工艺流程的费用)。相反, 只要对 FPGA (标准器件) 编程就可以实现用户所需的功能, 这样用户就不需要支付一次性费用。这使 FPGA 成为中小量产规模电路设计最廉价的实现方法。

上市时间短是 FPGA 的另一个关键优势。完整的芯片制造过程一般需要 6 至 8 周。如果生产出来的芯片中发现了问题, 它们必须被扔掉, 然后又得等 6 至 8 周重新生产修改过的设计。相反, FPGA 编程能在数秒内完成。如果芯片在系统级测试时发现问题, 通过重新编程, 就可以在几分钟内解决。因此, FPGA 的快速上市时间满足了当今生产周期变短的需求, 成为其压倒性的优势。

然而, FPGA 也为可编程特性付出了代价。在 MPGA 和标准单元中, 电路是用金属线互连的, FPGA 却一定要通过可编程开关来连接电路。这些开关比金属线的电阻要大, 并且在互连中引入了大量的电容, 从而降低了电路的速度。另外这些开关比金属连线占用了更多的面积。因此, 实现同一个电路, FPGA 要比 MPGA 的面积大很多。在同等工艺条件下, 同一个电路在 FPGA 上实现, 其面积一般是在 MPGA 上实现的 10 倍, 而速度大概是在 MPGA 上实现的 $1/3$ ^[1]。对于高产设计, FPGA 需要的芯片面积较大, 其成本比 MPGA 昂贵, 而且 FPGA 的低速度使其在高速电路领域没有用武之地。FPGA 和 MPGA 的差别促进了新型 FPGA 结构的研究, 从而弥补速度和密度上的不足。此外, 由于 FPGA 市场竞争激烈, FPGA 的供应商正努力寻找更好的结构以获得速度和密度上的优势。

1.2 第 FPGA 结构问题

所有的 FPGA 均包含大量的可编程逻辑单元块和可编程布线资源。每个逻辑单元块实现一小部分的数字逻辑，而可编程布线资源则用于连接逻辑单元块的输入输出以构建更大的逻辑电路。本书关注 FPGA 结构的三个问题——两个是和 FPGA 布线结构相关，还有一个是和 FPGA 逻辑单元块设计有关。

需要关注的第一个问题是 FPGA 的全局布线结构^[2,3]。FPGA 的全局布线结构规定了芯片中不同布线通道内的相对布线通道宽度。图 1.1 是一种 FPGA 全局布线结构，中间部分的布线通道宽度要大于边缘的布线通道宽度。在 MPGA 和标准单元电路中，每个设计都用一块定制电路来实现，所以很容易地在布线密集的地方加宽布线通道。然而，FPGA 所有的布线资源都是预先生产完成的，因此它们的宽度是由 FPGA 生产厂商设定的。目标就是要找到布线资源或布线轨道在不同布线通道的分布，使得对于很大规模的一类电路也能达到高效的布线资源利用率。如果芯片的某些区域布线资源太少，那么许多电路可能布线失败。然而，如果布线资源

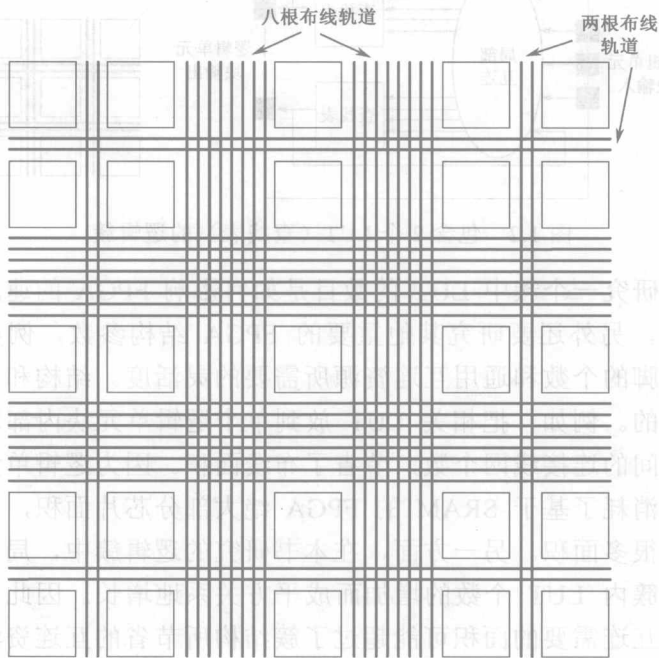


图 1.1 全局布线结构举例

过于丰富，那么可能会造成布线资源的浪费。关于最优全局布线结构问题，FPGA 厂商之间从来没有形成共识^[4,5,6,7]，因此它和本书的内容密切相关。

需要关注的第二个问题是 FPGA 使用的基于簇结构逻辑单元块^[8,9,10]。这些逻辑单元块是由一组或一簇 LUT（查找表）、触发器和内部连接 LUT 的局部布线资源组成。图 1.2 是一个逻辑簇的范例。对于基于簇结构逻辑单元块的 FPGA，簇内部的局部互连资源可以有多种连接方式。因为这些局部互连资源的速度比逻辑模块之间的通用互连资源要快，所以基于簇结构的逻辑块能够提高 FPGA 的速度。此外，要实现同一个电路，簇结构比那种单一 LUT 逻辑单元块结构的 FPGA 需要较少的逻辑单元块。这就明显降低了布局布线的复杂度。因为布局布线通常是将电路映射到 FPGA 最耗时的步骤，所以基于簇结构的逻辑块能显著地降低设计的编译时间。随着 FPGA 规模的增大，避免编译时间变得过长显得十分重要，否则，FPGA 的一个重要优势，即迅速的电路实现和快速的设计周期将会丧失。

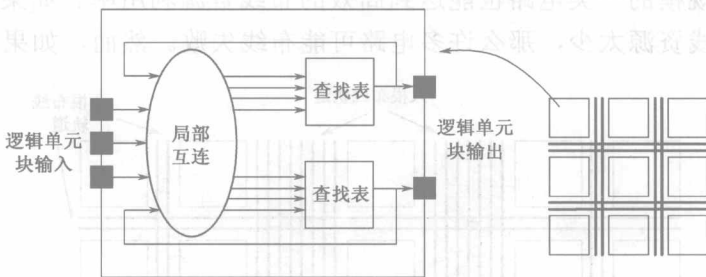


图 1.2 包含 2 个 LUT（查找表）的逻辑簇

本书将研究一个簇中 LUT 的数目是如何影响 FPGA 的速度、面积和编译时间的，另外还要研究其他重要的 FPGA 结构参数，例如，逻辑单元块输入引脚的个数和通用互连资源所需要的灵活度。结构和尺寸的折中是相当复杂的。例如，把相关 LUT 放到单个逻辑单元块内部就会减少逻辑单元块之间的连接线网个数，节省了布线面积。因为逻辑单元块间的通用互连资源消耗了基于 SRAM 的 FPGA 绝大部分芯片面积，采用簇结构就可以节省很多面积。另一方面，在本书研究的逻辑簇中，局部互连需要的面积随着簇内 LUT 个数的增加而成平方关系地增长。因此，对于很大的簇，局部互连需要的面积可能超过了簇结构所节省的互连资源面积。类似地，因为局部互连资源可以达到很高的速度，希望包含多个 LUT 的逻

辑单元块能够获得更高的速度。在有些情况下，因为增加了簇的规模会降低局部互连的速度，所以通过增加簇的规模所得到的速度收益反而会减少或丧失。

尽管近年来，Xilinx^[11]、Altera^[7]、Lucent^[5]、Actel^[12]和 Vantis^[13]的 FPGA 已经把多个 LUT 组合到一个大逻辑单元块中，但是，他们没有发布资料来阐述逻辑单元块内 LUT 的数目对 FPGA 延时和面积的影响。

本书要讨论的最后一个问题是 FPGA 的详细布线结构问题^[14]。FPGA 的详细布线结构定义了逻辑单元块输入和输出引脚的连接关系。研究的结构是 Xilinx、Lucent 和 Vantis^[4,5,13]公司采用的岛形结构^[1]。图 1.3 为一个简单的详细布线结构图。基于以下多方面的原因，详细布线结构是 FPGA 的关键部分：

- ① 布线资源占据了 FPGA 的绝大部分面积；
- ② 一个电路的延时绝大部分是由布线资源的延时造成的，而非逻辑单元的延时；
- ③ 虽然工艺尺寸不断缩小，但是互连资源的延时并不像逻辑单元块的延时那样下降。因此，随着工艺的更新，FPGA 中互连资源的延时比例反而增长^[16]。

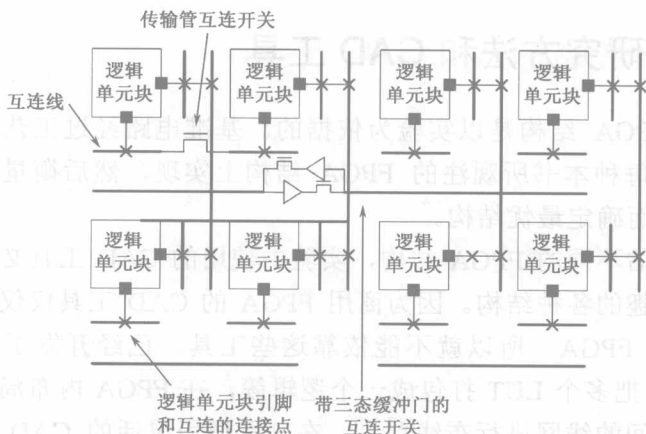


图 1.3 详细布线结构示例

详细布线结构决定下列因素：

- ① 一个逻辑单元块的输入或者输出引脚和邻近通道中布线资源的连接方式；
- ② 一根线所跨的逻辑单元块数目；
- ③ 布线开关的位置及其连接方式；

④ 每个布线开关是一个传输晶体管还是一个三态缓冲门；
⑤ 用来构建不同可编程开关的晶体管尺寸，以及金属线宽和互连线的线距。

设计一个优秀的详细布线结构是一个非常具有挑战性的问题，因为上述参数的最佳选择需要考虑复杂的折中关系。例如，如果有太多的可编程开关，那么面积肯定浪费。而且经过多个可编程开关的线网所引起的巨大延时会降低电路的速度。另一方面，如果可编程开关数目太少，或者开关的分布不合理，就会造成布线资源的浪费，或者电路根本布不通。在传输管开关和三态缓冲门开关之间达到适当的平衡也是至关重要的——传输管面积小，如果线网只是经过少量的开关，传输管在速度上显出优势。如果线网经过很多开关，三态缓冲门在速度上显出优势。另外，如果长线太多，短线网就要利用长线资源，这会浪费面积并降低速度。

孤立地研究一个 FPGA 的参数是很困难的，因为结构参数之间的相互影响关系非常复杂，它们共同决定了电路的速度和面积。在本书所提到的研究中，尽量以整体的眼光来看待所有的详细布线结构的参数，对所研究的每种 FPGA 进行延时和面积评估。相信本书首开先河，对诸多的详细布线结构因素作了研究。

1.3 研究方法和 CAD 工具

研究 FPGA 结构是以实验为依据的。基准电路经过工艺映射和布局布线后，在每种本书所关注的 FPGA 结构上实现，然后衡量它们的延时和面积，从而确定最优结构。

为了评估不同的 FPGA 结构，实验中使用的 CAD 工具必须足够灵活以支持感兴趣的各种结构。因为商用 FPGA 的 CAD 工具仅仅支持相关生产商开发的 FPGA，所以就不能依靠这些工具。已经开发了相应的新型 CAD 工具，把多个 LUT 打包成一个逻辑簇，在 FPGA 内布局，然后对逻辑单元块之间的线网进行布线^[17,10]。在开发通用灵活的 CAD 工具之外，还投入了巨大的精力以确保它们能产生良好的效果，因为低劣的 CAD 工具会导致不准确的结论。CAD 工具能够理解每种结构的特色，并能对目标结构进行充分优化。改进了现有的算法并增添了一些特性，因此就很值得研究这些 CAD 算法。此外，这些工具广泛运用于多伦多大学和全世界范围的 FPGA 和 CAD 研究领域。通过与学术界各种布局布线工具比较基准电路的结果，工具均取得了最佳效果^[17]。

理想情况下，可以画出每种结构的版图，以得到不折不扣的面积测量值和高精度的延时值。然而，本书要研究数百种不同的 FPGA 结构，因此这显然是行不通的。于是就研究了更加抽象的面积模型和延时估计方法。它们不需要 FPGA 版图，但是依然非常准确，足以对不同的 FPGA 结构进行公正的比较。

1.4 本书结构

本文的绝大部分材料来自于 Vaughn Betz 的博士毕业论文，其他的重要信息（在第 3 章论述的 T-VPack 算法和第 6 章逻辑簇的绝大部分实验分析结果）来自于 Alexander Marquardt 的硕士论文。

第 2 章讲述背景知识，并且详细介绍过去在 CAD 和 FPGA 领域的相关研究工作。第 3 章论述用来把多个 LUT 打包到逻辑簇的一些算法，以及 FPGA 逻辑簇的布局算法。第 4 章详细论述了 FPGA 布线器所使用的算法。

第 5~7 章就利用这些 CAD 工具探讨先前概括出来的 FPGA 三个结构上的问题。这三章都首先介绍 CAD 流程，再给出实验中的面积、延时模型，然后提供结构方面取得的结果。第 5 章评价了不同 FPGA 的全局布线结构，然后确定面积最佳结构。第 6 章研究了基于簇的逻辑单元块，确定了对面积和速度进行最优化的逻辑簇类型。第 7 章确定了最优化的 FPGA 速度和面积的详细布线结构。最后一章得出了结构方面的结论，并且提出了今后工作的建议。

1.5 致谢

感谢 Kluwer 学术出版社的 Carl Harris 在本书的筹备阶段所提供的帮助和建议，也感谢多伦多大学研究组的其他成员——Steve Wilton、Mike Hutton、Mohammed Khalid、Yaska Sankar、Jordan Swartz、Rob McCreedy 和 Paul Leventis。这些年来他们提出了宝贵的建议并深入的阐述。特别感谢 Jordan Swartz，他改进了 VPR FPGA 结构发生器，使其能支持非常类似于 Xilinx X4000 系列的 FPGA 结构。多伦多大学电子工程系的许多老师和同学在我们解决棘手问题时也献计献策。我们要特别感谢 Dave Lewis、Mark Stoodley、Guy Lemieux、Jason Anderson 和 Jason Podaima。同样感谢 MIT 的 Russ Tessier 与我们就 FPGA CAD 问题所进行的多次有意义