

电子产品 设计与制作技术

刘南平等编

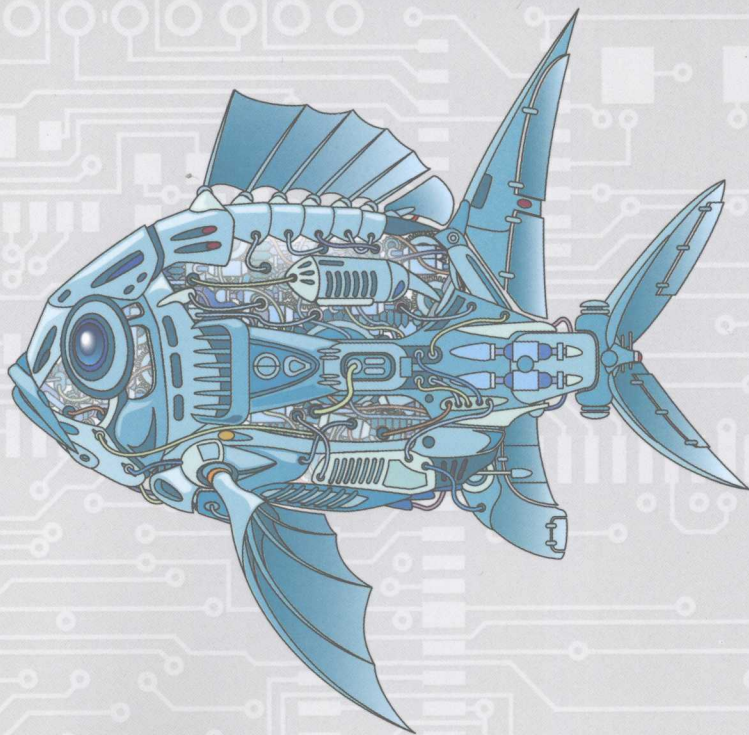
ON

OFF

AIR

IN

OUT



内 容 简 介

电子产品设计与制作技术

刘南平等编

| ISBN 958-7-0 | ISBN | ISBN 958-7-0 |
|------------------|-----------|------------------|
| 1. 电子... | 1. 电子... | 1. 电子... |
| W. T. NO2 T. NO2 | W. T. NO2 | W. T. NO2 T. NO2 |
| 中国版本图书馆 | 中国 | 中国 |
| 分类号 | | |

科学出版社

2009年1月第1版

科学出版社

北京

内 容 简 介

本书共7章,从电子设计、制作、调试、产品化的要求出发,介绍了电路设计的基本思想、电路制作的基本方法、电路调试的基本步骤和技巧、可编程器件及其开发软件。为读者从事电子设计、调试打下了基础。为了增加读者学习兴趣,本书特意安排了一些实用性强,具有代表性的设计和制作实例,既是对所学知识的综合,又可启发读者思维,开阔读者视野,培养读者分析和解决问题能力。

本书覆盖知识点多、牵涉的内容广、内容跨度大、理论和实践性极强,内容新颖。通过学习本书可以奠定扎实的综合理论和实践基础,达到“学以致用”的效果。

本书既可作为工科院校相关专业师生的参考用书,亦可供电子工程技术人员参考阅读。

图书在版编目(CIP)数据

电子产品设计与制作技术/刘南平等编. —北京:科学出版社,2008

ISBN 978-7-03-023293-9

I. 电… II. 刘… III. ①电子产品-设计②电子产品-生产工艺
IV. TN02 TN05

中国版本图书馆 CIP 数据核字(2008)第 169774 号

责任编辑:赵方青 杨 凯 / 责任制作:董立颖 魏 谨

责任印制:赵德静 / 封面设计:李 力

北京东方科龙图文有限公司 制作

<http://www.okbook.com.cn>

科学出版社出版

北京东黄城根北街16号

邮政编码:100717

<http://www.sciencep.com>

双青印刷厂印刷

科学出版社发行 各地新华书店经销

*

2009年1月第一版 开本: B5(720×1000)

2009年1月第一次印刷 印张: 22

印数: 1—4 000 字数: 430 000

定 价: 39.80 元

(如有印装质量问题,我社负责调换〈新欣〉)

前 言

随着电子技术和计算机技术的发展,集成电路不断更新换代,各种高性能的可编程逻辑器件及其开发系统的出现,使得电子系统的设计方法和设计手段也发生了一场巨大的变化。现代电子系统一般由模拟、数字和微处理器三大子系统组成。数字系统以往是采用传统的搭积木式的方法进行设计,在设计时,设计者几乎没有灵活性可言,搭成的电子系统所需的芯片种类多且数目大。随着半导体技术,特别是 EDA 技术的发展和普及给电子系统的设计带来了革命。数字、模拟可编程器件和 EDA 技术给硬件系统设计者提供了强有力的工具,使得电子系统的设计方法发生了质的变化。基于芯片的设计方法正在成为现代电子系统设计的主流。

传统的电子制作一般是用面包板或铜板先试验,试验通过后再制作 PCB 板。现代电子制作可用 FPCB 工具,该工具不需要手工连接电路,只要把设计元件“插入”FPCB 板上,将电路“下载”到 FPCB 中,即可实现各种连接。FPCB 可以当成“电子”面包板。FPCB 广泛应用于国外军工、航空、航天单位,价格比较高。国内可采用刻板机快速制板,价格比较低,使用方便。壳体及面板可用超薄 PVC 板制作,成型后再开模具。

为了适应高等院校电子信息类学生及工程技术人员学习的需要,提高学生知识综合运用能力,增强学生在新技术方面的竞争力,特编写此书。

本书由刘南平、孔令来和李世杰等编写,夏克文教授任主审。

限于作者水平,书中难免有错误和疏漏不妥之处,敬请读者批评指正。

目 录

| | |
|-------------------------|----|
| 第 1 章 可编程器件 | 1 |
| 1.1 可编程逻辑器件概述 | 1 |
| 1.1.1 可编程逻辑器件分类 | 1 |
| 1.1.2 可编程逻辑器件的基本结构 | 2 |
| 1.1.3 可编程逻辑器件的编程元件 | 3 |
| 1.2 GAL 器件 | 5 |
| 1.2.1 GAL 的基本结构 | 6 |
| 1.2.2 GAL 器件主要性能特点 | 10 |
| 1.3 ISP 器件 | 10 |
| 1.3.1 低密度 ISP-PLD | 10 |
| 1.3.2 高密度 ISP-PLD | 11 |
| 1.4 CPLD 器件(复杂可编程器件) | 14 |
| 1.5 FPGA 器件 | 18 |
| 1.5.1 基本结构 | 18 |
| 1.5.2 IOB 和 CLB | 19 |
| 1.5.3 可编程内部连线(PI) | 21 |
| 1.6 ispPAC 器件 | 23 |
| 1.6.1 ispPAC 器件的结构 | 24 |
| 1.6.2 PAC 的接口电路 | 27 |
| 1.6.3 ispPAC 的增益调整方法 | 29 |
| 1.7 在系统可编程数字开关 ispGDS | 33 |
| 1.8 在系统可编程数字互联器件 ispGDX | 34 |
| 1.8.1 ispGDX 的结构 | 34 |
| 1.8.2 ispGDX 的应用领域 | 35 |
| 1.8.3 GDF 语法 | 36 |
| 习 题 | 44 |
| 第 2 章 硬件描述语言 VHDL | 45 |
| 2.1 概 述 | 45 |

iv 电子产品设计与制作技术

| | | |
|--------------|-------------------------|-----------|
| 2.1.1 | 硬件描述语言 | 45 |
| 2.1.2 | VHDL 语言的特点 | 45 |
| 2.2 | VHDL 的基本结构 | 47 |
| 2.2.1 | 实体(entity) | 47 |
| 2.2.2 | 结构体(Architecture Body) | 49 |
| 2.2.3 | 配置(Configuration) | 50 |
| 2.2.4 | 子程序 | 51 |
| 2.2.5 | 程序包 | 52 |
| 2.2.6 | 库(Library) | 53 |
| 2.3 | 结构体描述方式 | 54 |
| 2.4 | VHDL 运算符和保留关键字 | 57 |
| 2.5 | VHDL 的类型和属性 | 58 |
| 2.5.1 | 对象的类型(Objects) | 58 |
| 2.5.2 | 数据类型(Data Type) | 60 |
| 2.5.3 | 类型转换(Type Conversion) | 65 |
| 2.5.4 | 属性(Attribute) | 66 |
| 2.6 | VHDL 主要描述语句 | 67 |
| 2.6.1 | 进程语句(PROCESS Statement) | 67 |
| 2.6.2 | 并行语句 | 69 |
| 2.6.3 | 顺序语句 | 75 |
| 2.6.4 | 其他语句 | 81 |
| 2.7 | VHDL 设计实例 | 84 |
| 习 题 | | 89 |
| 第 3 章 | 可编程逻辑器件的设计与开发 | 91 |
| 3.1 | 可编程逻辑器件的设计过程 | 91 |
| 3.2 | PAC-Designer 开发系统 | 93 |
| 3.2.1 | 输入设计 | 93 |
| 3.2.2 | 设计仿真 | 96 |
| 3.2.3 | 器件编程(下载设计方案) | 98 |
| 3.2.4 | PAC-Designer 软件的几个重要的功能 | 98 |
| 3.2.5 | PAC-Designer 软件设计实例 | 99 |
| 3.3 | MAX+plus II | 101 |
| 3.3.1 | MAX+plus II 的设计过程 | 101 |

| | | |
|--------------|------------------------------------|------------|
| 3.3.2 | MAX+plus II 的时间分析(Timing Analyzer) | 105 |
| 3.3.3 | 引脚平面编辑器(Floorplan Editor) | 105 |
| 3.4 | FPGA 开发系统 | 106 |
| 3.4.1 | FPGA 一般设计流程 | 106 |
| 3.4.2 | FPGA 原理图输入设计 | 107 |
| 3.5 | ispGDX 开发系统 | 112 |
| 3.5.1 | ispGDX 开发过程 | 112 |
| 3.5.2 | ispGDX 设计实例 | 115 |
| 3.6 | 组合逻辑设计实例 | 118 |
| 3.6.1 | 原理图输入 | 118 |
| 3.6.2 | 文本输入 | 120 |
| 3.6.3 | 软件仿真 | 121 |
| 3.6.4 | 硬件仿真 | 122 |
| 3.7 | 时序逻辑设计实例 | 122 |
| 3.7.1 | VHDL 设计 | 122 |
| 3.7.2 | 软件仿真 | 124 |
| 3.7.3 | 硬件验证 | 124 |
| 3.8 | 数字系统设计实例 | 125 |
| 3.8.1 | 测频原理与实现 | 125 |
| 3.8.2 | VHDL 程序 | 126 |
| 3.8.3 | 仿真结果 | 127 |
| 3.8.4 | 下载验证 | 127 |
| 习 题 | | 127 |
| 第 4 章 | DSP 技术 | 128 |
| 4.1 | DSP 设计流程 | 128 |
| 4.1.1 | 基于 DSP 处理器的 DSP 设计流程 | 128 |
| 4.1.2 | 基于 FPGA 的 DSP 设计流程 | 129 |
| 4.2 | DSP Builder 设计基础 | 132 |
| 4.2.1 | DSP Builder 及其设计流程 | 132 |
| 4.2.2 | DSP Builder 设计示例 | 134 |
| 第 5 章 | 电路制作实例 | 152 |
| 5.1 | 电路板制作基础 | 152 |

vi 电子产品设计与制作技术

| | | | |
|-----|--------------|-----------------------|------------|
| 101 | 5.1.1 | 印制电路板的种类 | 152 |
| 101 | 5.1.2 | 印制电路板的设计 | 153 |
| 101 | 5.1.3 | 印制电路板的制造 | 154 |
| 101 | 5.1.4 | 印制板的机械加工 | 155 |
| 107 | 5.1.5 | 印制电路板的质量检验 | 156 |
| 111 | 5.1.6 | 手工制作印制板 | 156 |
| 111 | 5.1.7 | 仪器标牌面板制作 | 158 |
| 111 | 5.2 | 焊接技术 | 158 |
| 111 | 5.2.1 | 手工焊接注意事项 | 158 |
| 111 | 5.2.2 | 自动焊接技术 | 159 |
| 120 | 5.2.3 | 拆焊 | 161 |
| 121 | 5.3 | 万用表的制作 | 162 |
| 122 | 5.4 | 可调直流稳压电源制作 | 167 |
| 122 | 5.5 | 交流稳压电源制作 | 168 |
| 122 | 5.6 | 无线话筒的制作 | 170 |
| 124 | 5.7 | 集成电路超外差收音机制作 | 171 |
| 124 | 5.8 | 简易电视信号发生器制作 | 177 |
| 127 | 5.9 | 高、中频信号发生器制作 | 182 |
| 127 | 5.10 | 金属探测器制作 | 189 |
| 127 | 5.11 | 电子时钟日历制作 | 191 |
| 127 | 5.12 | 实用门控防盗报警器 | 208 |
| 127 | 5.13 | 高保真 BTL 放大器制作 | 211 |
| 127 | 5.14 | 自动充电器制作 | 212 |
| 127 | 第 6 章 | 电路设计实例 | 214 |
| 128 | 6.1 | 电子系统的设计方法 | 214 |
| 128 | 6.2 | 电子电路的设计步骤 | 216 |
| 129 | 6.3 | 电子设备可靠性设计方法 | 218 |
| 132 | 6.4 | 无线数据通讯中调制解调器的设计 | 220 |
| 132 | 6.4.1 | 无线数据传输基本组成原理 | 221 |
| 131 | 6.4.2 | 无线调制解调器设计的设计思想 | 221 |
| 131 | 6.4.3 | 实现方法 | 222 |
| 122 | 6.5 | 线阵 CCD 单板旋切厚度在线测量系统设计 | 224 |
| 122 | 6.5.1 | 测量系统工作原理与性能指标 | 224 |

| | | |
|--------|--------------------------------|-----|
| 6.5.2 | 测量系统的基本结构 | 225 |
| 6.5.3 | 视频信号和时钟信号处理与软件设计 | 228 |
| 6.6 | 酒店餐厅无线呼叫看台服务系统的设计 | 229 |
| 6.6.1 | 系统工作原理 | 229 |
| 6.6.2 | 呼叫发射机 | 230 |
| 6.6.3 | 呼叫接收机 | 231 |
| 6.7 | 通用阵列逻辑 GAL 实施三相六拍步进电机的控制 | 232 |
| 6.7.1 | 设计要求 | 232 |
| 6.7.2 | 逻辑设计 | 233 |
| 6.7.3 | 软件设计 | 235 |
| 6.7.4 | 电路连接 | 237 |
| 6.8 | 用 TMS320LF2407 实现三相 SPWM 波形发生器 | 238 |
| 6.9 | 采用 2051 设计的无线防盗报警器 | 249 |
| 6.10 | 315M 遥控电路设计 | 253 |
| 6.11 | 射频无线耳机系统设计 | 255 |
| 6.11.1 | nRF9E5 功能介绍 | 255 |
| 6.12 | 智能密码锁设计 | 259 |
| 6.12.1 | 基本原理及硬件组成 | 259 |
| 6.12.2 | 线路复用 | 260 |
| 6.12.3 | 电流监视 | 260 |
| 6.12.4 | 数据通讯与预处理 | 261 |
| 6.12.5 | 智能化分析 | 262 |
| 6.12.6 | 系统软件设计 | 262 |
| 6.13 | 工业用镀锡/镀锌板的镀量检测仪的设计 | 262 |
| 6.13.1 | 课题的背景和意义 | 262 |
| 6.13.2 | 国内外研究现状及存在的问题 | 262 |
| 6.13.3 | 检测原理 | 264 |
| 6.13.4 | 检测仪的功能和性能指标要求 | 269 |
| 6.13.5 | 测量系统的硬件实现 | 269 |
| 6.13.6 | 检测仪的软件设计 | 285 |
| 6.13.7 | 电解池的设计 | 301 |
| 6.13.8 | 检测仪的误差分析与测试 | 304 |
| 习 题 | | 315 |

第 7 章 附 录 **316**

| | | |
|-----|------------|-----|
| 7.1 | 电阻器的型号命名方法 | 316 |
|-----|------------|-----|

| | | |
|-----|----------------|-----|
| 7.2 | 电阻器的规格标志阻值读取方法 | 317 |
| 7.3 | 电容的型号及命名方法 | 319 |
| 7.4 | 变压器的型号及命名方法 | 320 |
| 7.5 | 二极管的型号及命名方法 | 320 |
| 7.6 | 三极管的型号及命名方法 | 321 |
| 7.7 | 器件的筛选与检测 | 322 |
| 7.8 | 元器件的装配方式与布局 | 327 |
| 7.9 | 74 系列芯片功能大全 | 330 |

参考文献

341

| | | |
|----|-------------|-----|
| 1 | 电阻器的型号命名方法 | 318 |
| 2 | 电容的型号命名方法 | 319 |
| 3 | 变压器的型号命名方法 | 320 |
| 4 | 二极管的型号命名方法 | 320 |
| 5 | 三极管的型号命名方法 | 321 |
| 6 | 器件的筛选与检测 | 322 |
| 7 | 元器件的装配方式与布局 | 327 |
| 8 | 74 系列芯片功能大全 | 330 |
| 9 | 电阻器 | 341 |
| 10 | 电容 | 341 |
| 11 | 变压器 | 341 |
| 12 | 二极管 | 341 |
| 13 | 三极管 | 341 |
| 14 | 其他器件 | 341 |
| 15 | 元器件的装配与布局 | 341 |
| 16 | 74 系列芯片 | 341 |
| 17 | 参考文献 | 341 |

第 1 章 可编程器件

可编程逻辑器件(PLD)是指可由用户编程、配置的逻辑器件。近几年可编程逻辑器件在工艺技术上的突破,使其价格大幅度下调,因而在现代复杂的数字系统中,专用集成电路(ASIC)应用越来越广泛,由基本门电路与触发器构成的中小规模集成电路(IC)所占比例会越来越小。可编程逻辑器件的应用和发展不仅简化了电路设计,增加了设计的灵活性,降低了成本,缩短了开发周期,提高了系统的可靠性和保密性,而且给数字设计带来了“硬件设计软件化”的一次革命。

本章介绍 GAL、ISP、CPLD、FPGA、ispPAC 等可编程逻辑器件,对于各种 PLD 器件,应该了解它们的结构和工作原理,特别是在系统可编程器件已逐渐发展为电路系统中的主流产品,适用于数字信号处理、图形图像处理、数据加密、解密和复杂算法实现等。

1.1 可编程逻辑器件概述

1.1.1 可编程逻辑器件分类

1. 按集成度分类

集成度是可编程逻辑器件的一项很重要的指标,如果从集成密度上分类,可分为简单可编程逻辑器件(SPLD)和高密度可编程逻辑器件(HDPLD)。通常将 GAL、PAL、PLA 和 PROM 这四种 PLD 产品划归为简单可编程逻辑器件,而将 CPLD 和 FPGA 统称为高密度可编程逻辑器件,如图 1.1 所示。



图 1.1 可编程逻辑器件按集成度分类

2. 按阵列的可编程情况及输出形式分类

可编程逻辑器件根据两阵列的可编程情况以及输出形式,通常可分为下几类:

(1) “与”阵列固定、“或”阵列可编程的可编程逻辑器件。这类可编程逻辑器件器件以 PROM(可编程只读存储器)为代表。PROM 是组合逻辑阵列,它包含一个固定的“与”阵列和一个可编程“或”阵列。PROM 中的“与”阵列是全译码形式,它产生 N 个输入变量的所有最小项。PROM 的每个输出端通过“或”阵列将这些最小项有选择地进行“或”运算,可实现任何组合逻辑函数,不需要进行逻辑化简。

(2) “与”阵列和“或”阵列均可编程的 PLD 器件。这类 PLD 器件以可编程逻辑阵列 PLA 为代表。PLA 也是组合型逻辑阵列,它的两个逻辑阵列均可编程。PLA 的“与”阵列不是全译码形式,不产生输入变量的全部最小项,PLA 器件通过编程只产生函数最简“与或”式中所需要的“与”项。因此 PLA 在编程前必须首先进行函数化简,另外,PLA 的编程工具使用不便,编程工作一般由生产厂家完成,因而影响了它的广泛使用。

(3) “与”阵列可编程、“或”阵列固定的 PLD 器件。以 PAL 为代表的这种可编程阵列逻辑器件,每个输出端是若干个乘积项之“或”,其中乘积的数目是固定的,通常 PAL 的乘积项数允许达到 8 个。而一般逻辑函数的最简“与或”表达式仅需要 3~4 个乘积项。因此, PAL 的这种阵列结构很容易满足大多数逻辑函数的设计要求。PAL 器件的发展,给逻辑设计带来了很大的灵活性。但它仍有很大的局限性,如 PAL 采用的是熔丝工艺,只能一次性编程,不同的输出结构应选用不同型号的 PAL 器件等。

(4) 具有可编程输出逻辑宏单元的通用 PLD 器件。以 GAL 器件为主要代表, GAL 器件的阵列结构与 PAL 基本相同(有一类 GAL 器件与门阵列和或门阵列都可编程),两者差别在于输出结构不同。PAL 的输出结构是固定的,而 GAL 器件的每个输出端都有一个可编程的输出逻辑宏单元(OLMC),通过编程可以决定该电路是完成组合逻辑还是时序逻辑,是否需要产生反馈信号,并能实现输出控制及输出极性选择等。因此, GAL 器件具有很强的通用性和灵活性。

(5) FPGA 由许多被互连网络包围的可配置逻辑单元及输入、输出单元组成。FPGA 的互连模式由编程确定,用户可以通过编程确定每个单元的功能以及它们之间的互连关系。

另外,与现场可编程阵列 FPGA 几乎同时出现的还有高密度在系统可编程器件 (ISP)。这种器件允许在电路设计、制作甚至形成产品以后,随时对器件重新编程,不断改进系统功能。这些将给设计者带来极大方便。

1.1.2 可编程逻辑器件的基本结构

PLD 器件种类较多,不同厂家生产的 PLD 器件结构差别较大,现选取具有代表性的结构来说明 PLD 实现的主要逻辑功能。图 1.2 所示为 PLD 器件的基本结构框

图,它由输入缓冲电路、与阵列、或阵列、输出缓冲电路等四部分组成。其中“与阵列”和“或阵列”是 PLD 器件的主体,通过编程改变“与阵列”和“或阵列”的内部连接,就可以实现不同的逻辑功能。4 种 SPLD 器件的可编程部位的区别如表 1.1 所示。



图 1.2 PLD 器件的基本结构框图

表 1.1 4 种 SPLD 器件的区别

| 器件名 | 与阵列 | 或阵列 | 输出电路 |
|------|-----|-----|------|
| PROM | 固定 | 可编程 | 固定 |
| PLA | 可编程 | 可编程 | 固定 |
| PAL | 可编程 | 固定 | 固定 |
| GAL | 可编程 | 固定 | 可组态 |

图 1.3 所示为 PLD 阵列交叉点上三种连接方式的表示法。其中,交叉处为“·”的表示纵、横两线固定连接,不能通过“编程”手段使其断开;交叉处为“×”的表示该处为可编程连接,即通过“编程”可使该处断开;交叉处无任何符号的表示纵、横不连接。

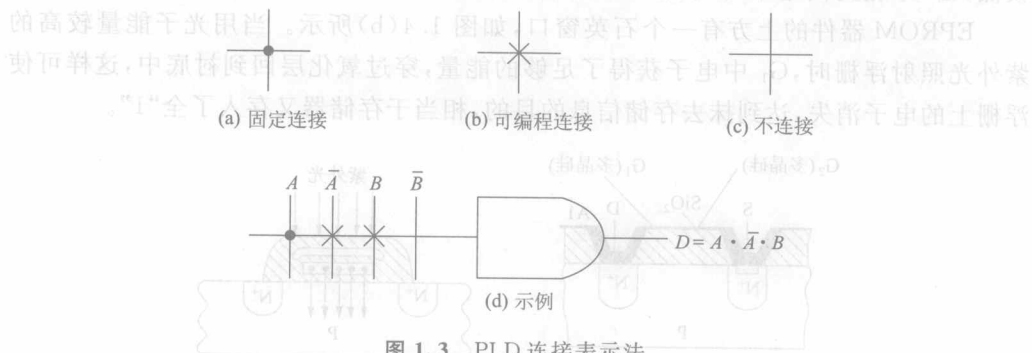


图 1.3 PLD 连接表示法

输入缓冲电路主要用来对输入信号进行预处理,以适应各种输入情况;输出缓冲电路主要用来对输出信号进行处理,用户可以根据需要选择各种灵活的输出方式(组合方式、时序方式等)。由于任何组合逻辑函数均可化为与或式,用“与门-或门”二级电路实现,而任何时序电路又都是由组合电路加上存储元件(触发器)构成的,因而 PLD 的这种结构对实现数字电路具有普遍的意义。

1.1.3 可编程逻辑器件的编程元件

可编程逻辑器件的编程元件采用了几种不同的编程技术,这些可编程元件常用来存储逻辑配置数据或作为电子开关。常用的可编程元件有熔丝(Fuse)型开关、反熔丝(Antifuse)型开关、浮栅编程元件(EPROM 和 E²PROM)、基于 SRAM 的编程元件四种。

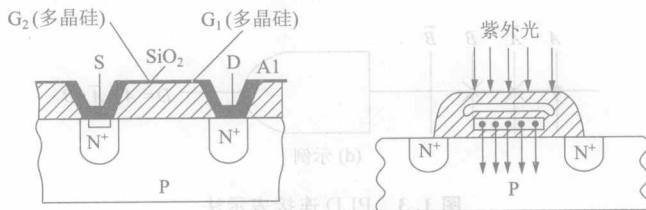
4 电子产品设计与制作技术

其中前三类为非易失性元件,编程后能使逻辑配置数据保持在器件上。SRAM 类为易失性元件,即每次掉电后逻辑配置数据会丢失。熔丝型和反熔丝型开关元件只能写一次,浮栅编程元件和 SRAM 编程元件则可以进行多次编程。反熔丝开关元件一般用在要求较高的军用器件上,而浮栅编程元件一般用在民用系列器件上。浮栅编程元件是较为重要的一种元件,包括紫外线擦除电编程的 EPROM、电擦除电编程的 E²PROM 及闪速存储器,这三种存储器都是用浮栅存储电荷的方法来保存编程数据的,因此在断电时,存储的数据是不会丢失的。

EPROM 的基本结构是一个浮栅管,图 1.4(a)所示是一种以浮栅雪崩注入型 MOS 管为存储单元的 EPROM,浮栅管相当于一个电子开关,当浮栅中注入电子时,浮栅管导通;当浮栅中没有电子注入时,浮栅管截止。图中浮栅管有 G₁ 和 G₂ 两个栅极,G₁ 栅没有引出线,被包围在二氧化硅(SiO₂)中,称之为浮栅;G₂ 为控制栅,有引出线。若在漏极和源极之间加上约几十伏的电压脉冲,在沟道中产生足够强的电场,则会造成雪崩,令电子加速跃入浮栅中,从而使浮栅 G₁ 带上负电荷。由于浮栅周围都是绝缘的 SiO₂ 层,泄漏电流极小,所以一旦电子注入 G₁ 栅后,就能长期保存。

当 G₁ 栅有电子积累时,该 MOS 管的开启电压变得很高,即使 G₂ 栅为高电平,该管仍不能导通,相当于存储了“0”。反之,当 G₁ 栅无电子积累时,MOS 管的开启电压较低,当 G₂ 栅为高电平时,该管可以导通,相当于存储了“1”。

EPROM 器件的上方有一个石英窗口,如图 1.4(b)所示。当用光子能量较高的紫外光照射浮栅时,G₁ 中电子获得了足够的能量,穿过氧化层回到衬底中,这样可使浮栅上的电子消失,达到抹去存储信息的目的,相当于存储器又存入了全“1”。



(a) 浮栅雪崩注入型 MOS 管结构 (b) 光擦除后为全“1”

图 1.4 浮栅管结构图

图 1.5 所示为 E²PROM 的存储单元,G₁ 是控制栅,它是一个浮栅,无引出线;G₂ 是抹去栅,它有引出线。在 G₁ 栅和漏极之间有一小面积的氧化层,其厚度极薄,可产生隧道效应。当 G₂ 栅加 20V 的正脉冲 P₁ 时,通过隧道效应,电子由衬底注入 G₁ 浮栅,相当于存储了“1”,利用此方法可将存储器抹成全“1”状态(见图 1.5(c))。这种存储器在出厂时,存储内容也为全“1”状态。使用时可根据需要把某些存储单元写“0”。写“0”电路如图 1.5(d)所示,此时漏极 D 加 20V 正脉冲 P₂,G₂ 栅接地,浮栅上电子通过隧道返回衬底,相当于写“0”。E²PROM 读出时的电路如图 1.5(e)所示,这时 G₂ 栅加 3V 的电压,若 G₁ 栅有电子积累,则 T₂ 管不能导通,相当于存“1”;若 G₁ 栅无电子

积累,则 T_2 管导通,相当于存“0”。

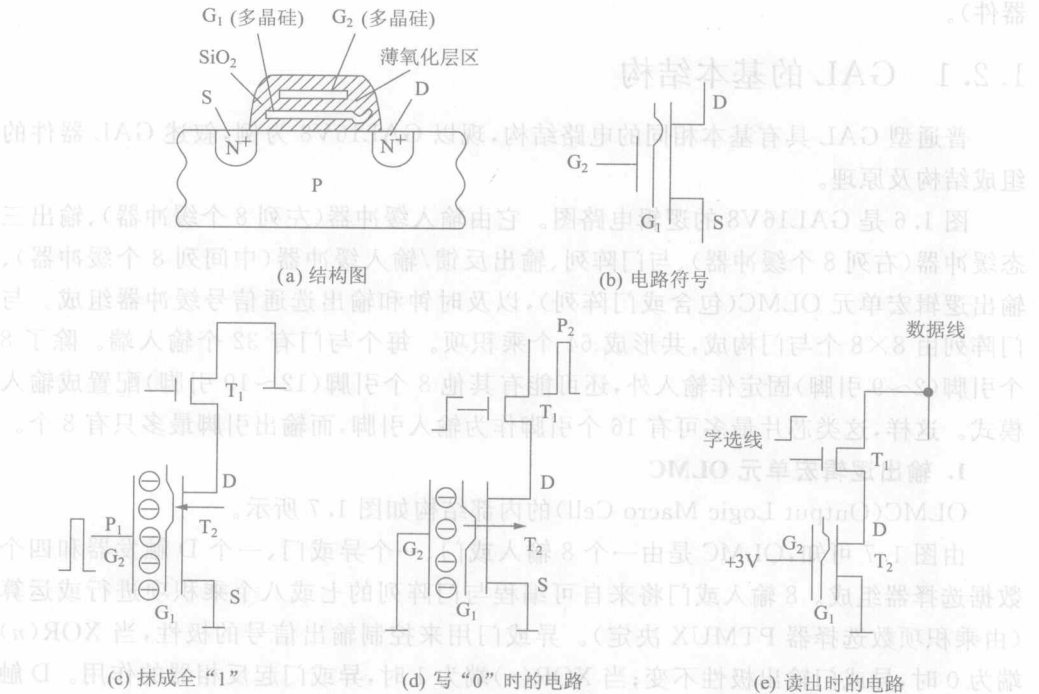


图 1.5 E²PROM 的存储单元

闪存存储器的编程和擦除分别采用了两种不同的机理。在编程方法上,它与 EPROM 相似,利用“热电子注入技术”,在擦除方法上则与 E²PROM 相似,利用“电子隧道效应”。编程时,一个高压(12V)加到 MOS 管的控制栅,且漏极-源极偏置电压为 6~7V, MOS 管强烈导通,沟道中的一些热电子就具有足够的能量到达浮置栅,将 MOS 管的阈值电压从大约 2V 提高到大约 6V。存储器电路设计得可以同时 对 8 个或 16 个单元(一个字节或一个字)进行编程,因此闪存存储器可以在字节级上编程。

从浮栅上消去电荷的擦除过程则利用电子的隧道效应来完成,即在浮栅与 MOS 管管道间极薄的氧化层上施加一个大电场,使浮栅上的电子通过氧化层回到沟道中,从而擦除存储单元中的内容。

1.2 GAL 器件

GAL 器件是美国 Lattice 公司 1983 年推出的一种可电擦写,可重复编程,可设置加密的低密度 PLD 器件。按门阵列的可编程结构,可把现有的 GAL 器件分为两大类:一类其与门阵列是可编程的,或门阵列是固定连接的,现有的大部分器件,如 GAL16V8、ispGAL16Z8 和 GAL20V8 都属于这一类(普通型 GAL);另一类其与门阵

列和或门阵列都可编程, Lattice 公司的 GAL39V18 属于这一类(又叫新型 GAL 器件)。

1.2.1 GAL 的基本结构

普通型 GAL 具有基本相同的电路结构, 现以 GAL16V8 为例, 叙述 GAL 器件的组成结构及原理。

图 1.6 是 GAL16V8 的逻辑电路图。它由输入缓冲器(左列 8 个缓冲器)、输出三态缓冲器(右列 8 个缓冲器)、与门阵列、输出反馈/输入缓冲器(中间列 8 个缓冲器)、输出逻辑宏单元 OLMC(包含或门阵列), 以及时钟和输出选通信号缓冲器组成。与门阵列由 8×8 个与门构成, 共形成 64 个乘积项。每个与门有 32 个输入端。除了 8 个引脚(2~9 引脚)固定作输入外, 还可能有其他 8 个引脚(12~19 引脚)配置成输入模式。这样, 这类芯片最多可有 16 个引脚作为输入引脚, 而输出引脚最多只有 8 个。

1. 输出逻辑宏单元 OLMC

OLMC(Output Logic Macro Cell)的内部结构如图 1.7 所示。

由图 1.7 可知, OLMC 是由一个 8 输入或门、一个异或门、一个 D 触发器和四个数据选择器组成。8 输入或门将来自可编程与门阵列的七或八个乘积项进行或运算(由乘积项数选择器 PTMUX 决定)。异或门用来控制输出信号的极性, 当 $XOR(n)$ 端为 0 时, 异或门输出极性不变; 当 $XOR(n)$ 端为 1 时, 异或门起反相器的作用。D 触发器作为或门输出状态存储器, 使 GAL 器件能够适用于时序逻辑电路。四个多路数据选择器是 OLMC 的关键, 乘积项数据选择器 (PTMUX) 用于控制第一乘积项的作用, 它在信号 $AC_0 \cdot AC_1(n)$ 的控制下, 选择“地”或第一乘积项作为 8 输入或门的一个输入信号。输出三态数据选择器 (TSMUX) 用于选择输出三态缓冲器的选通信号, 在信号 $AC_0 \cdot AC_1(n)$ 的控制下, 分别选择第一乘积项、OE 信号、“地”或 V_{cc} 作为输出三态门的控制信号。输出控制数据选择器 (OMUX) 用于选择输出信号是组合的还是寄存的, 在信号 $AC_0 + AC_1(n)$ 控制下, 分别选择异或门输出端(称为组合型输出)及 D 触发器输出端(称为寄存型输出), 关输出三态门, 以便适用于组合电路和时序电路。反馈控制数据选择器 (FMUX) 决定反馈信号的来源, 它是在 AC_0 和 $AC_1(n)$ 的控制下, 分别选择 D 触发器的 \bar{Q} 端、三态门输出端、邻级输出端及“地”信号作为反馈输入信号, 送回到与门阵列输入端。

2. GAL 器件的控制字

OLMC(n) 的输出形式取决于控制信号 AC_0 、 $AC_1(n)$ 及 $XOR(n)$ 。在 GAL 器件中, 这些控制信号的取值是由它的结构编程确定。GAL16V8 的结构控制字如图 1.8 所示。

同步位 SYN 确定 GAL 器件是寄存器输出或纯组合型输出。结构控制位 AC_0 控制上述各个数据选择器。结构控制位 $AC_1(n)$ 共有 8 位, 每个 OLMC(n) 都有自己的 $AC_1(n)$ 。极性控制 $XOR(n)$ 通过 OLMC 中的异或门控制逻辑操作结果的输出极性。

64 个乘积项(PT)禁止位,分别控制逻辑图中与门阵列的 64 个乘积项,以便屏蔽某些不用的乘积项。表 1.2 列出了控制信号 SYN、 AC_0 、 $AC_1(n)$ 及 $XOR(n)$ 与 $OLMC(n)$ 的配置关系。

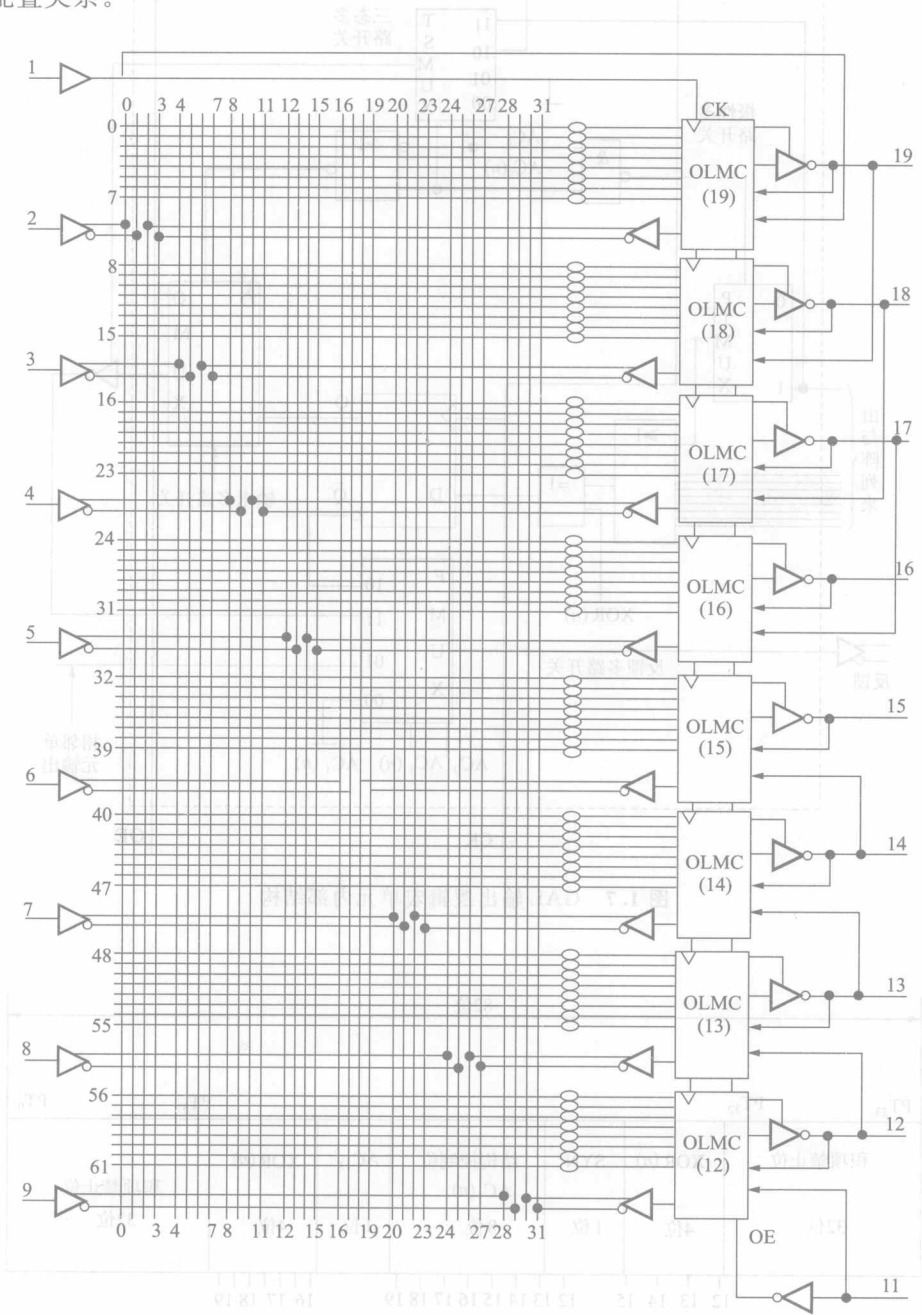


图 1.6 GAL16V8 的逻辑电路