

21世纪

高等学校电子信息类规划教材



专用集成电路设计基础教程

来新泉 主编



西安电子科技大学出版社
<http://www.xduph.com>

21 世纪高等学校电子信息类规划教材

专用集成电路设计基础教程

来新泉 主编

王松林 李先锐 刘鸿雁 曹玉 编著

西安电子科技大学出版社

2008

本科教材类原书工学类学普高类

内 容 简 介

本书循序渐进地介绍了集成电路的基本知识和设计方法。全书共分8章,主要包括专用集成电路概述、集成电路的基本制造工艺及版图设计、器件的物理基础及其SPICE模型、数字集成电路设计技术、模拟集成电路设计技术、专用集成电路设计方法、专用集成电路测试与可测性设计以及专用集成电路计算机辅助设计简介等内容。

本书可作为高等院校通信工程、电子信息工程、电子科学与技术、测控技术与仪器、计算机技术以及自动化等专业高年级本科生或研究生的教材,也可供有关科技人员参考。

本书若与西安电子科技大学出版社同时出版的《专用集成电路设计实践》一书配套使用,效果更好。

★本书配有电子教案,需要者可登录出版社网站,免费下载。

西安电子科技大学出版社

图书在版编目(CIP)数据

专用集成电路设计基础教程/来新泉主编. —西安:西安电子科技大学出版社,2008.10

21世纪高等学校电子信息类规划教材

ISBN 978-7-5606-2088-6

I. 专… II. 来… III. 集成电路—电路设计—高等学校—教材 IV. TN402

中国版本图书馆CIP数据核字(2008)第111054号

策 划 云立实

责任编辑 阎 彬 云立实

出版发行 西安电子科技大学出版社(西安市太白南路2号)

电 话 (029)88242885 88201467 邮 编 710071

http://www.xduph.com E-mail: xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西华沐印刷科技有限责任公司

版 次 2008年10月第1版 2008年10月第1次印刷

开 本 787毫米×1092毫米 1/16 印张 14.25

字 数 335千字

印 数 1~4000册

定 价 20.00元

ISBN 978-7-5606-2088-6/TN·0446

XDUP 2380001-1

西安电子科技大学出版社

如有印装问题可调换

本社图书封面为激光防伪覆膜,谨防盗版。

8005

前 言

自 1958 年美国 TI 公司试制成功第一块集成电路(Integrated Circuit, IC)以来, IC 技术的发展速度令人瞩目。IC 的生产已经发展成为新兴的支柱产业, 并且继续保持着迅猛发展的势头。随着 IC 技术的飞速发展, 系统、电路、器件之间的界限正在逐渐消失。不管是工业界还是学术界, 自行设计 IC 已成为电子信息领域的一个方向。

IC 行业已经形成芯片设计、制造、封装三业并起的局面, IC 设计业逐渐成为一个新兴的、独立的高技术产业。目前以 Fabless(无生产线)公司与 Foundry(芯片代工)厂商合作形成的 F/F 模式将会扩大半导体市场领域, 推动集成电路技术的发展。

对集成电路设计工程师来说, 现在虽然不需要去关心具体的集成电路工艺制造细节, 但了解不同工艺的基本步骤、不同器件的特点和基本电路形式还是非常必要的。

本书以电子系统设计者的角度介绍集成电路设计所必需的基本知识和设计方法, 涉及集成电路的基本制造工艺及版图设计、器件的模型、数字和模拟集成电路设计方法、集成电路测试与可测性设计以及集成电路计算机辅助设计等方面的内容。

学习本书时, 必须结合具体工程设计实例进行大量实践, 才能掌握集成电路设计的一些基本知识, 领悟集成电路的设计方法和技巧, 将自己的理念实现在芯片中。这里推荐使用由西安电子科技大学出版社同时出版的《专用集成电路设计实践》一书来进行实践。

集成电路设计毕竟是相当复杂的技术, 涉及电子学、数字逻辑电路设计、程序设计语言、计算机图形学等, 需要多门课程的广泛知识。本书主要是为电子信息类专业高年级学生或研究生编写的。读者学习前应该掌握电子学、数字电路、计算机语言等方面的知识。

来新泉教授规划了本书的基本架构和主要内容。来新泉教授、王松林教授、李先锐、刘鸿雁、曹玉等参与了全书的编写。叶强、袁冰、陈富吉、李演明、韩敏、韩艳丽、徐自有、王惠、刘斌、曲玲玲、路璐、张伟、罗鹏、张震等参与了书稿的录入、绘图和校对工作。

限于编者水平, 书中难免有疏漏之处, 敬请读者批评赐教。来信请寄西安电子科技大学电路 CAD 研究所 376 信箱(邮编 710071), 或通过以下邮箱或网址联系:

来新泉 E-mail: xqlai@mail. xidian. edu. cn

王松林 E-mail: slwang@mail. xidian. edu. cn

网址: <http://see. xidian. edu. cn/iecad/>

编 者

2008 年 9 月

目 录

第 1 章 专用集成电路概述	1
1.1 集成电路的发展	1
1.2 集成电路的分类	2
1.2.1 按集成规模分类	2
1.2.2 按制作工艺分类	3
1.2.3 按生产形式(按适用性)分类	4
1.2.4 按设计风格分类	4
1.2.5 按用途分类	5
1.3 ASIC 及其发展趋势	5
1.4 专用集成电路设计流程	6
第 2 章 集成电路的基本制造工艺及版图设计	11
2.1 集成电路的基本制造工艺	12
2.1.1 双极工艺	14
2.1.2 CMOS 工艺	18
2.1.3 BiCMOS 工艺	23
2.2 集成电路的封装工艺	26
2.2.1 集成电路的封装类型	26
2.2.2 集成电路封装工艺流程	27
2.2.3 封装材料	28
2.2.4 互连级别	28
2.2.5 在封装中对于热学方面问题的考虑	29
2.3 集成电路版图设计	30
2.3.1 版图概述	30
2.3.2 版图设计规则	30
2.3.3 版图检查与验证	34
2.3.4 IC 版图格式	36
第 3 章 器件的物理基础及其 SPICE 模型	39
3.1 PN 结	39
3.1.1 PN 结的形成	39
3.1.2 PN 结的理想伏安特性	40
3.1.3 PN 结的单向导电性	40
3.2 有源器件	42
3.2.1 双极型晶体管及其 SPICE 模型	42
3.2.2 MOS 晶体管及其 SPICE 模型	48
3.3 无源器件	53
3.3.1 电阻及其 SPICE 模型	53

3.3.2	电容及其 SPICE 模型	58
3.3.3	集成二极管及其 SPICE 模型	60
3.4	模型参数提取	62
第 4 章	数字集成电路设计技术	64
4.1	MOS 开关及 CMOS 传输门	64
4.1.1	MOS 开关	64
4.1.2	CMOS 传输门	66
4.2	CMOS 反相器	67
4.2.1	CMOS 反相器的工作原理	68
4.2.2	CMOS 反相器的直流传输特性	69
4.2.3	CMOS 反相器的静态特性	71
4.2.4	CMOS 反相器的动态特性	74
4.2.5	CMOS 反相器的功耗和速度	76
4.2.6	BiCMOS 反相器	78
4.3	CMOS 组合逻辑	79
4.3.1	CMOS 与非门	79
4.3.2	CMOS 或非门	82
4.3.3	CMOS 与或非门	84
4.3.4	CMOS 组合逻辑门电路设计方法	85
4.4	触发器	87
4.4.1	RS 触发器	87
4.4.2	D 触发器	89
4.4.3	施密特触发器	92
4.5	存储器	95
4.5.1	随机存取存储器(RAM)	95
4.5.2	只读存储器(ROM)	100
第 5 章	模拟集成电路设计技术	103
5.1	电流源	103
5.1.1	双极型电流源电路	103
5.1.2	MOS 电流源	108
5.2	差分放大器	110
5.2.1	双极 IC 中的放大电路	111
5.2.2	CMOS 差动放大器	116
5.3	集成运算放大器电路	128
5.3.1	双极集成运算放大器	128
5.3.2	CMOS 集成运算放大器	132
5.3.3	集成运算放大器的主要性能指标	136
5.4	比较器	137
5.4.1	比较器的基本特性	138
5.4.2	两级开环比较器	141
5.4.3	其他开环比较器	145
5.4.4	开环比较器性能的改进	147
5.5	带隙基准	154

5.5.1	基本原理分析	154
5.5.2	实际电路分析	156
5.6	振荡器	157
5.6.1	概述	157
5.6.2	环形振荡器	158
5.6.3	压控振荡器(VCO)	159
第6章	专用集成电路设计方法	162
6.1	全定制设计方法(Full - Custom Design Approach)	162
6.2	半定制设计方法(Semi - Custom Design Approach)	163
6.2.1	标准单元设计方法	163
6.2.2	门阵列设计方法	166
6.2.3	标准单元法与门阵列法的比较	169
6.2.4	设计实例	171
6.3	可编程逻辑器件(PLD)设计方法	174
6.3.1	概述	174
6.3.2	PLD的结构与分类	174
6.3.3	宏单元设计方法	177
6.3.4	设计流程	178
6.4	现场可编程门阵列(FPGA)设计方法	179
6.4.1	现场可编程门阵列(FPGA)的基本组成	179
6.4.2	现场可编程门阵列(FPGA)的优点及设计过程	180
6.5	不同设计方法的比较	180
第7章	专用集成电路测试与可测性设计	183
7.1	测试的重要性	183
7.2	故障模型与模拟	184
7.2.1	故障模型	184
7.2.2	故障模拟	186
7.3	可测性设计	187
7.3.1	针对性(Ad Hoc)测试法	189
7.3.2	基于扫描的测试技术	190
7.3.3	内建自测试(BIST)技术	193
7.4	自动测试模板生成	196
第8章	专用集成电路计算机辅助设计简介	197
8.1	概述	197
8.2	专用集成电路CAD工具简介	200
8.2.1	Cadence	200
8.2.2	Tanner Tools	210
参考文献		218

第 1 章 专用集成电路概述

1.1 集成电路的发展

1. 集成电路的发明

集成电路(Integrated Circuit, IC)指通过一系列特定的加工工艺,将晶体管、二极管等有源器件和电阻、电容等无源器件,按照一定的电路互连,“集成”在一块半导体单晶片(如硅或砷化镓)上并封装在一个外壳内,可执行特定电路或系统功能。

1959年2月,美国德州仪器公司的杰克·基尔比(Jack Kilby)在锗(Ge)衬底上形成台面双极型晶体管和电阻,再用超声波焊接将这些元器件用金属导线连接起来形成小型电子电路,并申请了专利(1964年获得美国专利)。严格地说这是一种混合集成电路,而不是一种布线和元器件同时形成的单片集成电路。但是这一发明为后来集成电路的飞速发展奠定了基础。

2. 集成电路的发展及未来

1) 集成电路的发展

最早的 IC 使用双极型工艺,多数的逻辑 IC 使用晶体管—晶体管逻辑(Transistor - Transistor Logic, TTL)或发射极耦合逻辑(Emitter - Coupled Logic, ECL)。虽然金属—氧化物—硅(Metal - Oxide - Silicon, MOS)晶体管的发明早于双极型晶体管,但氧化物界面的质量问题使得最初 MOS 晶体管很难制造。随着上述问题的逐步解决,20 世纪 70 年代出现了金属栅 N 沟道 MOS(NMOS)工艺。当时的 MOS 工艺只需要较少的掩膜步骤,而且与功能相当的双极型 IC 相比, MOS IC 的密度大、功耗小。这表明当性能一定时,采用 MOS IC 比采用双极型 IC 更便宜,由此导致了对 MOS IC 的投资以及市场的增长。

20 世纪 80 年代初,晶体管中的铝栅被多晶硅栅替代,但仍保留了 MOS 管的名称。多晶硅作为栅材料的引入使得在同一 IC 上很容易制造 N 沟道 MOS 和 P 沟道 MOS 两种类型的晶体管,这就是 CMOS 技术,即互补型 MOS(Complementary MOS, CMOS)工艺技术的主要改进。CMOS 与 NMOS 相比,其主要优点是功耗较低,且多晶硅栅的生产工艺更为简单,便于器件尺寸按比例缩小。

近代亚微米 CMOS 工艺与亚微米双极型或 BiCMOS(双极型和 CMOS 的组合)工艺同样复杂,但 CMOS IC 更容易大批量制造而且成本更低。因此,CMOS IC 已确立了其主导地位。但双极型或 BiCMOS IC 仍用在一些有特殊要求的场合,如双极型晶体管通常比

CMOS 晶体管的耐压高,这使得双极型或 BiCMOS IC 在电力电子(Power Electronics)、汽车、电话等电路中非常有用。

2) 专用集成电路

IEEE 定制集成电路会议(Custom Integrated Circuits Conference, CICC)是最早致力于 IC 行业这一快速发展分支的会议之一,该年会的论文集成了定制 IC 发展中很有用的参考资料。当各种定制 IC 逐步形成各种不同应用时,出现了新的 IC 术语——专用集成电路(Application Specific Integrated Circuit, ASIC)。对 ASIC 给出确切定义很困难,相对于市场上通用的集成电路而言,ASIC 一般指面向特定的用户或特定用途而设计制造的集成电路。但现在各个领域都需要专用集成电路,要明显地划分对于某个用户或专业来说比较特殊、性能比较好的集成电路不太容易。此处仅举一些例子来帮助读者加深对这一术语的理解。

不属于 ASIC 的 IC 例子包括:标准部件,如作为商品出售的存储器芯片——ROM、DRAM、SRAM;微处理器;SSI、MSI、LSI 等各种集成规模的 TTL 或等效 TTL IC。属于 ASIC 的 IC 例子包括:会说话的玩具熊芯片;卫星芯片;工作站 CPU 中存储器与微处理器之间的接口芯片;微处理器与其他逻辑一起作为一个单元的芯片等。

一般而言,可以在数据手册中查到的就不是 ASIC,当然也会有一些例外。比如,PC 控制器芯片和调制解调器既可认为是 ASIC,也可以认为不是 ASIC,它们在具体应用中都是专用的(似乎是 ASIC),但它们可以出售给不同的系统制造商(似乎又是标准部件)。这样的 ASIC 有时就称为专用标准产品(Application Specific Standard Product, ASSP)。

3) 集成电路的未来发展

近年来,集成电路朝着两个方向发展:

(1) 在发展微细加工技术的基础上,开发超高速、超高集成度的电路。

(2) 迅速、全面地利用已达到的或已成熟的工艺技术、设计技术、封装技术和测试技术等发展各种专用集成电路。

1.2 集成电路的分类

1.2.1 按集成规模分类

通常,IC 的大小由 IC 所含逻辑门数目或晶体管数目来确定。作为衡量单位,等效逻辑门对应于 2 输入与非门(NAND),如 10 万门的 IC 等效于包含了 10 万个 2 输入与非门。

半导体工业从 20 世纪 70 年代初开始发展并迅速趋于成熟。早期的小规模集成(Small-Scale Integration, SSI)IC 仅包含几个(1~10 个)逻辑门——与非门、或非门(NOR)等,相当于几十个晶体管。中规模集成(Medium-Scale Integration, MSI)时期增加了逻辑集成的范围,可得到计数器和类似的较大规模的逻辑功能。大规模集成(Large-Scale Integration, LSI)时期在单个芯片上集成了更强的逻辑功能,诸如第一代微处理器之类。如今的超大规模集成(Very-Large-Scale-Integration, VLSI)时代可提供 64 位微处理器,并在单个硅芯片上拥有高速缓冲存储器和浮点运算单元,远远超过百万个晶体管。随着 CMOS 工艺技术的改进,晶体管尺寸继续变小,使 IC 可容纳更多的晶体管。有人已经使用了特大

规模集成(Ultra - Large - Scale - Integration, ULSI)的术语。

小规模集成(SSI)电路: 每片含有 100 个元件或 10 个逻辑门以下的集成电路, 出现于 20 世纪 60 年代;

中规模集成(MSI)电路: 每片含有 100~1000 个元件或 10~100 个逻辑门的集成电路, 出现于 20 世纪 70 年代;

大规模集成(LSI)电路: 每片含有 1000~100 000 个元件或 5000 个逻辑门的集成电路, 出现于 20 世纪 80 年代;

超大规模集成(VLSI)电路: 每片含有 100 000 个元件或 5000 个逻辑门以上的集成电路, 出现于 20 世纪 90 年代;

特大规模集成(ULSI)电路: 每片含有 $10^6 \sim 10^7$ 个逻辑门的集成电路, 出现在 21 世纪后。

对 IC 集成规模的经典预测之一称为摩尔定律(Moore's Law)。戈登·摩尔(Gordon Moore)是 Intel 公司的创始人之一, 他在 20 世纪 70 年代就预测到了芯片制造技术将快速发展。他预计, 在一个芯片上晶体管的数目大约每 18 个月就将翻倍。虽然由于技术问题或经济发展的原因, 晶体管数目与增长速度会有所不同, 但摩尔定律已经被证明与实际趋势惊人地相近。图 1-1 是微处理器芯片的器件数目随年度变化的关系图。

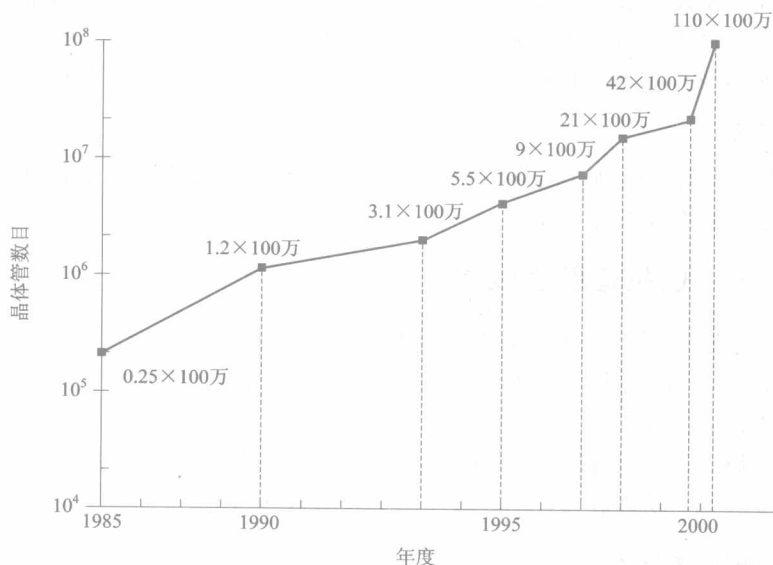


图 1-1 器件数目随年度增长

由于尺寸的缩小受到技术上的限制, 晶体管数目的增长速度还能保持多久, 一直引起人们的争论。然而不管实际的增长率将如何, 有一点是清楚的, 即对 IC 设计的投入将在今后许多年中保持强劲的增长势头。

1.2.2 按制作工艺分类

1. Bipolar 工艺

Bipolar(双极)工艺的发展历史最长, 技术已很成熟, 成本也比较低廉。双极电路噪声

小, 漂移小, 匹配性好, 速度快, 但很大的不足是器件的工作原理决定了工作电流较大, 效率难以大幅度提高。它的集成度也较低, 目前主要用于中小规模集成电路和一些高速大电流的集成电路中。

2. CMOS 工艺

CMOS 工艺近些年发展很快, 已经成为集成电路制造的主流工艺。它的突出优点是集成度高, 静态功耗低, 适用于大规模集成电路和低功耗设计。它的不足之处是噪声较大, 匹配性不如 Bipolar 工艺好, 速度也没有 Bipolar 电路高, 但最近几年有所改善。

3. BiCMOS 工艺

采用 BiCMOS 工艺既可以制作 Bipolar 型晶体管, 又可以制作 MOS 型晶体管, 所以在设计中可以充分发挥两类晶体管各自的优势, 设计自由度高、灵活性好。采用 BiCMOS 工艺可以实现功耗低、速度快的高性能芯片。但它同上面两种工艺相比, 要复杂得多, 因此也昂贵得多。

4. BCD

BCD 工艺是近些年发展起来的一种新工艺, 其中 B 代表双极工艺, C 代表 CMOS, D 代表 DMOS(双扩散型的 MOS)。BCD 工艺是比较完整的可以制作任何器件的一种工艺。在需要线性度高、放大倍数比较大的场合, 通常双极工艺比较好; 而如果需要低功耗, 则 CMOS 比较好; 一旦需要有较大的输出功率, 又要控制功率小、电流比较大, 则 DMOS 比较好。BCD 工艺应该说是线性电路中一种理想的工艺, 因而工艺厂商都在竞相开发。

5. GaAs 工艺

GaAs 工艺一般用于极高速的设计中, 通常所设计的电路可达几个吉赫兹。这种工艺用得比较少, 这里就不详细介绍了。

1.2.3 按生产形式(按适用性)分类

按生产形式(按适用性)分类, 集成电路可分为:

标准通用集成电路: 不同厂家都在同一时间生产的用量极大的标准系列产品。这类产品往往集成度不高, 但社会需求量大, 通用性强。

专用集成电路(ASIC): 根据某种电子设备中特定的技术要求而专门设计的集成电路。其特点是集成度较高, 功能较多, 功耗较小, 封装形式多样。

1.2.4 按设计风格分类

定制设计的电路通常也被称为专用集成电路(Application Specific Integrated Circuit, ASIC)。

ASIC 按照设计方法的不同可分为全定制(Full - Custom) ASIC、半定制(Semi - Custom) ASIC 和可编程(Programmable Logic Device, PLD) ASIC(也称为可编程逻辑器件)。

设计全定制 ASIC 芯片时, 设计师要定义芯片上所有晶体管的几何图形和工艺规则, 最后将设计结果交由 IC 厂家掩膜制造完成。其优点是: 芯片可以获得最优的性能, 即面积利用率高、速度快、功耗低。其缺点是: 开发周期长, 费用高, 只适合大批量产品的开发。

半定制 ASIC 芯片的版图设计方法有所不同, 分为门阵列设计法和标准单元设计法,

这两种方法都是约束性的设计方法,其主要目的就是简化设计,以牺牲芯片性能为代价来缩短开发时间。

可编程逻辑芯片与上述掩膜 ASIC 的不同之处在于:设计人员完成版图设计后,在实验室内就可以烧制出自己的芯片,无需 IC 厂家的参与,这就大大缩短了开发周期。可编程逻辑器件自 20 世纪 70 年代以来,经历了 PAL、GAL、CPLD、FPGA 等几个发展阶段,其中 CPLD/FPGA 属高密度可编程逻辑器件,目前的集成度已高达 200 万门/片。它将掩膜 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起,特别适合于样品研制或小批量产品开发,使产品能以最快的速度上市,而当市场扩大时,它可以很容易地转由掩膜 ASIC 实现,因此开发风险也大为降低。

上述 ASIC 芯片,尤其是 CPLD/FPGA 器件,已成为现代高层次电子设计方法的实现载体。

1.2.5 按用途分类

按用途分类,集成电路可分为:

数字集成电路:专门用来处理数字信号的 IC,如各种逻辑门、触发器、存储器等都是数字集成电路。通常,数字信号是二进制信号。电路输出的二进制信号与输入的二进制信号有一定的逻辑关系,这种逻辑关系就称为电路的逻辑函数。

模拟集成电路:模拟集成电路是对随时间连续变化的模拟量(电压或电流等)进行处理(放大或变换)的一类集成电路。更广义些,人们把数字集成电路以外的各种集成电路统称为模拟集成电路。

数模混合集成电路:在同一芯片上同时兼有数字电路、模拟电路、模/数(A/D)转换电路和数/模(D/A)转换电路的集成电路。

1.3 ASIC 及其发展趋势

ASIC 并不是一个学术名词,它的含义很不确切。按字面来解释,凡是用于某一类专用系统的电路都可以称为 ASIC,而不管它是卖给一个用户还是多个用户。

目前在集成电路界,ASIC 被认为是用户专用集成电路(Customer Specific IC),即它是专门为一个用户而设计和制造的。换言之,它是根据某一用户的特定要求,以低研制成本、短交货周期供货的半定制、定制电路以及 PLD 和 FPGA 电路。这包括采用门阵列和标准单元设计并制造的电路。PLD 和 FPGA 也包括在内,因为一个用户采用 PLD 或 FPGA 电路并进行“编程”只是为了本身的需要。

现在出现了一个新的名词,即专用标准产品(Application Specific Standard Products, ASSP)。在很多情况下,这类集成电路也是采用 ASIC 技术设计和制造的,但它是作为标准产品卖给多个用户,且被列入制造商的产品目录中的。这类产品目前越来越多,如 LAN 用电路、图形处理用集成电路、通信用 CODEC 等,近年来还有以 32 位 RISC MPU 为内核的 ASSP 产品出现。

ASSP 的增长是否意味着 ASIC 市场的萎缩和终止呢?回答是否定的。虽然 ASSP 产品可以使系统得以改进而迅速进入市场,但 ASIC 器件可以使系统生产者所制造的产品有

别于其他竞争者,因而获得更大的市场份额和更多的利润。

ASIC 电路的蓬勃发展正推动着设计方法学和设计工具的完善,同时也促进着系统设计人员与芯片设计人员的结合和相互渗透。

目前,ASIC 设计正经历着一个从常规设计向高难设计发展的过程。对于今后 ASIC 芯片的设计特点,可以归纳为以下几点:

(1) 高密度。根据摩尔定律,每 3 年时间芯片的最大规模将大致翻两番。规模大的 ASIC 芯片的情况基本与此接近,大致规律是经过 5 年时间,其芯片规模为原来的 10 倍。例如:1985 年 ASIC 的最大规模为 1 千门/单片;1990 年则为 1 万门/单片;1995 年为 10 万门/单片;2000 年为 100 万门/单片;2005 年为 1000 万门/单片。显然,在芯片内的器件密度将越来越高,这是实现系统功能单片集成的基础。

(2) 高 I/O 引脚数。随着单片规模的变大,要求的输入/输出(I/O)引脚数必将越来越多。

(3) 小逻辑摆幅。逻辑摆幅(Swing)是指逻辑 0、1 电平之差。由于芯片工作电压的降低,其逻辑摆幅越来越小。

(4) 高系统时钟频率。由于系统的工作速度越来越快,要求片内时钟频率不断提高。

(5) 低功耗。芯片规模大了,功耗问题越来越突出,所以低功耗设计越来越被重视。

(6) 先进封装。芯片的引脚增多使封装难度增大,为了缩小封装后的体积,减少封装互连影响,更进一步地要求必须采用先进封装技术,如 BGA 封装等。

1.4 专用集成电路设计流程

当半导体技术从分立器件跨入集成电路的初期,元件产品几乎没有改变其通用的属性。随着集成电路技术的迅猛发展,当一个电子部件甚至一个系统可以集成在一个半导体芯片上的时候,部件(系统)的功能设计和芯片的物理设计就越来越难以分离。就半导体集成电路工艺技术而言,ASIC 似乎没有引入任何新的原理或新的概念,但是却造就了电子系统和集成电路设计概念上的根本变革。ASIC 的设计涉及从电子系统到集成电路制造的整个过程。

1. 简化的设计流程

设计流程有多个步骤,如图 1-2 所示,简要地概括如下:

(1) 系统描述(System Specification)。它包括系统功能、性能、物理尺寸、设计模式、制造工艺、设计周期、设计费用等的描述。

(2) 功能设计(Function Design)。功能设计用来设计系统功能的实现方案,通常是给出系统的时序图及各子模块之间的数据流图。

(3) 逻辑设计(Logic Design)。这一步是将系统功能结构化。通常以文本、原理图、逻辑图等表示设计结果,有时也采用布尔表达式来表示设计结果。

(4) 电路设计(Circuit Design)。电路设计是将逻辑设计表达式转换成电路实现。

(5) 物理设计(Physical Design or Layout Design)。物理设计或称版图设计是 VLSI 设计中最费时的一步。它要将电路设计中的每一个元器件,包括晶体管、电阻、电容、电感等以及它们之间的连线转换成集成电路制造所需要的版图信息。

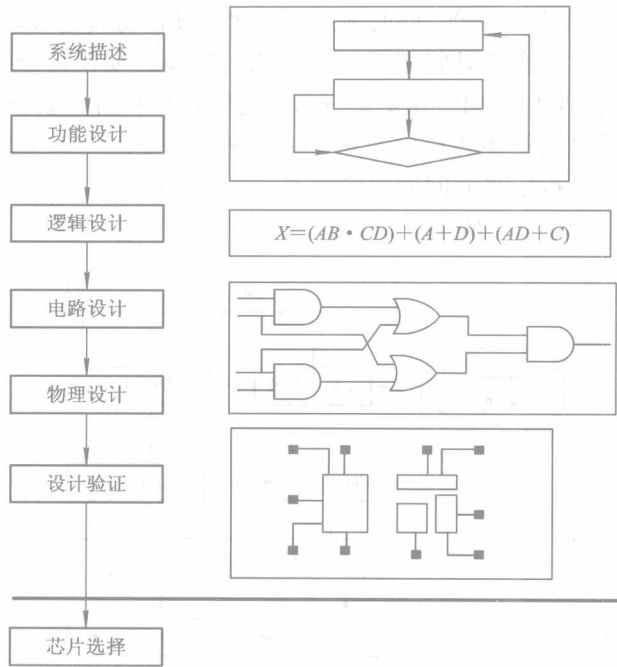


图 1-2 ASIC 简化的设计流程

(6) 设计验证 (Design Verification)。在版图设计完成以后，非常重要的一步工作是设计(版图)验证。它主要包括：设计规则检查(DRC)、版图与电路图的一致性检查(LVS)、电学规则检查(ERC)和寄生参数提取(LPE)。

2. 详细的设计流程

从总体来讲，集成电路设计要经历 3 个子过程，如图 1-3 所示。

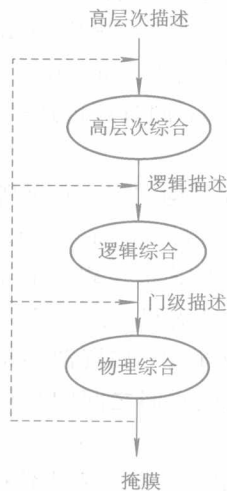


图 1-3 总体的设计流程

(1) 高层次综合。将系统的行为、各个组成部分的功能及其输入和输出用硬件描述语言加以描述, 然后进行行为级综合, 同时通过高层次的硬件仿真进行验证。

(2) 逻辑综合。通过综合工具将逻辑级行为描述转换成使用门级单元的结构描述(门级的结构描述称为网表描述), 同时还要进行门级逻辑仿真和测试综合。

(3) 物理综合。将网表描述转换成版图, 即完成布图设计。这时要对每个单元确定其几何形状、大小及位置, 确定单元间的连接关系。

详细的设计流程如图 1-4 所示。

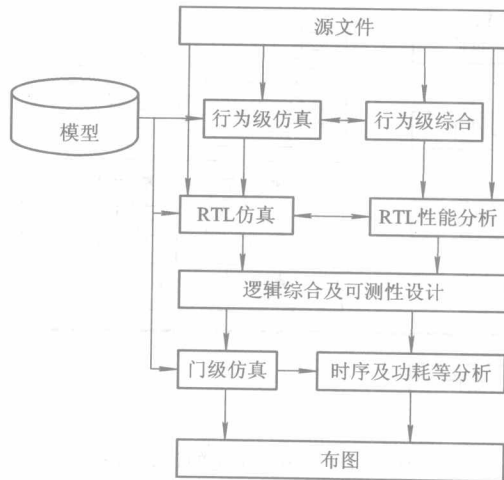


图 1-4 详细的设计流程

一般来讲, 设计综合被定义为两种不同的设计描述之间的转换, 这里谈到的综合是指一种将设计的行为描述转换成设计的结构描述的过程。

高层次综合也称为行为级综合(Behavioral Synthesis)。它的任务是将一个设计的行为级描述转换成寄存器传输级的结构描述。它首先翻译和分析设计的 HDL 语言描述, 并在给定的一组性能、面积和/或功耗的条件下, 确定需要哪些硬件资源, 如执行单元、存储器、控制器、总线等(通常称这一步为分配(Allocation)), 以及确定在这一结构中各种操作的次序(通常称之为调度(Scheduling)), 同时还可通过行为级和寄存器传输级硬件仿真进行验证。

由于设计的功能可能由多种硬件结构实现, 因而高层次综合的目的是要在满足目标和约束条件下, 找到一个代价最小的硬件结构, 并使设计的功能最佳。

逻辑综合是将逻辑级的行为描述转换成逻辑级的结构描述, 即逻辑门的网表。逻辑级的行为描述可以是状态转移图、有限状态机, 也可以是布尔方程、真值表或硬件描述语言。

逻辑综合过程还包括一系列优化步骤, 如资源共享、连接优化和时钟分配等。优化目标是面积最小、速度最快、功耗最低或它们之间的某种折中。一般来讲, 逻辑综合分成以下两个阶段:

- ① 与工艺无关的阶段, 这时采用布尔操作或代数操作技术来优化逻辑;
- ② 工艺映像阶段, 这时根据电路的性质(如组合型或时序型)及采用的结构(多层逻辑、PLD 或 FPGA)做出具体的映像, 将与工艺无关的描述转换成门级网表或 PLD 或

FPGA 的执行文件。

逻辑综合优化完成后,还需要进行细致的时延分析和时延优化。此外还要进行逻辑仿真。

逻辑仿真是保证设计正确的关键步骤。过去通常采用软件模拟的方法,近年来则强调硬件仿真手段,如通过 PLD 或 FPGA 进行仿真。

测试综合可提供自动测试图形生成(Automatic Test Pattern Generation, ATPG),为可测性设计提供高故障覆盖率的测试图形。测试综合还可消除设计中的冗余逻辑,诊断不可测的逻辑结构,还能自动插入可测性结构。

物理综合也称版图综合(Layout Synthesis)。它的任务是将门级网表自动转换成版图,即完成布图。布图的详细步骤见图 1-5。



图 1-5 布图的详细步骤

布图规划(Floorplan)对设计进行物理划分,同时对设计的布局进行规划和分析。在这一步骤中,面向物理的划分的层次结构可以与逻辑设计时的划分有所不同。布图规划可以估算出较为精确的互连延迟信息,预算芯片的面积以及分析得到何处为拥挤的布线区域。

布局是指将模块安置在芯片上的适当位置,并能满足一定的目标函数。一般布局时总是要求芯片面积最小,连线总长最短和电性能最优且容易布线。布局又分为初始布局和迭

代改善两个子步骤。进行初始布局的目的是提高布局质量及减少下一步迭代改善时的迭代次数；而迭代改善是设法对布局加以优化的过程，它是决定布局质量的关键。

布线是根据电路的连接关系描述(即连接表)，在满足工艺规则的条件和电学性能的要求下，在指定的区域(面积、形状、层次等)内百分之百地完成所需的互连，同时要求尽可能优化连线长度和通孔数目。一般有两种布线方法：一种是面向线网的布线方法，它是直接对整个电路进行布线，布线时通常采取顺序方式；另一种称为分级布线，它将布线问题分为全局布线(Global Routing)和详细布线(Detailed Routing)。分级布线是一种面向布线区域的布线方法，这种方法通过适当的划分，将整个布线区域分为若干个布线通道区(Channel)，然后进行适当的布线分配，即将一个线网的所有端点的走线路径分配到相应的通道区中；接着进行详细布线，即对分配到当前通道区中的所有线网段的集合，按照一定的规则，确定它们在通道中的具体位置。

在完成布局、布线后，要对版图进行设计规则检查、电学规则检查以及版图与电路图的一致性检查，在版图参数提取的基础上再次进行电路分析(即后模拟)。

只有在所有的检查都通过并被证明正确无误后，才将布图结果转换为掩膜文件，然后由掩膜文件设法生成掩膜版，通常这是通过掩膜版发生器或电子束制版系统得到的。