

于凤芹 主编
张庆荣 吉训生 张贞凯 编著

TMS320 C6000 DSP

结构原理与硬件设计



北京航空航天大学出版社

TN911.72DS
108
12

TMS320 C6000 DSP 结构 原理与硬件设计

于凤芹 主编

张庆荣 吉训生 张贞凯 编著

北京航空航天大学出版社

内 容 简 介

介绍 TI 公司的 TMS320 C6000 系列 DSP 的结构原理和硬件设计方法,主要以定点 C62X 和浮点 C67X 为描述对象,全面剖析高度并行的 CPU 内核、分层次的存储器结构和丰富的集成外围模块,详细分析 CPU、存储器、EDMA、EMIF、HPI、McBSP、McASP、I²C 总线、GPIO、定时器、扩展总线、PCI 总线、锁相环和节能逻辑等部分的结构原理与使用方法,并给出基于 C6713 DSP 的实际应用系统的硬件设计实例。

本书可作为电子信息、通信工程、计算机应用及自动控制等专业高年级本科生或研究生的教学参考书,也可供从事 DSP 应用系统设计的科技人员使用。

图书在版编目(CIP)数据

TMS320 C6000 DSP 结构原理与硬件设计/于凤芹主编.

—北京:北京航空航天大学出版社,2008.9

ISBN 978-7-81124-427-4

I. T… II. 于… III. 数字信号—信息处理系统—结构设计 IV. TN911.72

中国版本图书馆 CIP 数据核字(2008)第 124312 号

©2008,北京航空航天大学出版社。版权所有。

未经本书出版者书面许可,任何单位和个人不得以任何形式或手段复制本书内容。侵权必究。

TMS320 C6000 DSP 结构原理与硬件设计

于凤芹 主编

张庆荣 吉训生 张贞凯 编著

责任编辑 张军香 朱红芳

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:(010)82317024 传真:(010)82328026

<http://www.buaapress.com.cn> E-mail:bhpress@263.net

北京市松源印刷有限公司印装 各地书店经销

*

开本:787×960 1/16 印张:29.75 字数:666 千字

2008 年 9 月第 1 版 2008 年 9 月第 1 次印刷 印数:5 000 册

ISBN 978-7-81124-427-4 定价:48.00 元

前 言

TMS320 C6000 系列 DSP 是 TI 公司的 TMS320 DSP 家族的重要系列。该系列 DSP 芯片的 CPU 采用多功能单元并行和支持多级流水线的 VLIW 结构,拥有大寻址范围的片内和片外分层的存储器体系,集成了丰富的组件和外围功能模块。其结构先进、性价比高,广泛应用于通信、图像/视频处理、语音处理、雷达、声纳、医疗设备及自动控制等方面。

本书以 C6000 系列 DSP 中的定点 C62X DSP 和浮点 C67X DSP 为描述对象,全面介绍其内部硬件结构、工作原理、寄存器定义和设置,并给出使用方法和设计实例;详细分析中央处理单元 CPU、片内分层的存储器、增强的直接存储器存取 EDMA、外部存储器接口 EMIF、主机接口 HPI、多通道缓冲串行口 McBSP、多通道音频串行口 McASP、I²C 总线模块、通用输入/输出 GPIO 接口、定时器、扩展总线 XBUS、PCI 总线、锁相环 PLL 和节能逻辑(Power-Down)等部分的结构原理与硬件设计方法,并给出基于 C6713 DSP 的 HFC 网络反向通道噪声频谱实时检测系统的设计实例。

对每部分的描述都采用由外及里、从整体到局部再到整体的路线,先概括其组成结构和对外引脚,再详述相关寄存器的定义与设置,然后结合硬件结构和寄存器设置说明模块的原理与工作过程,最后给出模块的使用方法和应用实例。根据 TI 提供的技术文档,结合多年教学科研体会,采用适当取舍、分层次递进,并辅以图表说明和列举实例示范等方法,尽量使读者能够容易理解 TMS320 C6000 系列 DSP 芯片的组成结构和工作原理,并尽快掌握其硬件使用和设计方法。

全书由于凤芹教授组织编写,其中第 1~3 章、第 6 章、第 9~11 章、第 14~15 章由于凤芹教授编写,第 7~8 章由张庆荣博士编写,第 12~13 章由吉训生博士编写,第 4~5 章由张贞凯编写,研究生王淦平提供了 15.2 节的初稿。此外,肖志、李江两位同学参与了本书实例中项目的开发工作。

在编写过程中,编者以 TI 公司提供的技术文档为第一手资料,并参考了已出版的相关书籍,在此对提供参考资料的公司和作者表示深深的谢意!同时,感谢江南大学通信与控制工程学院领导和同事们的热忱支持,感谢无锡路通电子技术有限公司的项目合作!感谢德州仪器半导体技术(上海)有限公司沈洁女士和合众达

国际有限公司的陈宫先生多年来在 DSP 教学和科研方面给予的支持! 感谢所有参加编写人员的亲人和朋友们的理解和支持!

DSP 技术发展突飞猛进, TI 公司不断地推出新产品, 愿这本书为推动 DSP 技术的普及和应用尽一点微薄之力!

由于作者水平有限, 书中难免有错误之处, 恳请读者批评指正。

作 者

2008 年 6 月

目 录

第 1 章 TMS320 C6000 系列 DSP 简介

1.1 概 述	1
1.2 C6000 DSP 的定点和浮点系列及代码兼容性	2
1.3 TMS320 C6000 DSP 技术特征	6
1.3.1 高度并行的 CPU 结构	6
1.3.2 灵活的存储器配置	7
1.3.3 丰富的外设模块	8
1.4 本书的结构安排与导读	14

第 2 章 中央处理单元 CPU 工作原理分析

2.1 CPU 的组成单元	16
2.2 CPU 的程序执行机构——数据通道	17
2.2.1 通用寄存器组 A 和 B	20
2.2.2 功能单元与指令映射	20
2.2.3 寄存器组交叉路径	23
2.2.4 数据存储器的读取和存储路径	23
2.2.5 数据地址路径与寻址方式	23
2.3 CPU 的取指、译码与分配机制——流水线操作	24
2.3.1 取指阶段	24
2.3.2 译码阶段	26
2.3.3 执行阶段	26
2.4 控制寄存器	30
2.5 中断控制与中断选择	33
2.5.1 中断类型与优先级	33
2.5.2 有关中断的控制寄存器	34
2.5.3 中断服务表	36
2.5.4 中断选择	39

第3章 C6000 DSP 内部存储器结构分析

3.1	C6000 DSP 的存储器映射	43
3.2	C620X/C670X DSP 片内存储器结构	46
3.2.1	片内程序存储器的管理与工作模式	46
3.2.2	C620X/C670X DSP 的片内数据存储器	49
3.3	C621X/C671X DSP 片内分层的存储器结构	51
3.3.1	第一级数据缓存 L1D	52
3.3.2	第一级程序缓存 L1P	54
3.3.3	第二级存储器 L2	55
3.4	存储器的控制寄存器	58
3.5	高速缓存的管理	61

第4章 增强的直接存储器访问 EDMA 结构与原理

4.1	EDMA 概述	62
4.1.1	直接存储器访问	62
4.1.2	增强型直接存储器访问	64
4.2	EDMA 基本结构	65
4.2.1	EDMA 的组成	65
4.2.2	参数 RAM 体说明	66
4.3	EDMA 控制寄存器	69
4.3.1	EDMA 事件选择寄存器 ESEL0/1/3	70
4.3.2	EDMA 优先级队列状态寄存器 PQSR	73
4.3.3	EDMA 通道中断挂起寄存器 CIPR	74
4.3.4	EDMA 通道中断使能寄存器 CIER	74
4.3.5	EDMA 通道链接使能寄存器 CCER	75
4.3.6	EDMA 事件寄存器 ER	75
4.3.7	EDMA 事件使能寄存器 EER	76
4.3.8	EDMA 事件清除寄存器 ECR	77
4.3.9	EDMA 事件设置寄存器 ESR	78
4.4	EDMA 的传输过程	78
4.4.1	EDMA 的初始化与启动	78
4.4.2	EDMA 传输的同步控制	79
4.4.3	EDMA 传输的类型	80

4.4.4	单元大小和计数更新	83
4.4.5	源地址/目的地址更新	84
4.4.6	链接和终止一个 EDMA 传输	87
4.4.7	EDMA 的性能分析	90
4.5	快速直接存储器访问工作原理	90
4.5.1	初始化一个 QDMA 传输	90
4.5.2	QDMA 寄存器	91
4.5.3	QDMA 性能分析和优先级	92
4.6	EDMA 应用实例	92
4.6.1	单元同步的一维到一维数据传输	93
4.6.2	阵列同步的二维到二维数据传输	94
4.6.3	块同步的一维到二维数据传输	94

第 5 章 外部存储器接口 EMIF 结构原理与使用

5.1	EMIF 概述	96
5.2	EMIF 接口信号与说明	98
5.3	EMIF 的控制寄存器	101
5.3.1	EMIF 全局控制寄存器 GBLCTL	102
5.3.2	EMIF CE 空间控制寄存器 CECTL0~3	103
5.3.3	EMIF SDRAM 控制寄存器 SDCTL	105
5.3.4	EMIF SDRAM 时序控制寄存器 SDTIM	106
5.3.5	EMIF SDRAM 扩展寄存器 SDEXT	107
5.4	EMIF 与存储器的接口及时序说明	109
5.4.1	存储器宽度	109
5.4.2	EMIF 存储请求优先级	110
5.4.3	EMIF 的 SDRAM 接口及时序说明	110
5.4.4	EMIF 的 SBSRAM 接口及时序说明	119
5.4.5	EMIF 的 ASRAM 接口	120
5.5	EMIF 使用实例	122
5.5.1	EMIF 与异步 FIFO 存储器的接口实例	122
5.5.2	EMIF 与 FLASH 存储器接口实例	124

第 6 章 主机接口 HPI 的结构原理与应用

6.1	HPI 概述	126
-----	--------	-----

6.2	HPI 的结构与外部引脚描述	128
6.3	HPI 的寄存器	132
6.3.1	HPI 数据寄存器 HPID	133
6.3.2	HPI 地址寄存器 HPIA	133
6.3.3	HPI 控制寄存器 HPIC	133
6.4	HPI 总线时序	135
6.4.1	HPID 读时序	135
6.4.2	HPID 写时序	137
6.4.3	HPIC 和 HPIA 存取时序	139
6.5	HPI 的操作过程	139
6.5.1	HPIC 和 HPIA 初始化	139
6.5.2	固定地址模式下的 HPID 读访问	140
6.5.3	地址自增模式下的 HPID 读操作	141
6.5.4	固定地址模式下的 HPID 写操作	142
6.5.5	地址自增模式下的 HPID 写操作	143
6.5.6	主机与 DSP 的相互中断	144
6.6	HPI 的应用实例	145
6.6.1	MPC860 与 HPI 的引脚连接	145
6.6.2	MPC680 的寄存器配置	146
6.6.3	MPC680 到 HPI 的时序确认	148

第 7 章 多通道缓冲串行口 McBSP 结构原理与应用

7.1	McBSP 概述	152
7.2	McBSP 结构原理	154
7.2.1	引脚说明	155
7.2.2	时钟与帧同步产生	156
7.2.3	采样率发生器	159
7.3	McBSP 的寄存器	160
7.3.1	串行口控制寄存器 SPCR	160
7.3.2	接收控制寄存器 RCR	164
7.3.3	发送控制寄存器 XCR	166
7.3.4	采样率发生器寄存器 SRGR	168
7.3.5	多通道控制寄存器 MCR	169
7.3.6	接收通道使能寄存器 RCER	172

7.3.7	发送通道使能寄存器 XCER	173
7.3.8	增强的接收通道使能寄存器 RCERE0~3	174
7.3.9	增强的发送通道使能寄存器 XCERE0~3	176
7.3.10	引脚控制寄存器 PCR	179
7.3.11	数据接收寄存器 DRR	182
7.3.12	数据发送寄存器 DXR	182
7.4	McBSP 的标准操作	183
7.4.1	初始化过程	184
7.4.2	接收操作	188
7.4.3	发送操作	188
7.4.4	中断产生	190
7.5	McBSP 的 μ -律与 A-律压扩原理	191
7.5.1	压扩内部数据	192
7.5.2	位顺序	192
7.6	McBSP 应用	193
7.6.1	McBSP 的主从模式应用	193
7.6.2	应用实例	196

第 8 章 多通道音频串行口 McASP 结构原理与应用

8.1	McASP 概述	204
8.2	McASP 结构与引脚	208
8.2.1	McASP 的时钟	209
8.2.2	发送和接收时钟	209
8.2.3	帧同步信号发生器	211
8.2.4	串行器模块	212
8.2.5	格式化单元	213
8.2.6	状态机	215
8.2.7	TDM 成序器	215
8.2.8	时钟检查电路	215
8.2.9	引脚控制	215
8.3	McASP 的寄存器	218
8.3.1	寄存器总表	218
8.3.2	全局控制寄存器 GBLCTL	221
8.3.3	音频模式控制寄存器 AMUTE	223

8.3.4	外围识别寄存器 PID	225
8.3.5	数字环回控制寄存器 DLBCTL	225
8.3.6	数字模式控制寄存器 DITCTL	226
8.3.7	串行控制寄存器 SRCTL _n	227
8.3.8	电源关闭和仿真管理寄存器 PWRDEMU	228
8.3.9	有关引脚功能与说明的寄存器	229
8.3.10	有关接收部分的寄存器	239
8.3.11	有关发送部分的寄存器	251
8.3.12	有关通道的寄存器	264
8.4	McASP 的操作	266
8.4.1	设置与初始化	266
8.4.2	传输模式与反馈模式	269
8.4.3	数据的发送与接收	274
8.4.4	中断与出错管理	280
8.5	McASP 的应用例子	288

第 9 章 定时器结构与工作原理

9.1	定时器功能概述	290
9.2	定时器的有关寄存器	292
9.3	定时器的结构与工作原理	294
9.3.1	定时器的引脚	295
9.3.2	定时器时钟源的选择	295
9.3.3	定时器的计数原理	296
9.3.4	定时器脉冲产生模式	296
9.3.5	定时器的中断与 EDMA 同步事件的产生	297
9.4	定时器的使用方法	297
9.4.1	定时器的复位与使能计数	297
9.4.2	定时器的配置	298
9.4.3	使用定时器的几点特殊考虑	298
9.4.4	定时器的仿真操作	299

第 10 章 I2C 模块的原理与使用

10.1	I2C 模块的特点	300
10.2	I2C 模块的组成结构	303

10.3 I2C 模块的寄存器	304
10.3.1 I2C 主地址寄存器 I2COAR	305
10.3.2 I2C 从地址寄存器 I2CSAR	305
10.3.3 I2C 模式寄存器 I2CMDR	306
10.3.4 I2C 状态寄存器 I2CSTR	310
10.3.5 中断使能寄存器 I2CIER 和中断源寄存器 I2CISR	313
10.3.6 预比例分频计数器 I2CPSC	314
10.3.7 时钟分频值寄存器 I2CCLKL 和 I2CCLKH	315
10.3.8 数据计数寄存器 I2CCNT	316
10.3.9 集成外设类型识别寄存器 I2CPID1 和 I2CPID2	316
10.3.10 数据接收寄存器 I2CDRR 和数据发送寄存器 I2CDXR	317
10.4 操作模式	318
10.5 数据有效性与起始和停止条件	319
10.6 串行数据格式	320
10.6.1 7 位寻址格式	321
10.6.2 10 位寻址格式	321
10.6.3 自由数据格式	321
10.6.4 可重复的起始条件	322
10.7 仲裁	322
10.8 时钟产生与时钟同步	323
10.8.1 时钟产生	323
10.8.2 时钟同步	323
10.9 I2C 模块产生的中断请求与 EDMA 事件	324
10.9.1 I2C 模块产生的中断请求	324
10.9.2 I2C 模块产生的 EDMA 事件	326
10.10 I2C 模块的使用指导	326

第 11 章 通用目的输入输出 GPIO 的功能分析

11.1 GPIO 引脚与组成	328
11.2 GPIO 模块对引脚的处理	330
11.3 GPIO 的 CPU 中断和 EDMA 事件产生方式	333
11.3.1 有关的 GPIO 寄存器	334
11.3.2 直接通过模式	337
11.3.3 逻辑运算模式	338

11.3.4 逻辑输出 GPINT 的外部使用	341
11.4 GPIO 的中断和事件产生	342

第 12 章 外围设备互连 PCI 接口原理

12.1 TMS320 C6000 DSP 的 PCI 端口概述	343
12.2 PCI 结构	345
12.3 PCI 寄存器	347
12.3.1 PCI 配置寄存器	347
12.3.2 I/O 寄存器	350
12.3.3 存储器映射寄存器	353
12.4 PCI 的 4 种数据传输方式	363
12.4.1 DSP 主设备读操作	363
12.4.2 DSP 主设备写操作	364
12.4.3 DSP 从设备读操作	364
12.4.4 DSP 从设备写操作	365
12.5 PCI 的复位、中断与自举	365
12.5.1 PCI 的复位	365
12.5.2 PCI 中断与状态报告	365
12.5.3 PCI 的出错处理	366
12.5.4 PCI 的自举	367

第 13 章 扩展总线 XBUS 的原理和应用

13.1 概 述	369
13.2 扩展总线的结构	370
13.3 扩展总线寄存器	373
13.3.1 扩展总线全局控制寄存器 XBGC	374
13.3.2 扩展总线 XCE 空间控制寄存器 XCECTL	375
13.3.3 扩展总线主机接口控制寄存器 XBHC	376
13.3.4 扩展总线内部主设备地址寄存器 XBIMA	377
13.3.5 扩展总线外部地址寄存器 XBEA	377
13.3.6 扩展总线数据寄存器 XBD	378
13.3.7 扩展总线内部从设备地址寄存器 XBISA	378
13.4 扩展总线 I/O 操作模式	379
13.5 扩展总线主机操作模式	384

13.5.1 同步主设备端口模式	384
13.5.2 异步主机端口模式	391
13.6 扩展总线仲裁	392
13.7 扩展总线的应用举例	393
13.7.1 MPC68360 与扩展总线的连接	393
13.7.2 MPC68360 的寄存器配置	395
13.7.3 时序验证	397

第 14 章 锁相环控制器和节能模式的工作原理

14.1 PLL 控制器的结构与工作原理	400
14.1.1 PLL 控制器的组成结构	400
14.1.2 PLL 控制器的工作原理	401
14.1.3 PLL 控制器的寄存器	404
14.1.4 PLL 的配置方法	408
14.2 节能模式	409
14.2.1 节能模式描述	410
14.2.2 节电模式的触发与唤醒	411
14.2.3 TMS320 C6202B/C6203B DSP 外设的节电模式	412

第 15 章 C6000 DSP 应用系统的硬件设计

15.1 C6000 DSP 应用系统的组成框图	414
15.1.1 C6000 DSP 应用系统的时钟设计	415
15.1.2 C6000 DSP 应用系统的电源设计	421
15.2 基于 C6713 的 HFC 网络反向通道噪声频谱实时监测系统	426
15.2.1 前端信号调理电路	427
15.2.2 A/D 采样电路	428
15.2.3 用 FPGA 实现 FIFO 和系统的逻辑控制	428
15.2.4 DSP 存储系统的扩展	432
15.2.5 DSP 与 ARM 的数据通信	433
15.2.6 时钟、电源和复位电路	436
15.2.7 系统调试	436
15.3 TMS320 C6000 DSP 应用系统组成框图	438
15.3.1 超声系统	438
15.3.2 网络安全视频监视系统	438

15.3.3 核磁共振成像系统.....	440
15.3.3 指纹生物特征识别系统.....	441
附 录 TMS320 C6713 DSP 分组信号描述	443
参考文献	459

第 1 章 TMS320 C6000 系列 DSP 简介

在概括 DSP 特点和 TMS320 DSP 产品系列的基础上,首先说明 TMS320 C6000 DSP 的定点和浮点系列及其代码兼容性;然后从高度并行的 CPU 结构、灵活的存储器配置和丰富的外围模块等角度,详细阐述 TMS320 C6000 系列 DSP 的技术特征;最后介绍本书的结构安排,指导读者阅读。

1.1 概 述

数字信号处理器 DSP(Digital Signal Processor)是一种具有特殊结构的微处理器,它专门为实现数字信号处理的各种算法而设计,因而在硬件结构上具有特殊性,如内部存储器采用程序总线 and 数据总线分开的哈佛结构。由于程序存储器和数据存储器在物理上是两个独立的存储区域,可使取数据和取指令同时进行,大大提高处理器的处理能力;具有专门的硬件乘法器,容易完成数字信号处理中诸如卷积、滤波、FFT 等算法中的乘法和累加基本运算;广泛采用流水线操作,把一条指令分成取指、译码和执行等阶段,实现多条指令并行运行,缩短指令执行时间。DSP 因其独特优点,已被广泛应用在信号处理、通信、雷达、自动控制及生物医学等领域。随着性能价格比的日益提高,DSP 显示出巨大的应用潜力。

美国德州仪器公司(Texas Instruments,简称 TI)是世界上生产 DSP 芯片的主要公司之一。TI 公司自 1982 年推出第一代 TMS32010、TMS32011、TMS320C10/C14/C15/C16/C17 等 DSP 芯片之后,相继又推出第二代 DSP 芯片 TMS32020 和 TMS320 C25/C26/C28,第三代 DSP 芯片 TMS320 C30/C31/C32,第四代 DSP 芯片 TMS320 C40/C44,第五代 DSP 芯片 TMS320 C5X/C54X,第二代 DSP 芯片的改进型 TMS320 C2XX,集多片 DSP 芯片于一体的高性能 TMS320 C8X 以及目前速度最快的第六代 DSP 芯片 TMS320 C62X/C64X/C67X 等。TI 公司将常用的 DSP 芯片归纳为三大系列:即 TMS320 2000 系列(包括 TMS320 C2X/TMS320 C2XX/TMS320 C24X/TMS320 C28X 等)、TMS320 C5000 系列(包括 TMS320 C54X/C55X)和 TMS320 C6000 系列(包括 TMS320 C62X/C64X/C67X)。TI 公司的 DSP 芯片系列如图 1-1 所示。

由于 TMS320 系列 DSP 产品包括定点处理器、浮点处理器、多核处理器和定点 DSP 控制器等多系列多品种,它集强大的实时处理能力和丰富多样的外围模块于一体,可为各种应用场

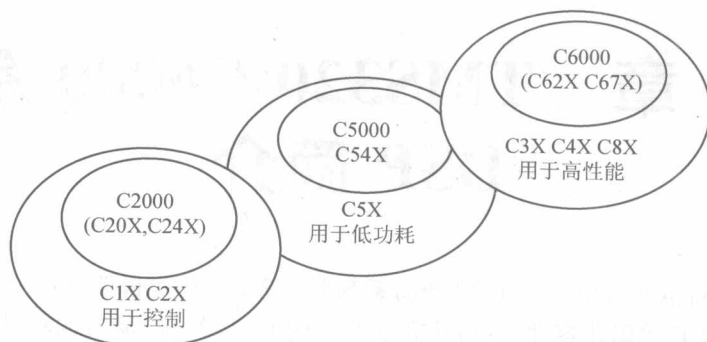


图 1-1 TI 公司的 DSP 芯片系列

合提供理想的解决方案。TMS320 系列 DSP 成为最有影响的 DSP 芯片, TI 公司也是世界上最大的 DSP 芯片供应商之一。

1.2 C6000 DSP 的定点和浮点系列及代码兼容性

TMS320 C6000 系列 DSP 芯片具有定点和浮点两种, 其中 TMS320 C62X 和 TMS320 C64X 是定点系列, 而 TMS320 C67X 是浮点系列。

TMS320 C62X 是 TI 公司于 1997 年开发的一种新型 32 位定点 DSP 芯片。该芯片内部结构与以往不同, CPU 集成了多个功能单元, 可同时执行 8 条指令, 其运算能力可达 2400 MIPS; 大容量的片内存储器和大范围的片外存储器寻址能力; 集成了 4~16 个 DMA 通道、2~3 个多通道缓冲串行口和 2 个 32 位定时器等智能外设。

TMS320 C67X 是 TI 公司继定点 DSP 芯片 TMS320 C62X 系列后开发的另一种新型的 32 位浮点 DSP 芯片。该芯片的内部结构在 TMS320 C62X 基础上加以改进, 增加了浮点运算能力, TMS320 C67X 指令集可以看作是 TMS320 C62X 指令集的超集, 即 TMS320 C62X 指令集能在 TMS320 C67X 上运行。同样, TMS320 C67X 内部集成了多个功能单元, 可同时执行 8 条指令, 其运算能力可达 1 GFLOPS(单精度运算)和 250 MFLOPS(双精度运算); 此外, 还集成了大容量的片内存储器和大范围的片外存储器寻址接口以及丰富的智能外设。

TMS320 C64X 是 TMS320 C6000 系列 DSP 中性能最高的定点芯片, 其代码与 TMS320 C62X 完全兼容。TMS320 C64X 采用 VelociTI.2 结构的 DSP 核, 增强的并行机制可以在单周期内完成 4 个 16 位×16 位或 8 位×8 位乘法和累加操作, 其主频为 1.1 GHz, 处理速度可达 9000 MIPS; 内部存储器采用两级缓存(Cache)机制; 增强的 32 通道 DMA 控制器具有高效的数据传输引擎, 持续带宽可达 2 GB/s。与 TMS320 C62X 相比, TMS320 C64X 总体性能提升 10 倍左右, 尤其在数字图像处理和流媒体应用领域得到了广泛的应用。