

附光盘



JICHENG  
DIANLU CESHI  
JISHU JICHU

# 集成电路测试 技术基础

姜岩峰 张晓波 杨兵 编著



化学工业出版社

附光盘



JICHENG  
DIANLU CESHI  
JISHU JICHU

# 集成电路测试 技术基础

姜岩峰 张晓波 杨兵 编著



化学工业出版社

· 北京 ·

## 图书在版编目 (CIP) 数据

集成电路测试技术基础/姜岩峰, 张晓波, 杨兵编著.  
北京: 化学工业出版社, 2008.6  
ISBN 978-7-122-02948-5

I. 集… II. ①姜…②张…③杨… III. 集成电路-  
测试-技术 IV. TN407

中国版本图书馆 CIP 数据核字 (2008) 第 072511 号

---

责任编辑: 刘 哲 宋 辉  
责任校对: 李 林

文字编辑: 徐卿华  
装帧设计: 史利平

---

出版发行: 化学工业出版社 (北京市东城区青年湖南街 13 号 邮政编码 100011)  
印 装: 北京云浩印刷有限责任公司  
720mm×1000mm 1/16 印张 11½ 字数 213 千字 2008 年 9 月北京第 1 版第 1 次印刷

---

购书咨询: 010-64518888 (传真: 010-64519686) 售后服务: 010-64518899  
网 址: <http://www.cip.com.cn>  
凡购买本书, 如有缺损质量问题, 本社销售中心负责调换。

---

定 价: 26.00 元

版权所有 违者必究

# 前 言

集成电路测试技术是集成电路产业链中不可缺少的一个环节，在国内，该技术处于刚起步阶段，随着国内集成电路设计水平的不断提高，测试问题越来越成为限制产品上市时间的瓶颈。

在集成电路测试技术中，我国无论在技术发展、机器制造、人才培养方面，都满足不了产业的要求，针对此问题，北方工业大学开始了集成电路测试人才的培养探索，在没有相关模式借鉴的条件下，摸索出了一套人才培养方案，并已经顺利实施，所培养的人才呈现供不应求的局面。

在集成电路测试专业的建设中，得到了产业界的大力支持和帮助，尤其是南瑞集团的叶国樑先生与编著者进行了多次有益的探讨，为本专业建设提供了很多宝贵意见，在此表示最诚挚的谢意。五年来，在北京市教委和北方工业大学的大力支持下，北方工业大学微电子中心的全体教师在该方向上进行了孜孜不倦的探索，在此特别向这些同事表示感谢，他们是张晓波、杨兵、鞠家欣、张静。

特别感谢北京市科委的科技新星计划的支持，在该计划的支持下，笔者于2007年岁末到美国明尼苏达大学进行了学术访问，为本书的顺利完成提供了保障。

编写本书的目的是使读者对于各种集成电路的基本测试理论、测试方法等具有全面的基础性认识，对于集成电路测试环节的技术性等特点有明确的概念，为下一步进行集成电路测试技术的研究和发展打下坚实的基础。本书的主要内容来自于编著者多年来的科研积累和教

学笔记，经过实际应用和教学检验，去粗取精而成。

本书包括数字集成电路测试技术、模拟集成电路测试技术、数模混合集成电路测试技术三大部分内容，主要介绍逻辑数字集成电路测试、时序数字电路的测试、内嵌自测试的原理和方法、模拟集成电路测试技术、混合信号测试技术。与本书配套的 DVD 演示片主要介绍的是混合信号集成电路的测试原理和方法，包括混合信号测试系统的硬件组成、硬件连接及操作、LabVIEW 软件的使用等，与图书文字内容相辅相成，以助于深化理解测试的概念。

本书适用于集成电路测试领域的技术人员阅读，也适用于微电子专业本科生和研究生作为教材使用。

由于作者经验不足，水平有限，书中难免存在疏漏之处，请广大同行给予指正。

姜岩峰

2008 年 5 月

# 目 录

<b>第 1 章 数字集成电路中常见的故障</b> .....	<b>1</b>
1.1 基本概念 .....	1
1.2 故障模型 .....	1
1.2.1 固定故障模型 .....	2
1.2.2 桥接故障 .....	3
1.2.3 在 CMOS 集成电路中的中断故障和晶体管固定关断故障 .....	5
1.2.4 延迟故障 .....	7
1.3 暂态故障 .....	8
<b>第 2 章 组合逻辑电路的测试方法</b> .....	<b>13</b>
2.1 数字电路的故障诊断 .....	13
2.2 组合逻辑电路的向量生成技术 .....	14
2.2.1 一维敏感路径法 .....	14
2.2.2 布尔差分法 .....	16
2.2.3 D 算法 .....	21
2.2.4 路径引导算法 .....	30
2.2.5 扇出引导算法 .....	31
2.2.6 延迟故障检测 .....	33
2.3 组合逻辑电路中多故障的检测 .....	35
<b>第 3 章 可测试性逻辑电路的设计</b> .....	<b>37</b>
3.1 Reed-Muller 扩展法 .....	37
3.2 三级或-与-或设计 .....	40
3.3 可测试逻辑的自动综合 .....	41
3.4 多级组合逻辑电路的可测试性设计 .....	42
3.4.1 单体提取法 .....	42

3.4.2	双体提取法 .....	43
3.4.3	双体及补体同时提取法 .....	44
3.5	可测试逻辑电路的综合 .....	47
3.6	在组合逻辑电路中路径延迟故障的测试 .....	50
3.7	可测试的 PLA 设计 .....	52
<b>第 4 章</b>	<b>时序电路的测试方法 .....</b>	<b>55</b>
4.1	使用迭代法对时序电路进行测试 .....	55
4.2	状态表验证法 .....	56
4.3	基于电路结构的测试方法 .....	61
4.4	功能故障模型 .....	65
4.5	基于功能故障模型的测试向量生成 .....	66
<b>第 5 章</b>	<b>时序电路可测试性设计 .....</b>	<b>71</b>
5.1	可控制性和可观测性 .....	71
5.2	提高可测试性的 Ad Hoc 设计规则 .....	72
5.3	可诊断时序电路的设计 .....	76
5.4	可测试时序电路设计中的扫描路径技术 .....	78
5.5	电平敏感型扫描设计 (LSSD) .....	81
5.5.1	时钟无冒险锁存 .....	81
5.5.2	LSSD 设计规则 .....	83
5.5.3	LSSD 方法的优点 .....	87
5.6	随机扫描技术 .....	88
5.7	局部扫描 .....	90
5.8	使用非扫描技术进行可测试性时序电路的设计 .....	91
5.9	相交检测 .....	93
5.10	边界扫描技术 .....	96
<b>第 6 章</b>	<b>内嵌自测试 .....</b>	<b>101</b>
6.1	BIST 的测试向量生成技术 .....	101
6.1.1	穷举测试法 .....	102
6.1.2	伪穷举测试向量生成技术 .....	103
6.1.3	伪随机向量生成法 .....	107
6.1.4	确定性测试法 .....	109
6.2	输出响应分析 .....	110

6.2.1	转换计数	110
6.2.2	并发检验	111
6.2.3	签名分析法	112
6.3	循环型 BIST	114
6.4	SoC 设计中的 BIST/DFT 综合策略	115
<b>第 7 章</b>	<b>模拟电路的测试</b>	<b>119</b>
7.1	简介	119
7.1.1	模拟电路特性	120
7.1.2	模拟故障机理和故障模型	122
7.2	模拟电路的测试	126
7.2.1	模拟电路测试方法	126
7.2.2	模拟测试波形	128
7.2.3	直流参数测量	130
7.2.4	交流参数测试	133
<b>第 8 章</b>	<b>混合信号测试</b>	<b>139</b>
8.1	模数转换器简介	139
8.2	ADC 和 DAC 的电路结构	141
8.2.1	DAC 电路结构	143
8.2.2	ADC 电路结构	143
8.3	ADC 和 DAC 的特性参数和故障模型	144
8.4	IEEE 1057 标准	148
8.5	ADC 在时域内的测试	148
8.5.1	输出编码	148
8.5.2	编码转换等级测试 (静态)	149
8.5.3	编码转换等级测试 (动态)	150
8.5.4	增益和偏置测试	150
8.5.5	线性化误差和最大静态误差	151
8.5.6	正弦波适应测试	152
8.6	频域 ADC 的测试	152
8.7	混合信号测试总线标准——IEEE 1149.4 标准	153
8.7.1	IEEE 1149.4 标准概述	153
8.7.2	IEEE 1149.4 电路结构	154
8.7.3	IEEE 1149.4 标准的指令	158



8.7.4 IEEE 1149.4 的测试模式 .....	159
<b>第9章 混合信号测试应用简介 .....</b>	<b>165</b>
9.1 测试方案 .....	166
9.2 测试结果 .....	169
<b>参考文献 .....</b>	<b>171</b>

# 第 1 章

## 数字集成电路中常见的故障

### 1.1 基本概念

首先澄清一个概念，即“失效”和“故障”的区别，当电路所表现出来的性能与原来设计的不一致时，称为“电路失效”，而“故障”则指的是电路内部的物理级缺陷，它可能导致电路失效，也可能不导致电路失效。

对一个电路中的故障可以从它的特征、故障值、范围和持续时间等几方面来描述。

① 故障的特征可以分为逻辑的或非逻辑的两种，其中逻辑故障会影响电路中某点的逻辑值，从而改变电路的逻辑状态；而非逻辑故障则是指其他的故障，包括时钟信号失灵、电源电压没加上等。

② 故障值，在电路中某点所发生的逻辑故障值表示故障所产生的错误逻辑值是固定的还是可变的。

③ 故障范围，用来定义故障对电路的影响是局部的还是可传播的，局部故障只影响单一点的数值，而可传播故障则影响的范围更广泛一些，例如逻辑故障属于局部故障，而时钟失灵故障则是可传播故障。

④ 故障持续时间，指的是故障是暂时的还是持久的。

### 1.2 故障模型

在电路中故障的发生可能是由于元器件内部缺陷、信号线断裂、线连接与地或电源短路、信号线之间短路、延迟时间过长等原因导致的，像一些设计过程中的设计规则冲突、设计错误等都会导致故障。Faulkner 等人发现由于设计规则冲突等导致的特定故障在电路级芯片中只占总体故障的 10% 左右，而到

系统级时这种故障达到了 44%。差的设计也可能导致一些亚稳态的故障等，总体上故障的效果可以用一个模型来表示，现在常用的模型有固定故障模型 (stuck-at fault)、桥接故障模型 (bridging fault)、固定开路模型 (stuck-open fault)。

### 1.2.1 固定故障模型

在逻辑电路中最常用的故障模型就是固定故障模型，模型假设一个逻辑门的故障导致其中的输入值或输出值被固定为逻辑 0 或逻辑 1，固定为逻辑 0 的故障称为 stuck-at-0，缩写为 s-a-0，固定为逻辑 1 的故障称为 stuck-at-1，缩写为 s-a-1。

下面以输入端带 s-a-1 故障的与非门为例进行分析 (见图 1-1)。此时，由于故障，无论在输入端 A 加什么逻辑值都没有用，它固定为 1。此时当输入向量为 ( $A=0, B=1$ ) 时，输出本应该是 0，却变成了 1。所以这时的输入向量可以判断输入 A 端是否有 s-a-1 故障。

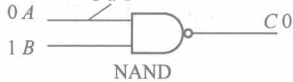


图 1-1 输入 A 端带有 s-a-1 故障的与非门

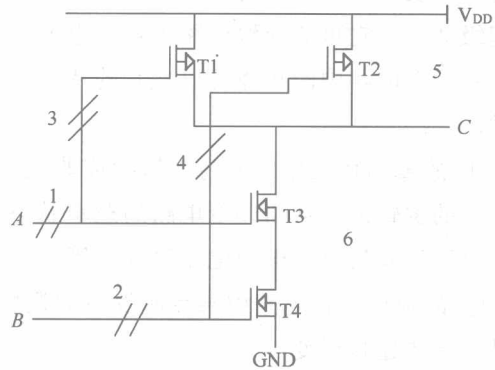


图 1-2 两输入与非门的 CMOS 电路图

固定故障模型是一种测试技术中非常经典的故障模型，能够用来代表非常多的常见故障，例如，短路故障或开路故障都可以用这个模型来考虑。

图 1-2 所示为两输入与非门的 CMOS 电路图，图中，1、2、3 和 4 所示为开路故障，5 为输出端和  $V_{DD}$  之间的短路故障，6 为输出端与 GND 之间的短路故障。那么在 CMOS 工艺中断路和短路是怎么发生的？简单地说，当光刻时反刻铝的时候，有部分金属没去掉，就会形成短路，去的金属多了，就会形成断路。

故障 1 将导致输入 A 端与 MOS 管 T1 的栅极断开，在这种情况下，T1 和 T3 中只有一个晶体管导通，而另一个晶体管将不导通，因此，这个故障可以用

A 端固定一个值的方法来代表：如果 A 的故障是 s-a-0，T1 将会导通，而 T3 将处于关断状态；如果 A 的故障是 s-a-1，T1 将关断，T3 将导通。如果同时出现故障 3，只有 T3 保持导通状态，此时故障就不能用固定模型来表示。故障 2 和 4 与故障 1 和 3 相类似。

故障 5 会把输出与电源  $V_{DD}$  短路，这种故障可以看作 s-a-1 类型；同样，故障 6 可看作 s-a-0 类型。

固定模型也可以用来描述电路中的多重故障。所谓电路中的多重故障，就是在电路中不止一条信号线出现了 s-a-0 故障或 s-a-1 故障；也可以这样理解，在电路中同时存在多个固定故障。这里考虑的多重故障是单方向的，意思是，或者多个 s-a-1 故障同时存在，或者多个 s-a-0 故障同时存在，两种故障不能同时存在。

固定故障模型在过去获得了普遍接受，这是因为在中小规模集成电路中应用效果很好。但在现在超大规模集成电路中普遍采用的是 CMOS 工艺，CMOS 电路产生的逻辑故障有时不能用固定故障来描述。

例如，图 1-3 用 CMOS 电路表示的逻辑关系  $Z = \overline{(A+B)(C+D)} + EF$ ，假设电路中有两个短路故障，标记为 1 和 2，另外有两个断路故障，标记为 3 和 4。经过分析可以知道，短路故障 1 可以用输入端 E 的 s-a-1 来描述，断路故障 3 可以用 E 端或 F 端的 s-a-0 故障模型来描述。但是，对于故障 2 和故障 4 却不能用上面的固定故障模型来描述，这是由于故障 2 和故障 4 的出现，已经把整个电路的逻辑功能改变了。例如，由于短路故障 2 的出现，电路的逻辑功能变为  $Z = \overline{(A+C)(B+D)}(E+F)$ ；而断路故障 4 的出现则使电路逻辑功能变为  $Z = \overline{(AC+BD)}EF$ 。所以，固定故障模型仅适用于故障出现前后电路功能不改变的场合。

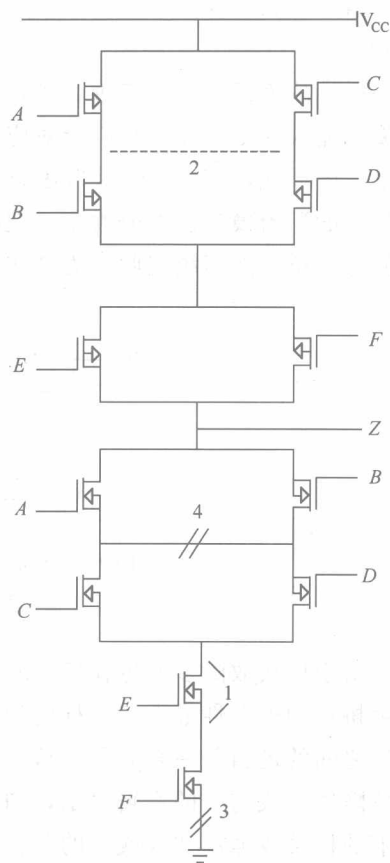


图 1-3 用 CMOS 电路表示的逻辑关系  $Z = \overline{(A+B)(C+D)} + EF$

### 1.2.2 桥接故障

随着 VLSI 集成度的不断提高，信号线之间出现短路的概率大大增加，

把由于信号线短路引起电路失效的故障称为“桥接故障”。在 MOS 型电路中，经长期总结，发现桥接故障出现的概率远远高于其他所有故障的总和。

桥接故障可以分为三种类型，即输入桥接故障、反馈桥接故障、非反馈桥接故障。输入端出现短路故障所对应的输入桥接故障在图 1-4 中用逻辑模型来进行描述，同样地，图 1-5 所示为在输出端与输入端 ( $X_1 \cdots X_s$ ) 短路出现反馈桥接故障的逻辑模型。在分类中，把既不属于输入桥接故障，也不属于反馈桥接故障的那些桥接故障统统归结为“非反馈桥接故障”。

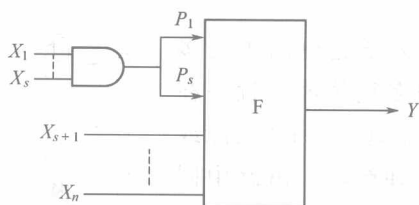


图 1-4 假设输入端 ( $X_1 \cdots X_s$ ) 出现输入桥接故障的逻辑模型

由于桥接故障多发生在信号线与信号线之间，可以想象到，最近邻的信号线发生桥接的可能性最大，这种由于信号线之间连接的关系及对电路的影响可以用它们之间的逻辑关系来表示，这种逻辑表示称为“线逻辑”。一般正逻辑下的桥接故障用“线与”的逻辑表示，如图 1-4 和图 1-5 中的与门所示；而在负逻辑电路下的桥接故障用“线或”的逻辑表示。

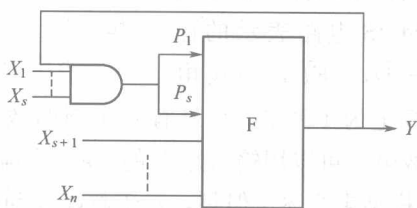


图 1-5 假设输出端与输入端 ( $X_1 \cdots X_s$ ) 短路出现反馈桥接故障的逻辑模型

反馈桥接故障的出现可能会导致电路出现振荡或影响电路其他的性能，例如图 1-5，在输入逻辑满足一定关系的前提下，由于反馈的影响，电路会出现振荡。

桥接故障所对应的故障模型一般用“线与”或“线或”来表示，这种模型完全能够满足 TTL 电路的需要，但是在 CMOS 电路中，其故障就不

能用线逻辑的概念完整表示出来。因为这种线逻辑的分析适用于晶体管级的电路，如果电路规模太大，用门级来进行电路描述时，这种模型就不适用了。

应该认识到，桥接故障与版图设计密切相关，所以在设计电路时必须严格遵守加工厂家规定的设计规则。

### 1.2.3 在 CMOS 集成电路中的中断故障和晶体管固定关断故障

前面提到，以上所介绍的固定故障模型不能涵盖 CMOS 电路可能存在的所有故障，最近的研究表明，在 CMOS 集成电路中还存在另外两种故障，即中断故障和晶体管固定关断故障，而且这两种故障在 CMOS 电路失效分析中占有很大的比例。

#### (1) 中断故障

CMOS 电路中的中断（也叫开路）是由实际工艺实施中某点处导电层淀积不充分或某点绝缘材料沉积太多所引起的，由于发生中断故障的点不同，可以把中断故障分为两种，即器件处的中断故障和信号线的中断故障。

对于 CMOS 电路中的器件，可能是源极、漏极或栅极处发生中断故障，如图 1-6 所示，分别用 b1、b2、b3 来表示。

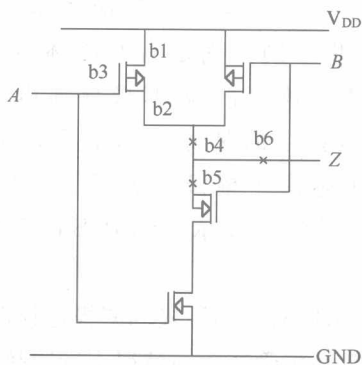


图 1-6 用来解释各种中断故障的 CMOS 与非门电路

可以看出，中断故障 b3 的出现，对电路实现预定的与非门逻辑功能没有影响，但是由于断路的出现，导致输入信号 A 所对应的负载电容增大，从而会增加电路的输入延迟时间，因此，中断故障有可能导致下一节将要介绍的“延迟故障”。类似地，故障 b1 对电路的功能也没有什么影响，也会导致“延迟故障”的发生。但是，对于故障 b2，则会使 pMOS 晶体管不导通，此时，认为晶体管处于固定关断故障。

图 1-6 中的故障 b4 会导致输出 Z 与 pMOS 部分断开, b5 使得输出与 nMOS 断开, b6 则导致输出端与内部电路彻底断开。故障 b4 和 b5 相对于输出端分别是 s-a-0 和 s-a-1 故障。而对于故障 b6, 输出可能是断续的 s-a-0 或 s-a-1 故障, 因此, 电路发生这种故障时, 如果输出端 Z 继续驱动下一级的电路, 则下一级电路中的 pMOS 管和 nMOS 管会在不可预测的时间内开启, 从而导致整个电路逻辑混乱。

信号线中断故障往往会导致 CMOS 中的栅极悬空, 如图 1-6 中的故障 b3 所示。一般地, 这种中断故障可以用固定故障模型来等效。另一方面, 如果故障使 nMOS 管和 pMOS 管栅极同时悬空并且使两个晶体管同时导通的话, 这时的故障可以认为是“晶体管固定关断故障”。

## (2) 晶体管固定关断故障

在设计集成电路时, 为了考虑问题的方便, 把电路分成了系统级、寄存器级、门级和晶体管级, 在实际故障分析时, 必须在晶体管级进行, 这是因为只有在这一级才能够观察到全部的物理结构, 所以, 当考虑“短路”或“开路”等物理级连接的问题时, 必须在晶体管级考虑。“短路”对应着固定常开晶体管, “开路”对应着固定断路晶体管, 这两种情况统称为“晶体管固定关断故障”。

“固定常开晶体管”表示晶体管的源极和漏极处于导通状态, 它与“固定短路晶体管”有一些差别, 固定常开晶体管具有和正常晶体管一样的导通电阻, 而固定短路晶体管的源-漏极导通电阻要比正常晶体管低得多。所以, 固定短路晶体管指的是源极和漏极之间由于短路所引起的故障, 而固定常开晶体管则是由于栅极失去了控制作用, 导致 MOS 处于导通状态所对应的故障。统计结果显示, CMOS 电路中, 10%~13%的故障属于固定常开故障。

“固定断路晶体管”表示所对应的源极和漏极连接断路的情况, 此时源-漏极的等效阻抗要远远高于正常晶体管在关断情况下的阻抗。如果故障晶体管的阻抗与正常晶体管的关断阻抗可以相比拟, 则称这种故障为“固定常关晶体管故障”。图 1-6 中的故障 b2 就是这种故障, 从电路角度看, “固定断路晶体管故障”和“固定常关晶体管故障”虽然电阻有差别, 但对电路的影响都是一样的。据统计, 大约 1%的故障属于这种类型。

图 1-7 所示为两输入的 CMOS 与或门结构示意图, 如果输出端 Z 有“固定断路故障”, 会导致输出既不与电源  $V_{DD}$  连接, 也不与 GND 连接。如果 T2 是一个开路器件, 当输入  $AB=00$  时, 输出应该转变为高电平, 但由于 T2 开路, 导致输出不发生相应的变化, 只保持在原来的状态, 而输出保持原状态到底能保持

多长时间呢？根据基本电路理论可以知道，输出状态保持的时间长短与输出端口处的漏电流大小相关。

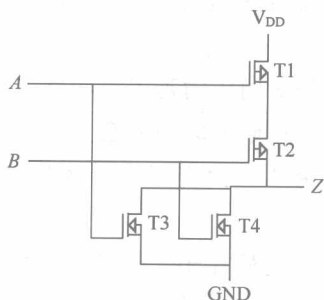


图 1-7 两输入 CMOS 与或门

表 1-1 所示为两输入 CMOS 与或门的真值表和不同故障下的结果。表中， $Z$  列表示的是正常值，它右边的三列表示的是存在三种固定开路故障 (s-op) 时的真值，其中  $A_{s-op}$  表示与晶体管  $T_3$  相关的开路故障，包括  $T_3$  的栅、漏或源的开路连接故障； $B_{s-op}$  表示的是与晶体管  $T_4$  相关的开路故障； $V_{DDs-op}$  表示的是与电源线  $V_{DD}$  相关的开路故障，其中  $Z_t$  表示输出维持原状态不变。

表 1-1 两输入 CMOS 与或门在正常情况和各种开路故障情况下的真值表

A	B	Z	Z ( $A_{s-op}$ )	Z ( $B_{s-op}$ )	Z ( $V_{DDs-op}$ )
0	0	1	1	1	$Z_t$
0	1	0	0	$Z_t$	0
1	0	0	$Z_t$	0	0
1	1	0	0	0	0

#### 1.2.4 延迟故障

前面讲图 1-6 中的故障 b3 时，曾经提到过“延迟故障”。在超大规模集成电路中，不是所有的故障都能够用固定故障模型来表示出来，故障按对电路功能的影响来区分的话，也分为“大故障”和“小故障”。大故障指的是电路功能彻底失效的故障，而小故障则是可能导致电路局部的开路或短路，这种故障不会导致电路逻辑功能的破坏，只是使电路反应时间发生变化，此时对应的电



路故障表现在电路满足不了反应时间方面的要求。例如，有一种小故障，能使信号在发生由低电平到高电平转换时，对应的转换时间过长，对这类故障就可以用“延迟故障”来描述。目前提出来了两种延迟故障，即门延迟故障和路径延迟故障。

在集成电路设计中，预先对门传输延迟时间都有最差情况的考虑，但是在发生门延迟故障时，实际的门传输延迟时间就会大于最差情况。例如，如果一个门在设计时的最差延迟时间记为  $X$ ，而实际门传输延迟时间为  $X + \Delta x$ ，则就说这个门延迟故障的大小为  $\Delta x$ 。

门延迟故障模型主要不足之处在于，该模型只能用来模拟单个独立的缺陷，对于连续分布的缺陷则无能为力，而路径延迟故障则不但用来模拟单独缺陷，也能模拟连续缺陷。在路径延迟故障模型中，用来衡量的是一个传播信号路径的累计延迟时间。

### 1.3 暂态故障

在数字电路中，暂态故障发生的可能性非常高，在系统测试和芯片调试中，暂态故障所带来的调试成本高达整个测试成本的 90% 以上，其中一方面跟测试工程师的经验有关，另外主要是暂态故障很难捉摸和预测。

在文献中，暂态故障还被称为断续故障或临时故障，本来这三个名词指的是同一个意思，但最近随着研究的深入，各名词的具体含义有了一定的区别。

临时故障指的是那些不可能重复发生的暂时的故障，比如器件经受  $\alpha$  粒子辐射时，或电路的电源出现临时性抖动时，都可能使电路出现故障，这些故障发生后是不可修复的，半导体存储器中经常发生的就是这种临时故障。

断续故障是可以重复发生的，但非周期性发生，当器件连接装配出现松动、器件局部缺陷、设计失误等均有可能导致断续故障发生。由于器件性能退化或老化问题出现的断续故障有可能变成永久性故障。有些断续故障是环境引起的，比如环境的温度、湿度、振动等原因。这类断续故障的防护就在于要求很好地设计电路工作的环境，如屏蔽、过滤、冷却等。当断续故障发生时，对电路有影响；但当故障不发生时，则对电路没有丝毫影响。如果电路中的故障起作用时，就说这个电路是处于“故障活跃状态”，而故障不起作用时，就说电路处于“故障非活跃状态”。

因为断续故障具有一定随机性，目前对它的描述只能通过概率的办法，已经有了几种基于不同概率函数的模型用来描述断续故障的行为。第一个断续故障模