

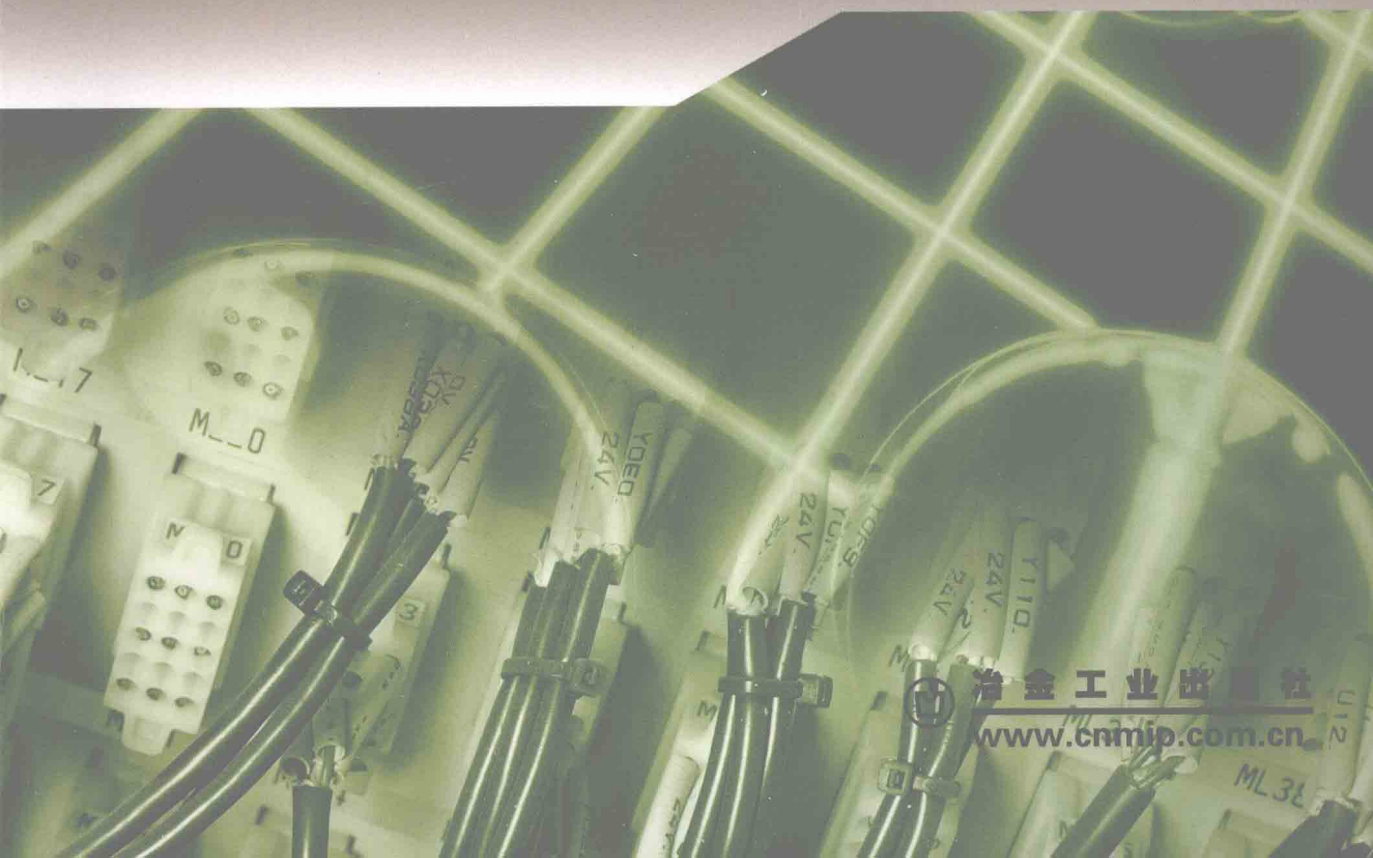


高职高专“十一五”规划教材

机械电子类

EDA应用技术

曾全胜 主编



冶金工业出版社

www.cnmp.com.cn

高职高专“十一五”规划教材·机电类

EDA 应用技术

主 编 曾全胜

副主编 邓 柳 汤泽军

北 京
冶金工业出版社
2008

内 容 简 介

本书是根据高职高专教育人才培养的目标与要求,从 EDA 技术的应用角度对 EDA 技术做了较全面的介绍。全书内容包括:EDA 技术简介、设计输入、VHDL 设计初步、VHDL 设计基础、基本逻辑单元的 VHDL 设计和 EDA 设计综合训练等。在每一节的后面安排了相应的拓展训练项目,有利于训练学生的能力。本书在内容编排上以项目和任务为驱动,通过大量的训练任务培养学生的工程实践能力。

本书为高等职业院校机电类、电子类专业教材,也可作为成人高校、本科院校举办的二级职业技术学院教材,或作为自学用书。

图书在版编目(CIP)数据

EDA 应用技术/曾全胜主编. —北京:冶金工业出版社, 2008.6
ISBN 978-7-5024-4599-7

I.E… II. 曾… III. 电子电路—电路设计: 计算机辅助设计—
高等学校: 技术学校—教材 IV.TN702

中国版本图书馆 CIP 数据核字(2008)第 093897 号

出 版 人 曹胜利

地 址 北京北河沿大街嵩祝院北巷 39 号, 邮编 100009

电 话 (010)64027926 电子信箱 postmaster@cnmip.com.cn

责任编辑 刘 源

ISBN 978-7-5024-4599-7

北京天正元印务有限公司印刷; 冶金工业出版社发行; 各地新华书店经销

2008 年 6 月第 1 版, 2008 年 6 月第 1 次印刷

787mm×1092mm 1/16; 7.75 印张; 177 千字; 118 页; 1-3000 册

18.00 元

冶金工业出版社发行部 电话: (010)64044283 传真: (010)64027893

冶金书店 地址: 北京东四西大街 46 号(100711) 电话: (010)65289081

(本书如有印装质量问题, 本社发行部负责退换)

前 言

随着可编程逻辑器件和电子设计技术的不断发展，EDA 技术已经渗透到机械、电子、通信、航空航天、生物、医学、军事和教育等各个领域，主要用于科研工作和新产品的开发，用于传统机电设备的升级换代和技术改造，用于教学实验等。因此，在大中专院校的电子、通信、机电一体化和电气自动化等专业引入 EDA 技术的教学已成为共识。

根据高职高专教育人才培养目标及规格的要求，本书从职业(岗位)需求分析入手，以职业活动为导向，切实精选教材内容，以项目和任务为驱动，突出能力培养。本书的主要特色有以下 3 点。

(1) 按照职业岗位和职业能力培养的要求进行内容的取舍，理论知识以“必须、够用”为原则，力求重点突出，不片面强调知识的系统性。

(2) 编写上以技能培养为主线，通过贯穿项目和单项任务驱动，帮助学生掌握知识、形成技能、提高能力。因为学生的职业能力不是教出来的，而是通过项目或任务训练出来的。

(3) 全书按照教学规律和人们的认知规律，采用了较多的图片来描述教学内容，提高了可读性。

全书共分 6 章，第 1 章介绍可编程逻辑器件 PLD 器件的基本结构、工作原理、种类及分类方法；从工程实际的角度介绍了常用 FPGA 和 CPLD 器件的系列、品种、性能指标及标识；介绍了 EDA 设计方法与 PLD 器件设计流程；介绍了 MAX+plus II 10.2 的开发环境。第 2 章主要介绍了 MAX+plus II 的文本输入法、图形输入法、波形输入法。通过一系列的训练任务让读者掌握各种设计输入法的基本操作和设计流程，使读者熟悉各种输入法使用的编辑器。第 3 章主要通过数个简单、完整而典型的训练任务让读者初步了解用 VHDL 表达和设计电路的方法，为后续章节进行 VHDL 的进一步学习做铺垫。第 4 章介绍 VHDL 设计基础知识，重点阐述了 VHDL 程序的基本结构，数据对象、数据类型、操作数和操作符等语言要素，对 VHDL 程序设计中的顺序语句、并行语句、子程序、库和包等作了介绍。第 5 章介绍基本逻辑单元的 VHDL 设计，使学生熟悉基本逻辑单元的 VHDL 代码，提高编写 VHDL 代码的能力。第 6 章介绍数字频率计和数字钟的设计，加深对 EDA 设计过程的理解，训练学生综合运用学过的数字电子技术的基本知识，培养独立设计比较复杂的数字系统的能力。

本书由曾全胜任主编，邓柳，汤泽军任副主编，周迎春参加编写。全书由曾全胜统稿。

在编写过程中，参考了许多学者和专家的著作及资料，在此谨向他们表示诚挚的感谢。

由于编者水平所限，书中如有不足之处敬请使用本书的师生与读者批评指正，以便修订时改进。如读者在使用本书的过程中有其他意见或建议，恳请向编者(bjzhangxf@126.com)踊跃提出宝贵意见。

编 者

目 录

第 1 章 EDA 技术简介	1	3.3.1 训练任务	44
1.1 可编程逻辑器件	1	3.3.2 知识准备	45
1.1.1 训练任务	1	3.3.3 任务实施	46
1.1.2 知识准备	2	3.4 计数器的 VHDL 设计	47
1.2 EDA 技术及其应用	7	3.4.1 训练任务	47
1.2.1 训练任务	7	3.4.2 知识准备	47
1.2.2 知识准备	8	3.4.3 任务实施	48
1.3 可编程逻辑器件的设计流程	11	第 4 章 VHDL 设计基础	50
1.3.1 训练任务	11	4.1 实体(ENTITY)	50
1.3.2 知识准备	11	4.1.1 训练任务	50
1.4 MAX+plus II 概述	14	4.1.2 知识准备	50
1.4.1 训练任务	14	4.1.3 任务实施	53
1.4.2 知识准备	14	4.2 结构体(ARCHITECTURE)	53
1.4.3 任务实施	17	4.2.1 训练任务	53
第 2 章 设计输入	21	4.2.2 知识准备	53
2.1 图形输入法	21	4.2.3 任务实施	61
2.1.1 训练任务	21	4.3 VHDL 库、程序包、配置	62
2.1.2 知识准备	22	4.3.1 训练任务	62
2.1.3 任务实施	23	4.3.2 知识准备	62
2.2 文本输入法	29	4.3.3 任务实施	66
2.2.1 训练任务	29	4.4 VHDL 语言的数据类型及	
2.2.2 知识准备	29	运算操作符	66
2.2.3 任务实施	31	4.4.1 训练任务	66
2.3 波形输入法	32	4.4.2 知识准备	67
2.3.1 训练任务	32	4.4.3 任务实施	74
2.3.2 知识准备	32	4.5 VHDL 基本语句	75
2.3.3 任务实施	35	4.5.1 训练任务	75
第 3 章 VHDL 设计初步	37	4.5.2 知识准备	75
3.1 二输入与非门的 VHDL 设计	37	4.5.3 任务实施	89
3.1.1 训练任务	37	第 5 章 基本逻辑单元的 VHDL 设计	91
3.1.2 知识准备	37	5.1 门电路设计	91
3.1.3 任务实施	38	5.1.1 二输入与非门电路的设计	91
3.2 基本 D 触发器的 VHDL 设计	42	5.1.2 二输入或非门电路的设计	92
3.2.1 训练任务	42	5.1.3 二输入异或门电路的设计	93
3.2.2 知识准备	43	5.1.4 反相器的设计	94
3.2.3 任务实施	43	5.1.5 三态门与总线缓冲器	
3.3 1 位二进制全加器的 VHDL		的设计	95
设计	44	5.2 组合逻辑电路设计	96
		5.2.1 编码器的设计	96

5.2.2 译码器的设计	99	第 6 章 EDA 设计综合训练	110
5.2.3 四选一选择器的设计	102	6.1 数字频率计的设计	110
5.2.4 1 位加法器的设计	102	6.1.1 训练任务	110
5.3 触发器设计	103	6.1.2 知识准备	110
5.3.1 RS 触发器的设计	103	6.1.3 任务实施	111
5.3.2 主从 JK 触发器的设计	104	6.2 数字钟设计	113
5.3.3 D 触发器的设计	105	6.2.1 训练任务	113
5.4 时序逻辑电路设计	106	6.2.2 任务实施	114
5.4.1 寄存器的设计	106	参考文献	118
5.4.2 计数器的设计	107		

第 1 章 EDA 技术简介

内容提要

本章主要介绍 PLD 器件的基本结构、工作原理、PLD 的种类及分类方法；从工程实际的角度介绍了常用 FPGA 和 CPLD 器件的系列、品种、性能指标及标识；介绍了 EDA 设计方法与 PLD 器件设计流程；介绍了 MAX+plus II 的安装及其开发环境。

教学建议

本章重点是使读者能根据工程实际合理选择 PLD 器件，熟悉 EDA 设计方法及 PLD 器件设计流程，掌握 MAX+plus II 的安装方法。建议在教师指导下以学生自主学习为主，注重能力培养，理论知识不必讲得太深，部分内容实施教、学、做一体化教学，提高教学效果。

1.1 可编程逻辑器件

1.1.1 训练任务

1.1.1.1 任务描述

要求分组阐述简单数字钟电路的设计思路。数字钟的指标要求如下：

- (1) 时间以 12h 为一个周期；
- (2) 显示时、分、秒；
- (3) 具有校时功能，可以分别对时及分进行单独校准。

1.1.1.2 任务分析

如图 1-1 所示为简单数字钟电路组成框图。时间计数电路分别由时、分、秒的个位和十位计数器电路构成，其中秒计数器、分计数器为 60 进制计数器，时计数器为 12 进制计数器。计数器输出信号经译码驱动由显示器显示时间。晶体振荡器电路主要是给数字时钟提供一个频率为 32 768Hz 的稳定的方波信号，分频器电路将 32 768Hz 的方波信号经 32 768 次分频后得到 1Hz 的方波信号供秒计数器进行计数。

传统的电子系统设计方案一般是选择具有固定功能的标准集成电路和分立元器件，构建单元电路，最后将各单元电路连接在一起进行整机调试，从而实现系统功能。如选用 CD4060(计数为 14 级 2 进制计数器)将 32 768Hz 的信号分频为 2Hz 的信号，选用 74HC390(10 进制计数器)，通过不同方法可实现时间计数单元的不同进制的计数功能。这种设计方法效率较低，同时灵活性较差。例如，当想变更设计使电路具有整点报时功能，以 24h 为周期显示时间，这时涉及到要更改实际电路的元器件和电路连接结构，因此，在操作上比较麻烦。

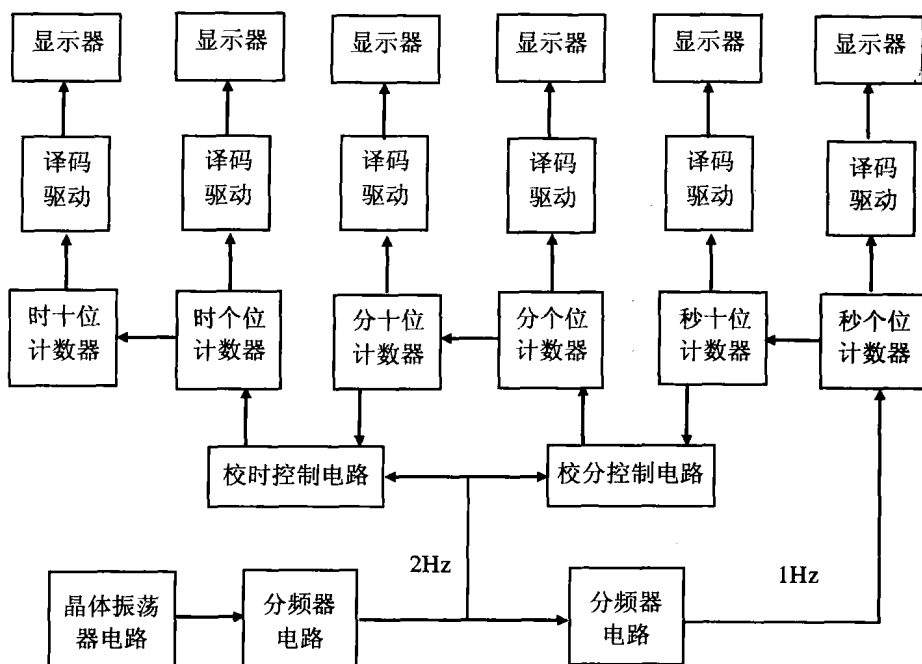


图 1-1 简单数字钟电路组成框图

而使用可编程器件(PLD)器件就方便多了。如果要对原设计进行修改,只要修改 VHDL 代码,再重新编程,同时可按照设计者的要求改变引脚,无需更改实际电路的连接结构,从而提高了系统的灵活性。

1.1.2 知识准备

1.1.2.1 数字集成电路的类型

数字集成电路经历了小规模(1~10 个门电路)、中规模(10~100 个门电路)、大规模(几百至几千个门电路)和超大规模集成电路(门电路的数量在万门以上)等发展阶段。在传统数字系统设计中广泛使用的 54 和 74 系列 TTL 集成电路或 74HC、CD4000 和 MC14 系列的 CMOS 集成电路,其功能及引脚排列顺序都是由芯片生产厂家在制造时设定好的,这类芯片称为通用芯片。

随着微电子技术的发展,为满足用户所需要的特定功能而设计并制造了专用集成电路(ASIC)。专用集成电路按制造方法又可分为全定制电路和半定制电路,全定制电路是由芯片厂家按照用户提出的逻辑要求专门设计和制造的,它的设计、制造成本高,周期长,适用于大批量生产的情况。半定制专用集成电路分为两类,一类是由芯片生产厂将已生产出的标准半成品根据用户提出的要求制造成专用逻辑器件;另一类就是本章要介绍的可编程逻辑器件。

1.1.2.2 可编程逻辑器件(PLD)

PLD(Programmable Logic Device, 可编程逻辑器件)是 20 世纪 70 年代发展起来的一种新型器件。如图 1-2 所示为典型的 PLD 芯片实物图。可编程逻辑器件内的电路和金属引线

都是事先由芯片生产厂家做好的,其逻辑功能可由用户根据自己的需要进行设计,并通过对此器件进行编程来实现。所以设计人员可利用在 PLD 器件在实验室设计出所需要的专用 IC,实现系统集成,从而缩短产品的开发周期,降低开发成本。如在龙芯的开发中,仿真模拟后就采用了 FPGA 实施功能验证,如图 1-3 所示为龙芯 2 的实物图。

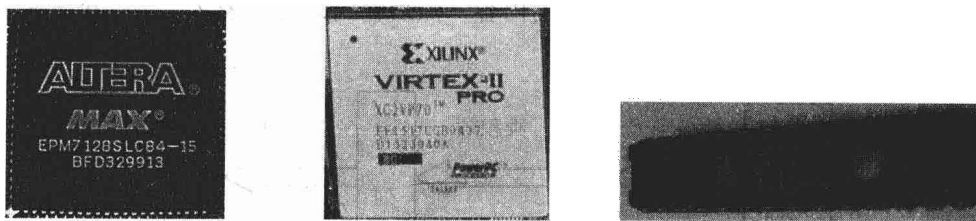


图 1-2 PLD 芯片实物图



图 1-3 龙芯 2 实物图

1.1.2.3 可编程逻辑器件的种类

1. 按集成度分类

PLD 按集成度来分,可分为简单 PLD(逻辑门的数量在 500 门以下)和复杂 PLD。

如早期的只读存储器(PROM)、可编程逻辑阵列(PLA)、可编程阵列逻辑(PAL)、通用阵列逻辑(GAL)都属于简单 PLD。

现在广泛使用的 CPLD(Complex Programmable Logic Device, 复杂可编程逻辑器件)、FPGA(Field Programmable Gate Array, 现场可编程门阵列)器件属于复杂 PLD。

2. 按内部结构分类

按 PLD 器件的内部结构分,可分为乘积项结构器件和查找表结构器件。大部分简单 PLD 和 CPLD 都是乘积项结构器件, FPGA 是查找表结构器件。

1.1.2.4 PLD 的基本结构

根据布尔代数可知,各种逻辑关系都可化成与-或逻辑表达式,即任何组合逻辑电路均可由与门、或门的组合来实现,早期的简单 PLD 就是由可编程的与阵列和或阵列组成的,其原理结构图如图 1-4 所示。

在工程实际中,基于各种因素考虑,PLA 采用的是与阵列、或阵列都可编程的结构, PAL 与 GAL 采用的是基于乘积项的可编程结构(与阵列可编程、或阵列固定)。简单 PLD 由于阵列规模小、功能弱、编程不便,基本上被淘汰。CPLD 器件也是基于乘积项的可编程结构,由于进行了扩展,内部结构更加复杂,可提供更多的乘积项,因而可构成复杂的逻辑函数。而 FPGA 则使用了新的可编程逻辑的形成方法,即可编程的查找表(LUT)结构。

查找表(Look Up Table)简称为 LUT，LUT 本质上就是一个 RAM。目前 FPGA 中多使用 4 输入的 LUT，所以，每一个 LUT 可以看成是一个有 4 位地址线的 16×1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后，PLD/FPGA 开发软件会自动计算逻辑电路的所有可能的结果，并把结果事先写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。表 1-1 是一个 4 输入与门的例子。

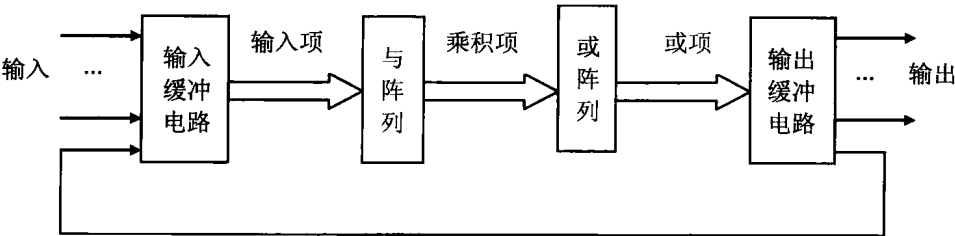


图 1-4 简单 PLD 器件的原理结构图

表 1-1 4 输入与门的 LUT 实现方式

实际逻辑电路		LUT 的实现方式	
a,b,c,d 输入	逻辑输出	a,b,c,d 输入	逻辑输出
0000	0	0000	0
0001	0	0001	0
...	0	...	0
1111	1	1111	1

1.1.2.5 FPGA/CPLD 产品概述

目前世界上有十几家生产 FPGA/CPLD 的公司，其中前三家分别是 Xilinx、Altera 和 Lattice，其产品的行业集中度达到 90%左右。

1. Xilinx 公司的 FPGA/CPLD 器件

Xilinx 是 FPGA 的发明者，老牌 FPGA 公司，是最大可编程逻辑器件供应商之一。其产品具有高性能和高集成度等特点，种类较全。主要产品有：XC9500、Coolrunner、Spartan II 和 Virtex 等。以往在欧洲和美国用 Xilinx 的人较多，但近年来，其产品在亚太地区的市场占有率上升较快。

2. Altera 公司的 FPGA/CPLD 器件

Altera 是最大可编程逻辑器件供应商之一，多年来一直处于行业领先地位。其产品具有高集成度和高性价比的特点，种类较齐全。通常来说，在日本和亚太地区使用 Altera 的人较多。主要产品有：Stratix、APEX、ACEX、FLEX 系列 FPGA 和 MAX 系列 CPLD。如 MAX7000、FLEX10K、APEX20K 和 ACEX1K 等产品系列得到了广泛应用。可以说 Xilinx

和 Altera 共同决定了 PLD 技术的发展方向。

3. Lattice 公司的 FPGA/CPLD 器件

Lattice 是 ISP 技术的发明者, 其中小规模 PLD 比较有特色, 种类齐全, 性能不错。2004 年 Lattice 开始大规模进入 FPGA 领域, 是世界第三大可编程逻辑器件供应商。目前主流产品是 ispMACH4000、MachXO 系列 CPLD 和 LatticeEC/ECP 系列 FPGA, 此外, Lattice 是唯一一家开发可编程数模混合电路的 FPGA 厂商, ispPAC 系列产品主要用于电源管理和时钟管理领域。

1.1.2.6 常用 CPLD/FPGA 器件标识的识别

CPLD/FPGA 生产厂家多, 系列、品种更多, 并且各生产厂家命名、分类不统一, 给 CPLD/FPGA 的应用带来了一定的困难, 但同一厂家的 PLD 器件, 其标识还是有一定规律的。下面对常用 CPLD/FPGA 标识进行说明。

(1) 生产厂家标识, 如 Xilinx、Altera、Lattice。

(2) 注册商标标识, 如 MAX 是为 Altera 公司的 CPLD 产品 MAX 系列注册的商标。

(3) 产品型号标识, CPLD/FPGA 产品型号标识(如 EPF10K10LC84-4)通常由以下几部分组成。

1) 产品系列代码: 如 Altera 公司的 FLEX 器件系列代码为 EPF。

2) 品种代码: 如 Altera 公司的 FLEX10K, 10K 即其品种代码。

3) 特征代码: 即集成度, CPLD 产品一般以逻辑宏单元数描述, 而 FPGA 一般以有效逻辑门来描述。如 Altera 公司的 EPM7128SLC84-15 中的 128 表示逻辑宏单元数 128, EPF10K10 中后一个 10, 代表典型产品集成度是 10K 有效门。

4) 封装代码: 如 Altera 公司的 EPF10K10LC84-4 中的 LC 表示采用 PLCC 封装(Plastic Leaded Chip Carrier, 塑料方形扁平封装)。同样的封装, Xilinx 公司用 PC 描述, Lattice 公司用 J 描述。常用的封装形式如图 1-5 所示。

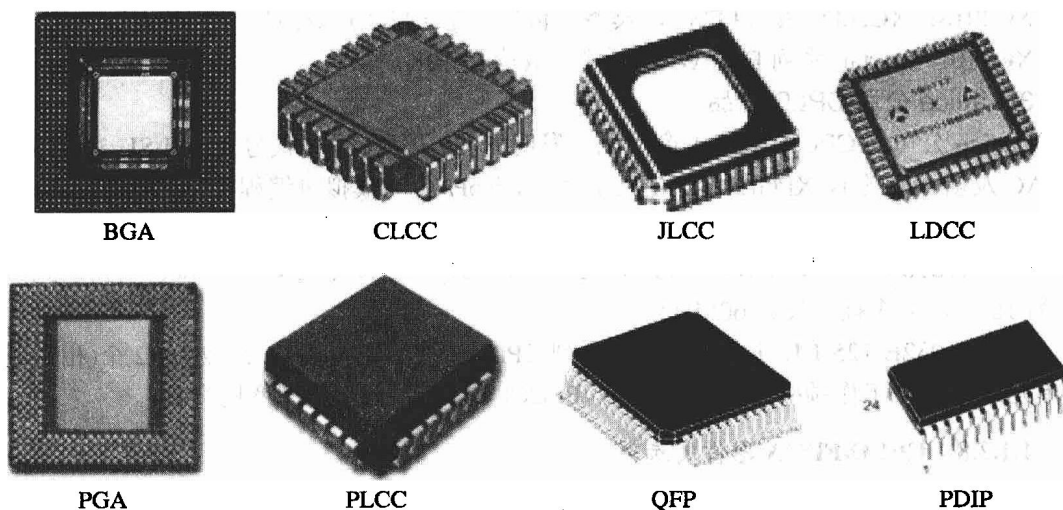


图 1-5 PLD 器件的常用封装形式

5) 参数说明: 如 Altera 公司的 EPF10K10LC84-4 中的 LC84-4, 84 代表有 84 个引脚,

4 代表速度等级为 4ns。但有的产品直接用系统频率来表示速度,如 ispLSI1016-60,60 代表最大频率 60MHz。

6) 改进型描述:一般产品设计都在后续进行改进设计,改进设计型号一般在原型号后用字母表示,如用 A、B、C 等按先后顺序编号,或用其他具有特定含义的字母表示,如 D 表示低成本型(Down)、E 表示增强型(Enhanced)、L 表示低功耗型(Low)、H 表示高引脚型(High)、X 表示扩展型(Extended)等。

7) 适用的环境等级描述:一般在型号最后以字母描述,C(Commercial)表示商用级(0~85℃),I(Industrial)表示工业级(-40~100℃),M(Material)表示军工级(-55~125℃)。

1.1.2.7 几种典型产品型号

1. Altera 公司的 CPLD 产品和 FPGA 产品

Altera 公司的产品一般以 EP 开头,代表可重复编程。

(1) Altera 公司的 MAX 系列 CPLD 产品,系列代码为 EPM,典型产品型号含义如下。

EPM7128SLC84-15: MAX7000S 系列 CPLD,逻辑宏单元数 128,采用 PLCC 封装,84 个引脚,引脚间延时为 15ns。

(2) Altera 公司的 FPGA 产品系列代码为 EP 或 EPF,典型产品型号含义如下。

EPF10K10: FLEX10K 系列 FPGA,典型逻辑规模是 10K 有效逻辑门。

EPF20K200E: APEX20KE 系列 FPGA,逻辑规模是 EPF10K10 的 20 倍。

EP1K30: ACEX1K 系列 FPGA,逻辑规模是 EPF10K10 的 3 倍。

EP1S30: STRATIX 系列 FPGA,逻辑规模是 EPF10K10 的 3 倍。

2. Xilinx 公司的 CPLD 和 FPGA 器件系列

Xilinx 公司的产品一般以 XC 开头,代表 Xilinx 公司的产品。典型产品型号含义如下。

XC95108-7 PQ 160C: XC9500 系列 CPLD,逻辑宏单元数 108,引脚间延时为 7ns,采用 PQFP 封装,160 个引脚,商用。

XC2018: XC2000 系列 FPGA,典型逻辑规模是 1 800 有效门。

XCS10: Spartan 系列 FPGA,典型逻辑规模是 10K。

3. Lattice 公司 CPLD 产品

Lattice 公司的 CPLD、FPGA 产品以其发明的 isp 开头,系列代号有 ispLSI、ispMACH、ispPAC 及新开发的 ispXPGA、ispXPLD,其中,ispPAC 为模拟可编程器件,下面以 ispLSI、ispXPGA 系列产品型号为例说明。

ispLSI1016-60: ispLSI1000 系列 CPLD,通用逻辑块 GLB 数(只有 1000 系列以此为特征)为 16 个,工作频率最大 60MHz。

ispLSI1032E-125 LJ: ispLSI1000E 系列 CPLD,通用逻辑块 GLB 数为 32 个(相当逻辑宏单元数 128),工作频率最大 125MHz,PLCC84 封装,低电压型商用产品。

1.1.2.8 CPLD/FPGA 器件的选择

在工程设计中,对 CPLD/FPGA 器件选型,必须从以下几个方面来考虑。

1. 器件的逻辑规模

可以先根据设计需求的逻辑规模来确定是选择 CPLD 器件还是 FPGA 器件。CPLD 器

件的规模在 10 万门级以下, 而 FPGA 器件的规模已达 1 000 万门级。

目前, 逻辑规模在 10 万门级以上的工程设计, 只能选择 FPGA 器件; 在万门以下, CPLD 器件是首选, 因为它不需配置器件, 应用方便, 成本低, 结构简单, 可靠性高; 在上万门级, CPLD 器件和 FPGA 器件逻辑规模都可用的情况下, 需要考虑其他因素, 在 CPLD 器件和 PPGA 器件之间作出权衡, 如速度、加密、芯片利用率及价格等。

2. 应用的速度要求

速度是 PLD 的一个很重要的性能指标, 各具体的 PLD 都有一个典型的速度指标, 设计要求的速度要低于 PLD 器件的最高工作速度。特别要注意的是 Xilinx 公司的 FPGA 器件, 由于其采用统计型互连结构, 时延具有不确定性, 因此, 设计要求的速度要低于其最高工作速度的 2/3。

3. 功耗

根据产品应用的场合, 合理选用低功耗、低电压的产品。

4. 可靠性

一般而言, CPLD 器件构造的系统, 不用配置器件, 具有较高的可靠性; 质量等级高的产品, 具有较高的可靠性; 环境等级高的产品, 具有较高的可靠性。

5. 价格

一般在保证性能的基础上, 尽量选用低价、应用较广泛、开发人员较熟悉的产品。

拓展训练

项目描述: EPM7128SLC84-15 是 Altera 公司生产的 MAX7000 系列产品之一, 是高性能、高密度的 CMOS EEPROM 器件。在设计开发和试验时, 它可快速而有效地在系统编程, 每次重新编程不必拆下芯片, 可直接在电路板上编程, 具有方便、快捷的特点。请读者查找相关资料, 熟悉其标识的含义、引脚功能、主要电气参数和使用注意事项。

1.2 EDA 技术及其应用

1.2.1 训练任务

1.2.1.1 任务描述

汽车工程师一直运用传统的方式依赖微控制器(MCU)和定制 ASIC 产品来实现和控制汽车上的电子系统。但随着汽车向智能化、自动化、个性化、高性能方向发展(如图 1-6 所示), 汽车电子系统越来越复杂, 设计人员已意识到采用 PLD 器件比 MCU 提供更高的性能和更多的功能, 比 ASIC 享有更多的优势。因为 PLD 器件能提供更低成本和更高的灵活性, 在产品开发周期压力越来越大的市场环境下, PLD 器件是很理想的产品升级解决方案。因此, 近年来低成本、低功耗及高可靠性的 PLD 器件在汽车电子领域得到了广泛应用。那么, 应用 PLD 器件的汽车电子系统是如何开发出来的? 基于 PLD 器件的设计方法与传统电子系统的设计方法又有何区别?

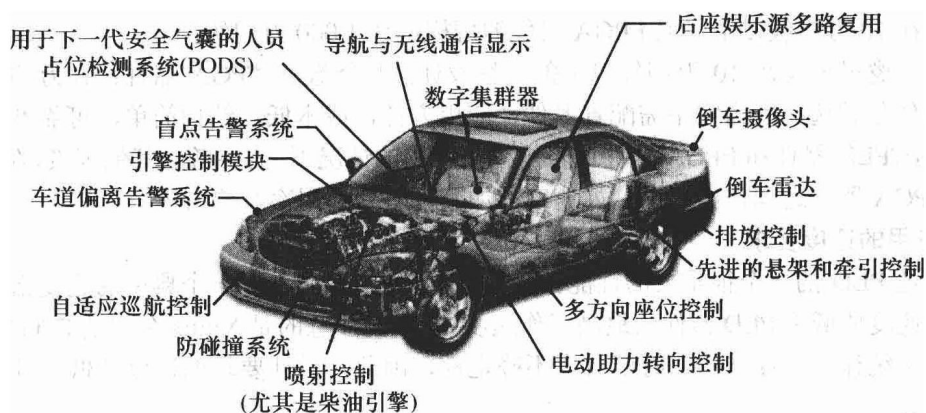


图 1-6 汽车电子应用示意图

1.2.1.2 任务分析

根据前面的学习可知,可编程逻辑器件内的电路和金属引线都是事先由芯片生产厂家做好的,其逻辑功能可由用户根据自己的需要进行设计,并通过对此器件进行编程来实现。为此,必须了解基于 PLD 器件的 EDA 技术,掌握基于 PLD 器件的设计方法,了解这种技术的发展趋势。只有这样,才能全面了解和熟悉应用 PLD 器件开发电子产品的过程和设计方法。

1.2.2 知识准备

1.2.2.1 EDA 技术

EDA 是电子设计自动化(Electronic Design Automation)的缩写,是从计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)和计算机辅助工程(CAE)等技术发展而来的。

EDA 技术涉及面广,内容丰富。本书所介绍的 EDA 技术,就是指以可编程逻辑器件为设计载体,以硬件描述语言为系统逻辑描述的主要表达方式,以可编程逻辑器件的开发软件及实验开发系统为设计工具,自动形成电子系统的设计文件,并经逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑布局布线、逻辑仿真,直至对特定目标芯片的适配编译、逻辑映射和编程下载等工作,最终形成实现既定功能的集成电子系统或专用集成芯片的电子设计自动化技术。

所谓逻辑综合,就是将电路的高级语言描述(如 HDL、原理图或状态图形的描述)转换成低级的,可与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件(网表文件就是按照某种规定描述电路的基本组成及如何相互连接关系的文件)。逻辑映射的过程,就是将电路的高级描述,针对给定硬件结构组件,进行编译、优化、转换和综合,最终获得门级电路甚至更底层的电路描述文件。

1.2.2.2 硬件描述语言 VHDL

硬件描述语言是一种用于设计电子系统硬件的计算机语言,它以软件编程的方式来描述电子系统的逻辑功能、电路结构和连接形式。硬件描述语言用于描述大规模电子系统的

设计时尤为方便。目前, 硬件描述语言以 VHDL、Verilog HDL 最为流行, 它们都是 IEEE 的标准语言。

VHDL(Very High Speed Integrated Circuit Hardware Description Language, 硬件描述语言)是 1985 年美国国防部正式发起创建的, 1987 年 IEEE 将 VHDL 列为硬件描述语言标准(IEEE STD—1076)。1993 年 IEEE 从更高的抽象层次和系统描述能力上扩展了 VHDL 的内容, 并公布了 VHDL 的新版本的标准(1076—1993)。1995 年我国国家技术监督局指定的 CAD 通用技术规范推荐 VHDL 作为我国电子设计自动化硬件描述语言的国家标准。

VHDL 具有很强的电路描述能力和建模能力, 能从多个层次对数字系统进行建模和描述。VHDL 主要用于描述数字系统的结构、行为、功能和接口, 应用 VHDL 进行工程设计具有自动化设计程度高、与具体硬件电路无关和与设计平台无关的特性, 系统移植性强和修改方便等优点。

1.2.2.3 VHDL 设计方法

VHDL 设计常用的方法有直接设计方法、自顶向下设计方法和自底向上设计方法 3 种。

1. 直接设计方法

直接设计法就是将设计看成一个整体, 将其设计成为一个单元电路模块。适用于简单电路的设计。

2. 自顶向下的设计方法

这种设计方法是首先进行顶层模块的设计, 然后将顶层模块的逻辑功能划分为不同的功能子模块, 再进行功能子模块的详细设计。这是一种从系统抽象定义到具体电路的实现, 是由粗到细的分层次、分模块的设计方法。自顶向下设计方法的设计流程如下。

(1) 系统级设计。首先根据需求确定设计任务, 规划系统的整体功能, 确定顶层系统的方案。其次用符号、图形、文字和表达式等形式正确描述系统应具有的逻辑功能和应达到的技术指标。再设计算法, 设计算法是寻求一个解决问题的步骤, 即寻求描述功能完整的流程。

(2) 逻辑级设计。首先根据算法选择电路结构。不同的算法可以实现相同的系统功能, 但是其电路结构是不同的; 相同的算法也可能对应不同的电路结构。其次根据设计、生产条件, 选择适当的器件实现电路。

3. 自底向上设计方法

与自顶向下设计方法正好相反, 它首先定义子模块, 进行子模块的具体设计, 然后再根据设计的总体要求, 将各个功能子模块连接起来, 以实现总体设计。这种方法是根据系统功能要求, 从具体的器件、逻辑部件或相似系统开始, 通过对其进行连接、修改和扩大, 构成所要求的系统。

一般来说, 直接设计方法适用于简单小型电路的设计; 自底向上设计方法适用于设计小型数字系统; 自顶向下设计方法适用于设计各种规模的数字系统。含有多个功能的大型设计, 往往是混合使用自顶向下设计法和自底向上设计法的, 因为混合应用能取得更好的设计效果。

1.2.2.4 EDA 技术的主要特点

1. 传统设计的弊端

传统的数字系统设计的一般过程是: 先根据实际需求确定电子系统的功能, 设计者根

据设计经验对系统功能进行细化,确定子模块功能,然后对每个子模块画出真值表,用卡诺图进行逻辑化简,写出布尔表达式,再由此画出逻辑图,选择通用元器件,设计电路板,最后进行调试。

这种设计方法中,手工设计占有很大比重,调试工作较复杂。因此,不便于进行复杂电路的设计与调试,对于电路中的错误,查找与修改不便,可移植性差,且只能在生产出样机后才能进行实测。

2. EDA 与传统电子设计的比较

(1) 采用硬件描述语言作为设计输入,在电子设计的各个阶段、各个层次上均可进行计算机仿真验证,以保证设计的正确性,大大降低了设计成本,缩短了设计周期。

(2) 设计过程自动化程度较高。在 EDA 开发工具中,有 EDA 设计与半导体生产厂商合作开发的各类型库的支持,大大提高了设计的工作效率。如逻辑输入时有各种常用元件库,逻辑仿真时有模拟库,逻辑综合时有综合库,版图综合时有版图库,测试综合时有测试库。

(3) 具有强大的系统建模、电路仿真功能。EDA 技术中最为瞩目、最具有现代电子设计技术特性的功能是日益强大的逻辑设计仿真测试技术。这种技术能在不同层次对所设计的电子系统进行相应的功能与时序仿真。

(4) 具有自主知识产权。传统的电子系统设计需要使用 IC 生产厂家的集成电路器件,由于不同国家、部门间的技术封锁,导致系统在许多情况下的应用直接受到限制。基于 EDA 的设计则不同,其功能实现器件具有很大的可选性,它可以用不同来源的通用 FPGA/CPLD 实现,也可以直接以 ASIC 来实现,设计者拥有比较完全的自主权。

(5) 开发技术的标准化与规范化。至今为止,传统的电子系统设计方法没有任何标准规范加以约束,因此,设计效率低,开发成本高,系统移植性差。而 EDA 技术则完全不同,它的设计语言是标准的,它的开发工具是规范化的,它的设计成果是通用的。并且设计的系统具有良好的可移植性与可测试性,为优质高效的设计开发提供了可靠的保证。

1.2.2.5 EDA 技术的发展趋势

随着市场需求的不断增长以及集成电路工艺水平和计算机自动设计技术的不断提高,EDA 在电子系统设计领域呈现出迅猛的发展势头,主要体现在以下几个方面。

1. 器件方面

由于市场产品的需求和市场竞争的促进,新的可编程逻辑器件不断涌现,新器件的主要特点是向超高速、高密度、低功耗和低电压等方向发展,含多种专用端口和附加功能模块的 FPGA 不断涌现。目前新器件的逻辑规模已达数百万至千万门级,工作频率也越来越高,功耗不断降低,出现了称为零功耗的 CPLD 器件,低成本 PLD 器件不断涌现,传统 ASIC 和 FPGA 间的界限已逐渐模糊。

2. 工具软件方面

为了适应更大规模 FPGA 的开发,高性能的 EDA 工具得到了长足的发展,其自动化和智能化程度不断提高,为嵌入式系统设计和 DSP 的开发,提供了功能强大的开发环境。除了第三方 EDA 公司不断更新通用 EDA 工具外,主要 PLD 供应商也相继推出新的 EDA 开发工具。总的来说,EDA 水平不断提高,设计工具日趋完美。如 Lattice 公司从早期的 Synario

升级到现在的 ispLEVER Advanced System 通用 EDA 工具, 可用于开发 Lattice 所有的 FPGA、FPSC、CPLD 和 GDX 器件; Xilinx 推出的最新设计环境是 ISE9.2, Altera 也推出了适用于不同设计对象的 EDA 开发环境。其中, Quartus II 除承接了原来 Max+plus II 的全部设计功能和器件对象外, 还增加了许多新功能和新的 FPGA 器件系列, 包括一些适用于 SOPC 开发的大规模器件。

3. 应用方面

随着可编程逻辑器件和开发技术的不断发展, EDA 技术已经渗透到各行各业, 如机械、电子、通信、航空航天、化工、矿产、生物、医学、军事和教育等各个领域。主要用于科研工作和新产品的开发, 用于传统机电设备的升级换代和技术改造, 用于教学实验等。

拓展训练

上网了解目前 EDA 技术发展的最新动态, 了解国内 EDA 技术应用的现状。

1.3 可编程逻辑器件的设计流程

1.3.1 训练任务

1.3.1.1 任务描述

试分析在 PLD 实验开发系统上进行数字电子技术实验的工作流程及特点。

1.3.1.2 任务分析

要在 PLD 实验开发系统上进行数字电子实验, 首先要了解 PLD 器件的设计流程, 即如何实现设计输入, 对设计输入的数据进行什么样的处理及如何处理, 如何将软件设计与硬件联系起来等, 这就涉及到编译、综合、适配、分割和器件编程(下载)等概念。

1.3.2 知识准备

利用 EDA 技术对 FPGA/CPLD 进行工程设计的基本流程如图 1-7 所示。

1.3.2.1 设计准备

在系统设计之前, 设计人员要根据任务要求及工程实际情况做好方案论证和合理选择器件等设计前的准备工作。

1.3.2.2 设计输入

设计输入是在 EDA 开发平台上进行开发设计的第一步, 多数 EDA 工具支

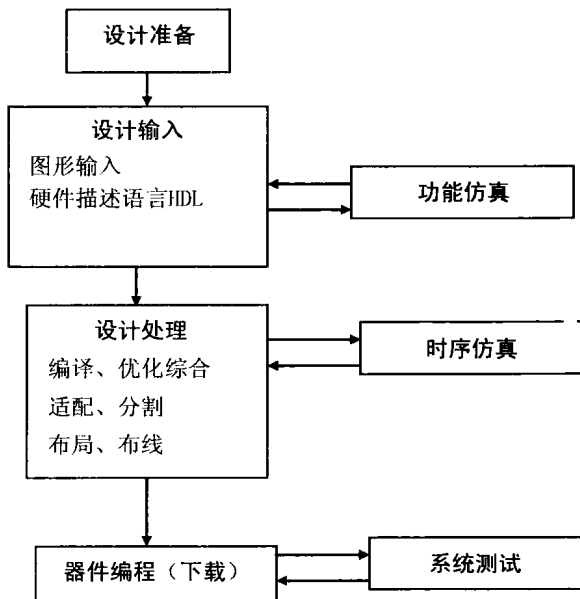


图 1-7 FPGA/CPLD 设计流程