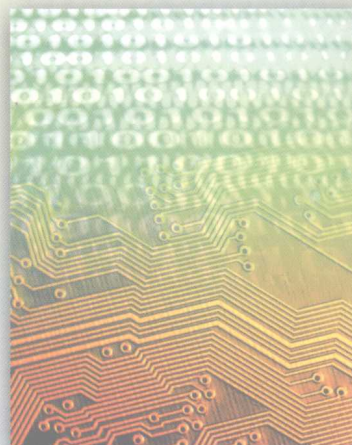
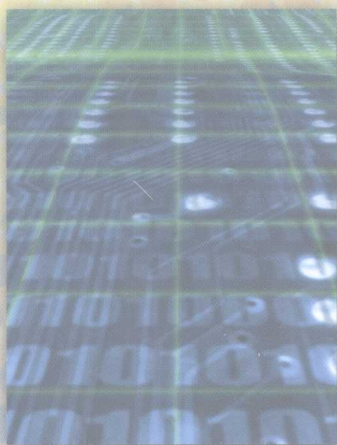




高等学校“十一·五”精品规划教材

数字电子技术基础实验

金 燕 刘国越 黄定君 主编



中国水利水电出版社
www.waterpub.com.cn



要 容 内

高等学校“十一五”精品规划教材

数字电子技术基础实验

金燕

刘国超



中国水利水电出版社

www.waterpub.com.cn

内 容 提 要

本书是在长期实验教学的基础上编写而成,充分体现了数字电子技术新理论、新技术和新应用,旨在加强学生数字电子技术实验技能和 EDA 技术应用能力。全书由数字电子技术基础实验和附录两部分组成。实验内容涉及逻辑门电路的测试、组合逻辑电路、时序逻辑电路、脉冲电路、A/D 转换电路和 D/A 转换电路等方面,共有 12 个实验。附录部分介绍了数字电路与数字逻辑实验方法、实验室常用电子仪器使用说明。

本书可作为普通高等学校电气、电子信息、自动化、通信、计算机及其他相近专业本科和专科学生的数字电子技术基础实验教材,也可供相关工程专业技术人员参考。

图书在版编目 (CIP) 数据

数字电子技术基础实验/金燕,刘国越,黄定君主编.

北京:中国水利水电出版社,2008

高等学校“十一五”精品规划教材

ISBN 978-7-5084-5676-8

I. 数… II. ①金…②刘…③黄… III. 数字电路—电子技术—实验—高等学校—教材 IV. TN79-33

中国版本图书馆 CIP 数据核字 (2008) 第 090293 号

书 名	高等学校“十一五”精品规划教材 数字电子技术基础实验
作 者	金燕 刘国越 黄定君 主编
出版发行	中国水利水电出版社 (北京市三里河路 6 号 100044) 网址: www.waterpub.com.cn E-mail: sales@waterpub.com.cn 电话: (010) 63202266 (总机)、68367658 (营销中心)
经 售	北京科水图书销售中心 (零售) 电话: (010) 88383994、63202643 全国各地新华书店和相关出版物销售网点
排 版	中国水利水电出版社微机排版中心
印 刷	北京市兴怀印刷厂
规 格	184mm×260mm 16 开本 6.5 印张 154 千字
版 次	2008 年 9 月第 1 版 2008 年 9 月第 1 次印刷
印 数	0001—5100 册
定 价	12.00 元

凡购买我社图书,如有缺页、倒页、脱页的,本社营销中心负责调换

版权所有·侵权必究

前 言

本书是参照教育部电子信息与电气信息类基础课程教学指导分委员会修订的“数字电子技术基础”课程教学基本要求中“实验教学部分”的教学基本要求编写的高等学校数字电子技术基础实验教材。

全书共分为两部分：

第一部分是数字电子技术基础实验。内容涉及逻辑门电路的测试、组合逻辑电路、时序逻辑电路、脉冲电路、A/D 转换电路和 D/A 转换电路等方面，共有 12 个实验，实验类型设有验证性实验、设计性实验、综合性实验和 EDA 实验四种。目的是培养学生数字电子技术基础方面的基本实验技能，使学生在巩固基础知识的同时，掌握常用仪器的使用方法，在分析实验中出现的和解决问题的能力方面、总结实验结果的能力方面以及实践创新能力方面有所提高。

第二部分是附录。主要介绍了数字电路与数字逻辑实验方法、实验室常用电子仪器使用说明。

书中注有“*”部分是实验选做内容，可视具体情况选做或不做。

本书由金燕、刘国越、黄定君主编。实验九、实验十、附录 II 由刘国越编写，实验一、实验七和附录 I 由黄定君编写，其余部分由金燕编写；葛远香参与实验的验证工作。李国丽、贾立新、李如春、王涌、周文委、王辛刚、何剑春、章旌红、方迎联对本书的编写和修改提出了很多意见和建议。在本书编写过程中，参考和引用了有关专家的文献，在此一并表示衷心的感谢。

由于编者水平有限，不足与疏漏之处在所难免，恳请广大读者批评指正。

编者

2008 年 8 月

目 录

前言

实验一	逻辑门电路的测试及应用	1
实验二	译码器及其应用	8
实验三	数据选择器及其应用	14
实验四	组合逻辑电路设计	19
实验五	锁存器和触发器	25
实验六	计数器及其应用	30
实验七	单稳态触发器和多谐振荡器	37
实验八	时序逻辑电路设计	46
实验九	智力竞赛抢答电路	52
实验十	电子秒表	56
实验十一	A/D 和 D/A 转换器	61
实验十二	基于 PLD 的串行序列信号检测器	68
附录 I	数字电子技术实验方法	73
附录 II	实验室常用电子仪器使用说明	77
参考文献		99

实验一 逻辑门电路的测试及应用

一、实验目的

1. 掌握 TTL 逻辑门的逻辑功能测试方法。
2. 熟悉 TTL 逻辑门的主要参数意义及其测量方法。
3. 熟悉实验仪器、实验装置的结构、功能及使用方法。

二、实验原理

在使用逻辑门电路之前往往要对其进行逻辑功能检查，以确定逻辑功能正常与否。根据需要还要测试其主要参数，以了解其电气特性。

本实验采用的逻辑门为 TTL 数字集成逻辑门电路 74LS00，它有 4 个 2 输入与非门。输入端为 1A、1B、2A、2B、3A、3B、4A、4B，输出端为 1Y、2Y、3Y、4Y，实现 $1Y = \overline{1A \cdot 1B}$ 、 $2Y = \overline{2A \cdot 2B}$ 、 $3Y = \overline{3A \cdot 3B}$ 、 $4Y = \overline{4A \cdot 4B}$ 。其双列直插式封装的引脚排列如图 1.1 所示。

1. TTL 与非门逻辑功能测试

根据与非门的工作原理，当输入全为高电平时输出为低电平，否则输出为高电平。

测试方法是给门电路输入端加固定的高电平或低电平，用万用表或逻辑电平指示器测出门电路的输出电平。

实验时输入端的高、低电平可由实验箱的逻辑电平开关提供；也可直接接“0”电位或 V_{CC} （+5V）电源正极。输出可用实验箱中的逻辑电平显示器显示，输出高电平时灯亮；也可用万用表测输出电压值。

2. TTL 与非门主要参数测试

(1) 低电平输出电源电流 I_{CCL} 和高电平输出电源电流 I_{CCH} 。与非门处于不同的工作状态，电源提供的电流是不同的。 I_{CCL} 是指与非门所有输入端悬空，输出端空载时，电源提供给器件的电流。 I_{CCH} 是指输出端空载，每个门各有一个以上的输入端接地，其余输入端悬空，电源提供给器件的电流。通常 $I_{CCL} > I_{CCH}$ ，它们的大小标志着器件静态功耗的大小。每个与非门的最大功耗为 $P_D = V_{CC} I_{CCL}$ 。器件数据手册中提到的电源电流和功耗值是指 74LS00 整个器件（含 4 个与非门）总的电源电流和总的功耗。 I_{CCL} 和 I_{CCH} 测试电路如图 1.2 (a)、(b) 所示。

注意：TTL 电路对电源电压要求较严，电源电压 V_{CC} 只允许在 $+5V \pm 5\%$ 的范围内工作，超过 5.25V，将损坏器件；低于 4.75V，器件的逻辑功能将不正常。

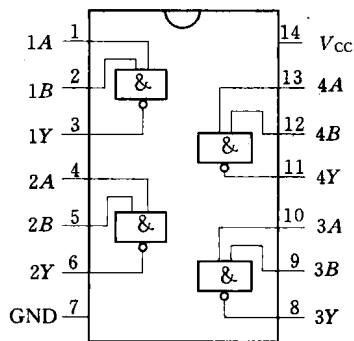


图 1.1 74LS00 引脚排列

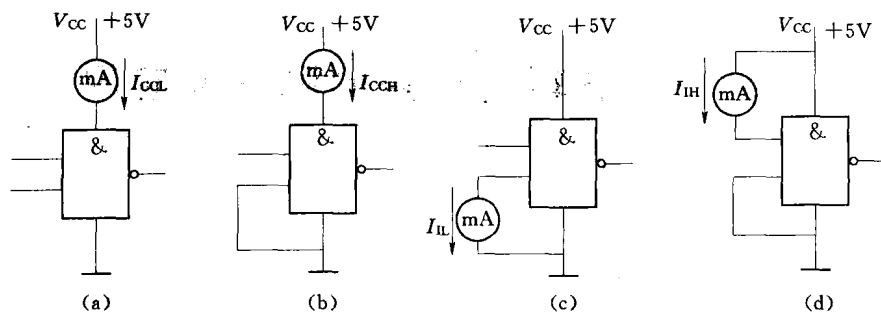


图 1.2 TTL 与非门静态参数测试电路图

(a) I_{CCL} 测试电路; (b) I_{CCH} 测试电路; (c) I_{IL} 测试电路; (d) I_{IH} 测试电路

(2) 低电平输入电流 I_{IL} 和高电平输入电流 I_{IH} 。 I_{IL} 是指被测输入端接地，其余输入端悬空，输出端空载时，由被测输入端流出的电流值。在多级门电路中， I_{IL} 相当于前级门输出低电平时，后级向前级门灌入的电流，因此它关系到前级门的灌电流负载能力，即直接影响前级门电路带负载的个数，因此希望 I_{IL} 小些。

I_{IH} 是指被测输入端接高电平，其余输入端接地，输出端空载时，流入被测输入端的电流值。在多级门电路中，它相当于前级门输出高电平时，前级门的拉电流负载，其大小关系到前级门的拉电流负载能力，希望 I_{IH} 小些。由于 I_{IH} 较小，难以测量，一般免于测试。 I_{IL} 和 I_{IH} 的测试电路如图 1.2 (c)、(d) 所示。

(3) 扇出系数 N_O 。扇出系数 N_O 是指门电路能驱动同类门的个数，它是衡量门电路负载能力的一个参数，TTL 与非门有两种不同性质的负载，即灌电流负载和拉电流负载，因此有两种扇出系数，即低电平扇出系数 N_{OL} 和高电平扇出系数 N_{OH} 。通常 $I_{IH} < I_{IL}$ ，则 $N_{OL} > N_{OH}$ ，故常以 N_{OL} 作为门的扇出系数。

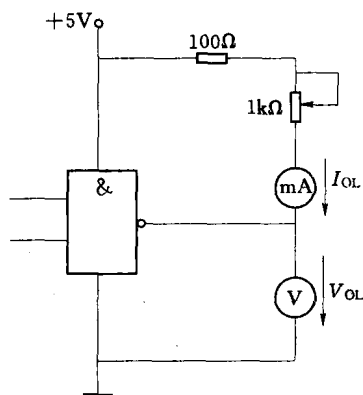


图 1.3 扇出系数测试电路

N_{OL} 的测试电路如图 1.3 所示，门的输入端全部悬空，输出端接灌电流负载 R_L ，调节 R_L 使 I_{OL} 增大， V_{OL} 随之增高，当 V_{OL} 达到 $V_{OL(max)}$ (74LS00 器件手册中规定在 $I_{OL} = 8\text{mA}$ ， $V_{CC} = 4.75\text{V}$ 测试条件下，低电平最大值为 0.5V) 时的 I_{OL} 就是允许灌入的最大负载电流 $I_{OL(max)}$ ，则

$$N_{OL} = \frac{I_{OL(max)}}{I_{IL}}$$

通常 $N_{OL} \geq 8$ 。

(4) 电压传输特性。门电路的输出电压 v_O 随输入电压 v_I 而变化的曲线 $v_O = f(v_I)$ 称为门电路的电压传输特性，通过它可读得门电路的一些重要参数，如输出高电平 V_{OH} 、输出低电平 V_{OL} 、 $V_{IL(max)}$ (又称关门电平 V_{OFF})、 $V_{IH(min)}$ (又称开门电平 V_{ON})、阈值电平 V_T 及噪声容限 V_{NL} 、 V_{NH} 等值。电压传输特性曲线如图 1.4 所示，其测试电路如图 1.5 所示。采用逐点测试法，即调节 R_w ，逐点测得 v_I 及 v_O ，然后绘制成曲线。

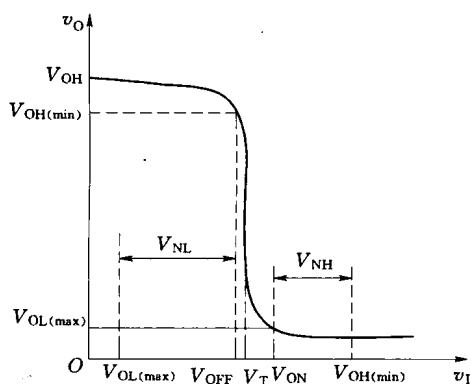


图 1.4 电压传输特性曲线

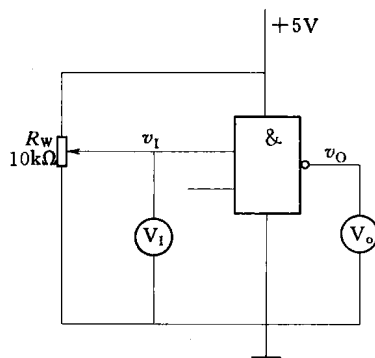


图 1.5 电压传输特性测试电路

(5) 平均传输延迟时间 t_{PD} 。 t_{PD} 是衡量门电路开关速度的参数，它是指输出波形边沿的 $0.5V_m$ 至输入波形对应边沿 $0.5V_m$ 点的时间间隔。如图 1.6 所示， t_{PHL} 为导通延迟时间， t_{PLH} 为截止延迟时间，平均传输延迟时间为

$$t_{PD} = \frac{1}{2}(t_{PHL} + t_{PLH})$$

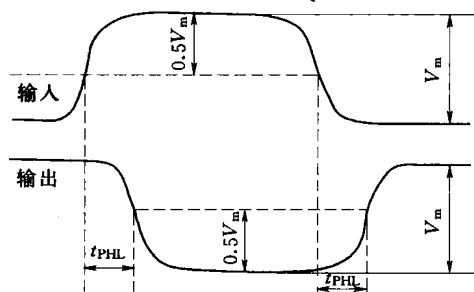
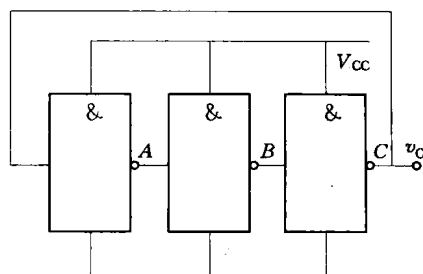


图 1.6 传输延迟特性

图 1.7 t_{PD} 的测试电路

t_{PD} 的测试电路如图 1.7 所示，由于 TTL 门电路的延迟时间较小，直接测量时对信号发生器和示波器的性能要求较高，故实验采用测量由奇数个与非门组成的环形振荡器的振荡周期 T 求得。其工作原理是：假设电路在接通电源后某一瞬间，电路中的 A 点为逻辑“1”，经过三级门的延迟后，使 A 点由原来的逻辑“1”变为逻辑“0”；再经过三级门的延迟后，A 点电平又重新回到逻辑“1”。电路中其他各点电平也随之变化。说明使 A 点发生一个周期的振荡必须经过 6 级门的延迟时间。因此，平均传输延迟时间为

$$t_{PD} = \frac{T}{6}$$

TTL 电路的 t_{PD} 一般在 $10 \sim 40\text{ns}$ 之间。

74LS00 的主要特性见表 1.4。

3. 观察与非门对脉冲的控制作用

门电路对连续脉冲具有开关作用，本实验研究与非门对脉冲的开关作用。如图 1.8

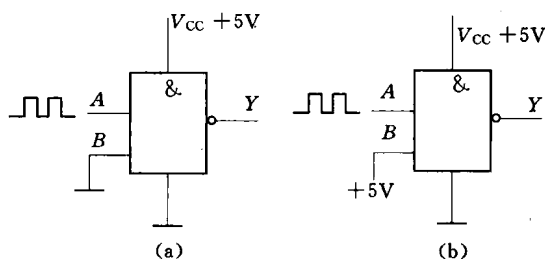


图 1.8 与非门对脉冲的开关作用

(a) 一个输入端为低电平时；(b) 一个输入端为高电平时

3. 观察与非门对脉冲的控制作用

分别按图 1.8 (a)、(b) 接线, A 端输入脉冲 1kHz 脉冲信号源 (可选用实验箱中的信号源, 也可用函数信号发生器获得)。用双踪示波器观察 A 端与 Y 端的波形。并在方格纸上画出其波形图。

五、预习要求

1. 了解门电路主要参数的意义。
2. 掌握 74LS00 的逻辑功能和引脚排列。
3. 掌握 TTL 集成电路使用规则。
4. 预习所用仪器及数字电子技术实验箱的使用方法 (见附录 II)。

六、实验报告要求

1. 写明实验目的。
2. 简述实验原理, 画出实验电路图。
3. 实验数据记录和整理。

(1) 记录整理实验数据和实验结果, 即完成表 1.1~表 1.3, 同时将测得的表 1.2 中的数据与表 1.3 的 TTL 与非门主要特性作比较。

(2) 根据表 1.4 中的数据在方格纸上画出电压传输特性曲线, 并从中标出 V_{OL} 、 V_{OH} 、 $V_{OL(max)}$ 、 $V_{OH(min)}$ 、 $V_{IL(max)}$ (即 V_{OFF})、 $V_{IH(min)}$ (即 V_{ON})、 V_{NL} 、 V_{NH} 、 V_T 等参数及其对应的电压值。

(3) 在方格纸上画出实验内容 3 中的输入、输出信号波形图, 针对输出波形加以分析。

4. 列写所用的实验设备和器件。
5. 总结实验中遇到的问题、解决方法和实验注意事项。

表 1.4 74LS00 推荐工作条件及主要特性

推荐工作条件						
符 号	参 数	最小值 (min)	典型值 (typ)	最大值 (max)	单 位	
V_{CC}	电源电压	4.75	5	5.25	V	
I_{OH}	高电平输出电流			-0.4	mA	
I_{OL}	低电平输出电流			8	mA	
T_A	良好通风工作温度	0		70	℃	
电器特性						
符号	参 数	测试条件	最小值 (min)	典型值 (type)	最大值 (max)	单位
V_{IH}	高电平输入电压		2			V
V_{IL}	低电平输入电压				0.8	V
V_{OH}	高电平输出电压	$V_{CC}=\min, I_{OH}=\max$	2.7	3.5		V

续表

符号	参 数	测试条件	最小值 (min)	典型值 (type)	最大值 (max)	单位
V_{OL}	低电平输出电压	$I_{OL}=8\text{mA}$, $V_{CC}=\text{min}$		0.35	0.5	V
I_I	最大输入电压时的输入电流	$V_{CC}=\text{max}$, $V_I=7\text{V}$			0.1	mA
I_{IH}	高电平输入电流	$V_{CC}=\text{max}$, $V_I=2.7\text{V}$			20	μA
I_{IL}	低电平输入电流	$V_{CC}=\text{max}$, $V_I=0.4\text{V}$			-0.4	mA
I_{OS}	短路输出电流	$V_{CC}=\text{max}$ 只一个输出端短路, 且 短路时间不大于 1s	-20		-100	mA
I_{CCH}	输出为高电平时的电源电流	$V_{CC}=\text{max}$		0.8	1.6	mA
I_{CCL}	输出为低电平时的电源电流	$V_{CC}=\text{max}$		2.4	4.4	mA

开关特性 ($V_{CC}=5\text{V}$, $T_A=25^\circ\text{C}$, $C_L=15\text{pF}$)

符 号	参 数	典型值 (type)	最大值 (max)	单位
t_{PLH}	低电平到高电平的传输延迟时间	9	15	ns
t_{PHL}	高电平到低电平的传输延迟时间	10	15	ns

七、思考题

1. TTL 器件 74LS00 与非门输出端能否并联使用?
2. 74LS00 输入端可否直接接到 +5V 电源? 输出端能否接到 +5V 电源?

八、TTL 集成电路使用注意

1. 接插集成块时, 要认清定位标记, 不得插反。
2. 电源电压 V_{CC} 使用范围为 +4.75~+5.25V, 电源极性不允许接错。
3. 闲置输入端处理方法。

(1) 悬空。相当于正逻辑“1”, 对于一般小规模 TTL 集成电路的数据输入端, 实验时允许悬空处理, 但易受外界干扰, 导致电路的逻辑功能不正常。因此, 对于接有长线的输入端、中规模以上的集成电路和使用集成电路较多的复杂电路, 所有控制输入端必须按逻辑要求接入电路, 不允许悬空。

(2) 直接接电源电压 V_{CC} (也可以串入 1 只 1~10k Ω 的固定电阻); 或接至某一固定电压 [$V_{IH(\text{min})} \sim V_{CC}$] 的电源上。

(3) 若前级驱动能力允许, 可以与使用的输入端并联。

4. 输入端通过电阻接地, 电阻值的大小将直接影响电路所处的状态。对于 LSTTL 器件, 当 $R \leq 1\text{k}\Omega$ 时, 输入端相当于逻辑“0”; 当 $R \geq 10\text{k}\Omega$ 时, 输入端相当于逻辑“1”。对于不同系列的器件, 要求的阻值不同。

5. 输出端不允许并联使用 (OC 门和三态门除外), 否则不仅会使电路逻辑功能混乱,

还会导致器件损坏。

6. 输出端不允许直接接地或直接接+5V电源, 否则将损坏器件。有时为了使后级电路获得较高的输出电平 (如输出高电平时, 要求达某一值 V_x 以上), 允许输出端通过电阻 R 接至 V_{CC} 。 R 的取值原则是: 使输出低电平值不大于 V_{OLmax} ; 使输出高电平值不小于设计要求值 V_x 。

实验二 译码器及其应用

一、实验目的

1. 掌握中规模集成译码器的逻辑功能和使用方法。
2. 熟悉七段数码管的使用。

二、实验原理

译码器是一个多输入、多输出的组合逻辑电路。它的作用是将具有特定含义的输入代码进行“翻译”，转换成对应的输出信号。

译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据的分配、存储器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。

译码器可分为通用译码器和专用译码器两大类。通用译码器包括二进制译码器（又称变量译码器）、二—十进制译码器和代码转换器等，专用译码器有显示译码器等。

1. 二进制译码器

二进制译码器又称变量译码器，用于表示输入变量的状态，如 2—4 线、3—8 线和 4—16 线译码器。若有 n 个输入变量，则有 2^n 个输出端供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项。

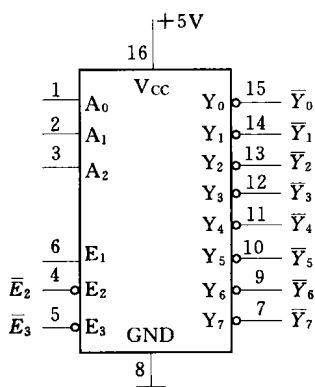


图 2.1 3—8 线译码器 74LS138

逻辑符号及引脚功能

图 2.1 所示为 3—8 线译码器 74LS138 的逻辑符号及引脚功能。其中 A_2 、 A_1 、 A_0 为地址输入端， $\bar{Y}_0 \sim \bar{Y}_7$ 为译码输出端， E_1 、 $\bar{E}_2$ 、 $\bar{E}_3$ 为使能端。

表 2.1 为 74LS138 功能表。当 $E_1 = 1$ ， $\bar{E}_2 + \bar{E}_3 = 0$ 时，器件使能，地址码所指定的输出端有信号输出（为 0），其他所有输出端均无信号输出（全为 1）。当 $E_1 = 0$ ， $\bar{E}_2 + \bar{E}_3 = X$ 时（0 或 1），或 $E_1 = X$ ， $\bar{E}_2 + \bar{E}_3 = 1$ 时，译码器被禁止，所有输出同时为 1。

根据输入地址的不同组合译出唯一地址，故可用作地址译码器。

二进制译码器实际上也可作为负脉冲输出的脉冲分配器。

若利用使能端中的一个输入端输入数据信息，器件就成为一个数据分配器，可将一个信号源的数据信息传输到不同的地点。如图 2.2 所示，若在 E_1 输入端输入数据信息， $\bar{E}_2 = \bar{E}_3 = 0$ ，地址码所对应的输出是 E_1 数据信息的反码；若从 $\bar{E}_2$ 端输入数据信息，令 $E_1 = 1$ ， $\bar{E}_3 = 0$ ，地址码所对应的输出就是 $\bar{E}_2$ 端数据信息的原码。若

数据输入是时钟脉冲，则数据分配器便成为时钟脉冲分配器。

表 2.1

74LS138 逻辑功能表

输 入					输 出							
E_1	$\bar{E}_2 + \bar{E}_3$	A_2	A_1	A_0	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1

利用使能端能方便地将两个 3—8 线译码器组合成一个 4—16 线译码器，如图 2.3 所示。

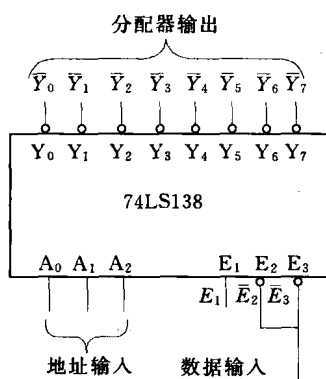


图 2.2 74LS138 作数据分配器

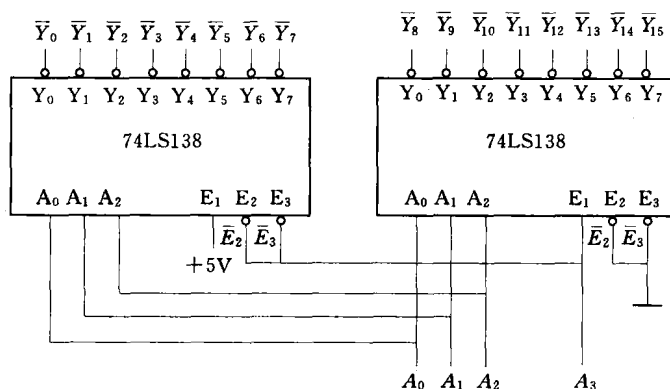


图 2.3 用两片 74LS138 组合成 4—16 线译码器原理图

2. 数码显示译码器

(1) 七段发光二极管 (LED) 数码管。LED 数码管是目前常用的数字显示器，图 2.4 (a)、(b) 为共阴数码管和共阳数码管的电路，图 2.5 为这两种数码管的符号及各段布置图。

一个 LED 数码管可用来显示一位 0~9 十进制和一个小数点。小型数码管 (0.5 英寸和 0.36 英寸)，每段发光二极管的正向压降随显示光 (通常为红、绿、黄、橙) 的颜色不同略有差别，通常约为 2~2.5V，每个发光二极管的点亮电流为 5~10mA。LED 数码管要显示 BCD 码所表示的十进制数字就需要有一个专门的译码器，该译码器不但要完成译码功能，还要有相当的驱动能力。

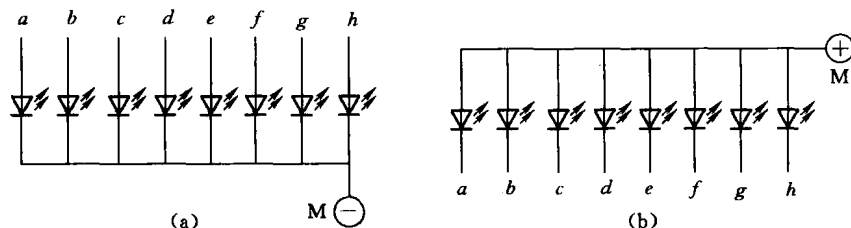


图 2.4 共阴数码管和共阳数码管电路

(a) 共阴极电路 (高电平驱动); (b) 共阳极电路 (低电平驱动)

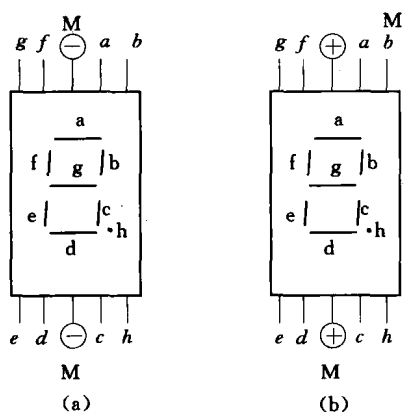


图 2.5 LED 共阴数码管和共阳数码管的符号及各段布置图

(a) 共阴数码管符号及各段布置图; (b) 共阳数码管符号及各段布置图

(2) BCD——七段译码器/驱动器。此类译码器型号有 74LS47 (共阳)、74LS48 (共阴)、CD4511 (共阴) 等, 本实验采用 CD4511 BCD——七段译码/驱动器 (锁存输出), 驱动共阴极 LED 数码管。

图 2.6 为 CD4511 的逻辑符号和引脚排列, 表 2.2 为 CD4511 功能表, 其引脚作用如下。

D_3 、 D_2 、 D_1 、 D_0 : BCD 码输入端。

a 、 b 、 c 、 d 、 e 、 f 、 g : 译码器输出端, 输出 1 有效, 用来驱动共阴极 LED 数码管。

$\overline{LT}$: 测试输入端, $\overline{LT}=0$ 时, 译码输出全为 1。

$\overline{BI}$: 消隐输入端, $\overline{BI}=0$ 时, 译码输出全为 0。

LE : 锁定端, $LE=1$ 时译码器处于锁定 (保持) 状态, 译码输出保持在 $LE=0$ 时的数值, LE

$=0$ 为正常译码。

译码器还有拒伪码功能, 当 $LE=0$, 输入码 $D_3D_2D_1D_0$ 超过 1001 时, 输出全为 0, 数码管熄灭 (称为空白或消隐)。

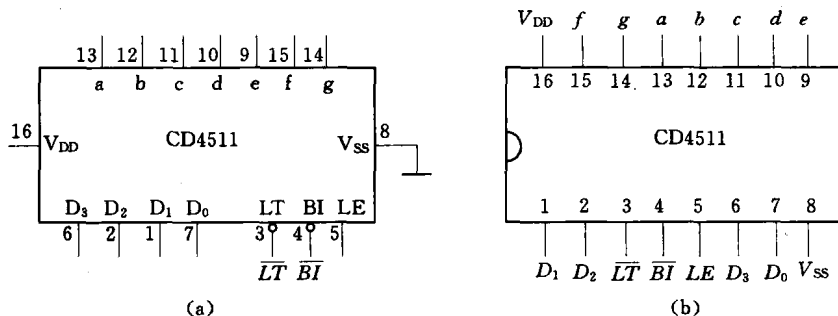


图 2.6 CD4511 的逻辑符号和引脚排列

(a) 逻辑符号; (b) 引脚排列

表 2.2

CD4511 逻辑功能表

输 入							输 出							
LE	$\overline{BI}$	$\overline{LT}$	D_3	D_2	D_1	D_0	a	b	c	d	e	f	g	显示字形
×	×	0	×	×	×	×	1	1	1	1	1	1	1	8
×	0	1	×	×	×	×	0	0	0	0	0	0	0	空白
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	空白
0	1	1	1	0	1	1	0	0	0	0	0	0	0	空白
0	1	1	1	1	0	0	0	0	0	0	0	0	0	空白
0	1	1	1	1	0	1	0	0	0	0	0	0	0	空白
0	1	1	1	1	1	0	0	0	0	0	0	0	0	空白
0	1	1	1	1	1	1	0	0	0	0	0	0	0	空白
1	1	1	×	×	×	×	锁存							显示锁存前的字形

使用时需要在输出端与数码管笔段之间串入限流电阻。电源电压 V_{DD} 的范围是 3~18V，在此设 $V_{DD} = +5V$ ， V_{SS} 接电源地 ($\perp$)。

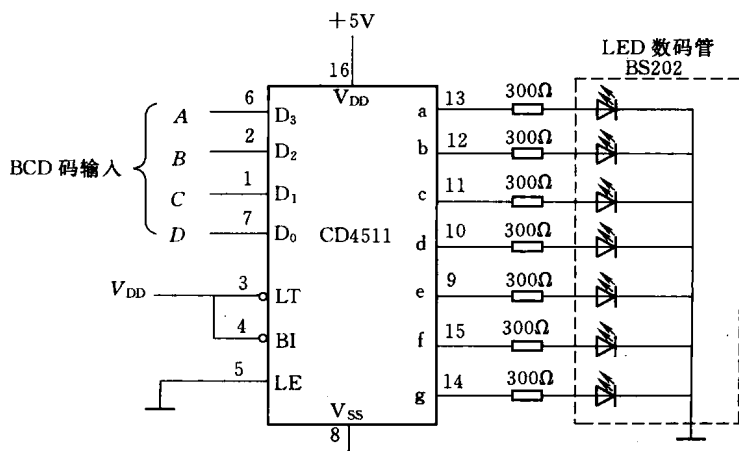


图 2.7 CD4511 驱动一位 LED 数码管

在附录Ⅱ中所述数字电子技术实验箱中已完成了译码器 CD4511 和 LED 数码管 BS202 之间的连接,如图 2.7 所示。实验时,只要将十进制数的 BCD 码接至译码器的相应输入端 D_3 、 D_2 、 D_1 、 D_0 ,并接通 +5V 电源即可显示 0~9 的数字。

三、实验设备与器件

序 号	名 称	型 号 规 格	数 量
1	数字电子技术实验箱		1
2	示波器		1
3	函数信号发生器		1
4	万用电表		1
5	主要元器件	74LS138, CD4511	

四、实验内容

1. 74LS138 译码器逻辑功能测试

按图 2.8 所示的实验接线图接线。将译码器使能端 E_1 、 $\bar{E}_2$ 、 $\bar{E}_3$ 及地址端 A_2 、 A_1 、 A_0 分别接至实验箱逻辑电平开关插口,8 个输出端 $\bar{Y}_0 \sim \bar{Y}_7$ 依次连接在实验箱逻辑电平指示器的 8 个插口上,拨动逻辑电平开关,按表 2.1 逐项测试 74LS138 的逻辑功能。

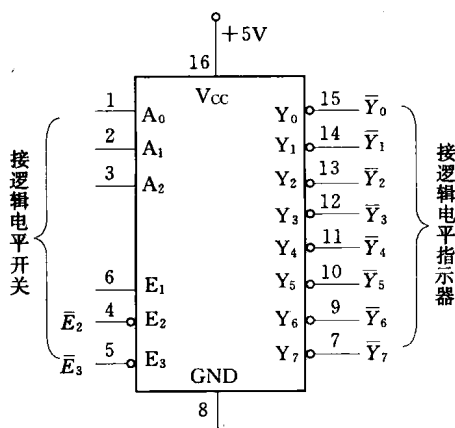


图 2.8 74LS138 译码器逻辑功能测试实验电路图

2. 用 74LS138 构成时序脉冲分配器

(1) 设计一个用 74LS138 构成的时序脉冲分配器,其输出端 $\bar{Y}_0 \sim \bar{Y}_7$ 的信号与输入的时序脉冲信号 CP 同相,时钟脉冲 CP 频率约为 10kHz。可参照图 2.2 和实验原理说明进行设计。简要写出设计过程,画出实验接线图。

(2) 用示波器观察和记录在地址端 A_2 、 A_1 、 A_0 分别取 000~111 等 8 种不同状态时 $\bar{Y}_0 \sim \bar{Y}_7$ 端的输出波形,注意输出波形与 CP 输入波形之间的

相位关系。

3. 用两片 74LS138 组合成一个 4—16 线译码器

(1) 根据如图 2.3 所示的电路原理图连接实验电路,验证其逻辑功能。

(2) 自拟数据记录表格,记录实验数据。

4. CD4511 驱动七段数码管

实验电路如图 2.7 所示,CD4511 的 BCD 码输入端可以分别接至实验箱的 4 个逻辑电平开关,也可以分别接到一组拨码开关的 4 个输出端口。然后按功能表 2.2 输入数据的要求设定 $D_3D_2D_1D_0$ 的各种数据组合,观察 LED 数码管显示的对应数字是否正确。