

集成电路计算机辅助设计

蔡世俊

南京大学出版社

集成电路

计算机辅助设计

蔡 世 俊

南京大学出版社

1990 • 南京

内 容 简 介

本书以超大规模集成电路为中心,重点阐述了超大规模集成电路计算机辅助设计基本原理。全书共分七章。第1章介绍设计自动化的分层分级设计思想和集成电路计算机辅助设计的软件结构;第2章以面向应用的集成电路为核心,介绍门阵列、标准单元和可编程逻辑阵列三种结构的专用集成电路;第3、4、5章则详细叙述了集成电路计算机辅助设计中的电路分析、逻辑模拟和物理设计三个重要部分;作为非常有用的集成电路版图描述语言,在第6章中独立介绍了CIF格式;最后一章为有关图形编辑方法的介绍。

本书可作为高等院校有关专业的本科生、研究生的教材。也可供从事微电子系统、集成电路设计与制备、计算机辅助设计等工作的工程技术人员参考。

集成电路计算机辅助设计

蔡 世 俊

南京大学出版社出版

(南京大学校内)

江苏省新华书店发行 阜宁印刷厂印刷

1990年6月第1版 1990年6月第1次印刷

开本: 787×1092 1/16 印张: 7.625

字数: 192千 印数: 1—1000

ISBN 7-305-00723-4/TP·23 定价: 4.50 元

前 言

在集成电路的发展进入了起大规模的时代,集成电路计算机辅助设计 (ICCAD) 已成为集成电路设计者必不可少的工具。正是在这样的形势下,作者在为南京东南大学本科生授课三年讲义的基础上编写成本书。

集成电路计算机辅助设计涉及面广,它包含了集成电路版面图设计与制备,逻辑与电路分析,系统设计,计算机软件等多方面的内容。本书的主要目的是使读者能够对集成电路计算机辅助设计有全面的了解,并对构成辅助设计系统的几个主要组成部分——逻辑模拟,电路分析,自动布局布线等有基本的掌握。为了适应日益发展的面向应用的集成电路 (ASIC) 的形势,也介绍了门阵列,标准单元,可编程逻辑阵列等适合于计算机辅助设计的三种集成电路结构。

本书重点在于基本原理的介绍,故以硅编译器的辅助设计系统为中心贯穿而成,并力求对作系统,全面的介绍。同时每一章节内容又有一定的独立性,可以根据需要取舍。有些章节还可以配以一定的上机练习。本书力求对问题的阐述鲜明,避免繁琐的数学推导。由于本人经验不足和水平有限,本书一定存在许多缺点和不足之处,恳求读者提出批评与建议。

本书作为微电子专业高年级本科生的教材,讲授时间为40学时。上机时间为8学时。本书同时可以供从事微电子系统,集成电路设计与制备,计算机辅助设计等工作的工程技术人员参考。

在本书的编写过程中,东南大学微电子中心提供了良好的工作条件 and 环境。微电子中心主任童勤义教授给予了大力的支持。孙大有副教授和董克之高级工程师对本书作了细致地审阅并提出了许多宝贵意见。李伟华同志在后期的文字工作中作了许多大量细致的工作。对于他们以及其他同事的支持,在此表示真挚地谢意。

蔡世俊

于东南大学微电子中心

1989年10月

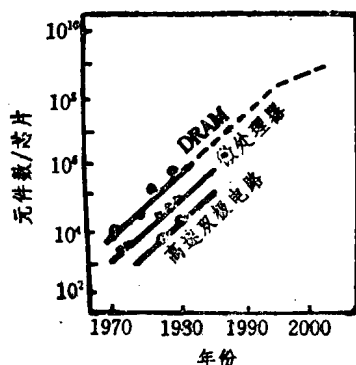
目 录

第1章 计算机辅助设计引论	1
1.1 超大规模集成电路系统设计方法	1
1.2 VLSI CAD 的软件内容	3
1.2.1 设计阶段的逻辑处理	3
1.2.2 逻辑模拟	4
1.2.3 电路分析	4
1.2.4 版图设计	4
1.2.5 工艺模拟	5
1.3 VLSI CAD系统及硅编译器	5
第2章 面向应用的专用电路	8
2.1 门阵列	9
2.1.1 有源区结构	10
2.1.2 布线通道	10
2.1.3 输入/输出压焊块	11
2.2 标准单元	12
2.3 可编程逻辑阵列	13
2.4 工艺设计规则	14
2.4.1 硅栅工艺	14
2.4.2 P阱工艺	16
2.4.3 工艺设计规则	18
第3章 电路分析	26
3.1 线性代数方程组	26
3.2 线性代数方程组的求解	32
3.2.1 高斯消去法	32
3.2.2 直接三角形分解法	35
3.3 电路模拟原理	37
3.3.1 线性电路的直流分析	37
3.3.2 线性电路的交流分析	38
3.3.3 非线性电路的直流分析	39
3.3.4 瞬态分析	42
3.3.5 综合举例	43
3.3.6 电路元件的模型	45
3.4 电路分析软件的基本组成	46
3.5 时域分析	48
3.5.1 基本原理	48
3.5.2 算法思想	49

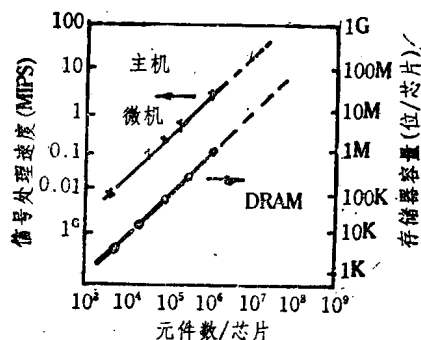
3.6	附录——SPLCE输入格式	50
第4章	逻辑模拟	59
4.1	逻辑线路的描述语言	60
4.1.1	寄存器传输语言	60
4.1.2	门级线路的描述语言	62
4.2	逻辑模拟简述	65
4.2.1	器件延迟描述	65
4.2.2	多值模拟	66
4.2.3	模拟程序的基本结构	68
4.3	测试码生成	70
4.3.1	故障模型	71
4.3.2	路径敏化法	72
4.3.3	多故障测试码	73
4.4	混合模拟	75
第5章	自动布图设计	76
5.1	逻辑划分	76
5.1.1	逻辑电路描述方法	76
5.1.2	划分问题及特点	78
5.2	布局	79
5.2.1	初始布局	80
5.2.2	布局迭代改善	83
5.3	布线	85
5.3.1	布线的基本问题	85
5.3.2	面向布线区的布线方法	87
第6章	版图描述语言——CIF简介	90
6.1	定义和语法	91
6.2	语义	93
6.2.1	图形的测量法	93
6.2.2	图形在坐标系中的方向	94
6.2.3	四种基原图形	94
6.2.4	版图的分层	95
6.2.5	图样的符号名和调用	95
6.3	CIF文件的界面	99
6.3.1	生成CIF的途径	99
6.3.2	CIF文件的处理	100
第7章	图形编辑	106
7.1	图形编辑软件的基本组成	106
7.2	图形的表示与变换组合	108
7.3	附录——ZB—CIT图形编辑使用说明	109

第 1 章 计算机辅助设计引论

集成电路自1959年问世以来，发展极为迅速。20多年来，集成度以平均每年增加一倍的
速度提高，到1986年已有4MB的RAM出现，集成度为920万个元件。1975年美国英特尔
(Intee)公司的G. Moore总结了集成度随年份增长的数据，得出了上面的结论——摩尔定
律。即每一芯片集成的元件数目平均每年增加一倍(乘2定律)。图(1-1)是每个芯片集成



图(1-1) 集成度随年份增长的曲线



图(1-2) 集成电路集成度的提高与计算机性能的关系

的元件数目随年份增长的实际曲线。预期这样的趋势还会发展下去。

集成度的提高使得集成电路的成本下降，可靠性提高，性能改善。同时也使系统设备例如计算机上的述指标得以改善，并且降低了系统设备的重量和体积，维修方便。有人将集成电路的发展与第一次工业革命的蒸气机发明相提并论。集成电路作为新技术革命的基石，对各行各业都起到极大的推动作用。

集成电路的飞速发展促进了计算机工业的发展。图(1-2)给出了随着集成度的提高，微型计算机及小型机信息处理速度的实际增长趋势。

反过来，计算机的出现也成为集成电路辅助设计，辅助制造和辅助测试(CAD/CAM/CAT)的有力工具。而集成电路辅助设计(IC CAD)正是本书阐述的内容。

1.1 超大规模集成电路(VLSI)系统的设计方法

随着VLSI集成度的不断提高。设计成本和设计周期已成为集成电路，尤其是超大规模集成电路的产品成本及周期的主要部分。对于VLSI电路。人工设计的周期以人年计算而且极易出错。对于IC CAD来说，就是需要在尽可能短的周期内设计出没有错误的极其复杂的VLIS电路。

计算机辅助设计与人工设计在策略上不同点在于, IC CAD 不可能对每个晶体管都进行优化,重要的是使设计便于处理,高度的复杂性而不出错。全局的优化要重于局部的优化,重点不在将每一个积木块设计成最小面积,而在于使其形状,尺寸最适合于总的布局,使引线所占面积尽可能小。而人工设计的着重点则为局部的优化,包括电路功能和版图拓扑的优化。但其设计周期长,极易出错。

一个复杂的 VLSI 电路,可以逐级分解为较简单的功能,直至达到可以进行高效设计的足够简单的功能块。每一级所要完成的功能以及上一级与下一级的接口均有严格的规定。这种过程称为“自顶向下”设计(top-down)。

另一种是由事先设计好的积木块,逐级组合,直至实现 VLSI 的总体功能。同样,每一级的功能及尺寸以及与上、下级间接口均有严格定义。称为“由底向上”设计过程(bottom-up)。

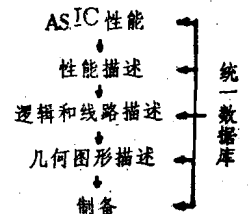
理想的情况是: VLSI 的性能行为描述、综合,模拟和测试应采用“自顶向下”方式进行逻辑结构的设计。而 VLSI 芯片的划分、布局、布线及版图分析验证则应采用“由底向上”方法对其几何图形进行设计,事实上,VLSI 的积木块往往是由 LSIC3 大规模集成电路组合而成,而 LSI 本身又是由 MSI(中规模集成)的单元组装而成,而 MSI 单元则经过了细致的功能及版图的设计、验证、甚至实践的检验。

上述思想实际上是一种设计自动化(DA)技术,在解决了设计方法之后,加以计算机辅助设计的工具,使 DA 技术付诸以实现。

DA 技术的设计方法是复杂性管理的问题。普遍推荐的是一种分层分级的设计原理。也就是将复杂的 VLSI 功能分解为一系列复杂性级别较低的问题。图(1-3)是 VLSI 分层次设计的原理图。图(1-3)给出了一个 VLSI 设计的三个主要层次。它们是:

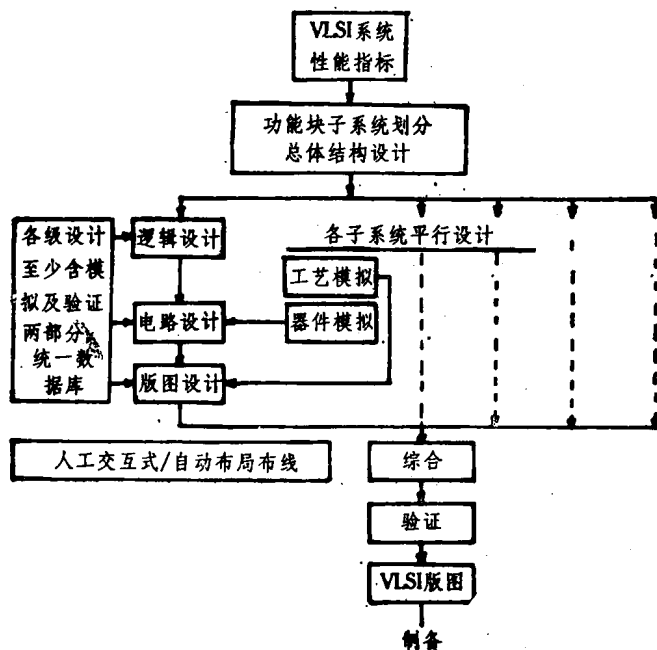
- (1) VLSI 电路系统的功能结构设计。即图(1-3)中的 VLSI 性能指标和性能描述。
- (2) 逻辑和电路的结构设计。即图(1-3)中的逻辑和电路的设计描述。
- (3) 几何版图结构设计。即图(1-3)中的几何图形设计描述。

在分层分级的设计中,最高一级是总体结构设计。在这一级设计中,要确定所设计的 VLSI 系统的总的设计格式。通过对系统的分析来确定功能块的划分。功能块划分的原则应该是既要使功能块之间连接线尽可能少,又要求功能块规模合理,便于各个功能块由设计组成员各自同时设计。在这一方面,目前尚没有成熟的自动设计软件。正在发展中的软件,主要是人机交互式的辅助设计工具。



确定功能划分后,将各功能块排列成一张总体的平面布置图,它清楚地给出了所设计的 VLSI 芯片的功能划分,预测了各个功能块的大体尺寸,形状,电源线按排以及相互间接口关系和输入/输出要求等,同时给出全芯片的尺寸。换句话说,总体结构设计不但给出了功能的层次结构(并行或串行结构),同时给出了版图的层次结构。

目前, VLSI 设计离设计自动化还有一段距离。例如还没有真正实现自动逻辑综合。所以现在的主要工作还只是将各级 CAD(或 CAA, 计算机辅助分析)软件,如逻辑模拟、电路模拟、版图自动设计,测试分析及工艺模拟等组织为统一的 CAD 系统,由统一的数据库加以管理。各级之间的接口及描述语言统一加以考虑。这样的 CAD 系统比仅采用人机交互式图形编辑的设计方式,效率可提高十倍以上,设计正确性也大为提高。图(1-4)是目前 VLSI CAD 设计过程示意图。



图(1-4) VLSI设计流程

1.2 VLSI CAD 的软件内容

从图(1-4)可以看出,在VLSI CAD的各个阶段,有不同的CAD软件。如在逻辑设计阶段有逻辑综合、逻辑模拟、逻辑图的自动输入等软件;电路设计阶段有电路分析,时域分析等软件;版图设计阶段有逻辑划分,自动布局、布线等软件;工艺设计时有工艺模拟,器件设计时有器件分析等软件。各部分软件所处理的信息都有统一数据库管理。

1.2.1 设计阶段的逻辑处理

通常,数字系统及逻辑设计是由人们根据门级开关理论来设计。随着VLSI设计自动化的出现,希望在逻辑设计的初阶段,把所要设计的数字系统(还不知道内部详细的逻辑关系)用一种适当的语言加以描述,将其逐级分解,导出最简或最优化的逻辑网络,这就是自动逻辑综合。

自动逻辑综合主要是围绕如何提高数字系统的抽象程度而发展的。实现逻辑综合有这样几种方法:

(1)将所要实现的数字系统中的组合逻辑部分最小化为两级网络来表示,即“与非”和“或非”这二级,这样得到的逻辑电路比较简洁,代价也小。但这种算法的时间与数字系统的复杂程度常常成指数关系,因此在实际中不大常用。

(2)将所实现的数字系统用一些“宏结构”经过连接来实现。在系统设计时,数据处理部分由“宏结构”来实现(如多路转换器,算逻部件等),而控制部分常用PLA或微程序来实现。这种方法设计比较简单,数字系统的模块化功能较强,且电路比较规整。不足之处是结构不够紧凑,有时可能造成硬件上的浪费,而且需要“宏结构”数据库。

(3)将高层的系统描述逐步地转换成与实现技术有关的硬件。这种方法就是将数字系统看作一个功能部件图。转换的任务就是不断地对这个图细化,并不断地使其软件实现。

三种方法各有特点,在实际应用中往往溶合了几种方法。方法2和方法3是实现逻辑综合时使用较多的方法,有时为了使产生软件的代价尽可能小,也引进一些方法1的思想。

逻辑综合作为数字系统计算机辅助设计的一个重要部分,是目前研究的活跃区域。现在一般的逻辑设计还是由人工进行。

1.2.2 逻辑模拟

逻辑模拟就是根据已设计好的逻辑图,用硬件描述语言将逻辑图的逻辑元件及它们的连接关系输入到计算机内,也有直接输入逻辑图,再编译成硬件描述语言。然后根据指定输入波形,通过逻辑模拟软件,对各节点及输出端的波形进行检查,以确定其正确性,排除在逻辑设计中常遇到的竞争、冒险等潜在问题。

按照以何种逻辑元件为基本逻辑单元的思想,逻辑模拟大至可分寄存器级、门级和功能级三类。

寄存器级的逻辑模拟,模拟数字系统中数据在各个寄存器中的传输,以检查数字系统总体操作的正确性。

门级的逻辑模拟以门及触发器为基本逻辑单元,模拟逻辑设计中各节点的逻辑波形以检验设计的正确性。

功能级的逻辑模拟,根据设计者的愿望,可以确定一些性能经过确证的较大的功能部件如计数器,寄存器等作为基本逻辑单元,模拟它们各节点的逻辑波形,以确定设计的正确性。

还有以晶体管为基础的开关级逻辑模拟。它的优点是,电路不必转换成所规定的各种逻辑元件即可进行模拟,也不必人为定义逻辑门的延迟时间等,逻辑模拟直接从电路的结构尺寸及版图萃取的结果计算。故结果较为精确。

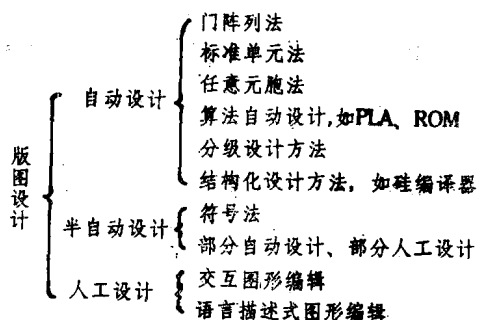
逻辑模拟主要有两个目的:一是验证逻辑设计的正确性;二是进行故障模拟,产生故障诊断的测试码。

1.2.3 电路分析

电路分析的目的确定电路性能(如直流特性、开关特性等)的电路结构和元件参数。同时还应考虑由于环境变化,制造工艺偏差所引起的性能变化。电路分析是根据预先所设计的电路和给定的元件参数,进行性能模拟和分析,并给出模拟结果,最后由设计者来确定修改与否。

1.2.4 版图设计

在逻辑设计和电路设计完成后,就进入掩膜设计和制造阶段。它要根据逻辑和电路功能要求以及工艺制造的约束条件如线宽、间距等工艺标准来设计掩膜图。在计算机辅助版图设计方面的软件品种较多,就其工作方式来分,大体可分为三大类:自动设计,半自动设计和人工设计。每一类还可以分若干小类,如图(1-5)所示。



图(1-5) 版图设计阶段各种CAD软件

人工设计的版图图形密度高,芯片面积小,优化程度好。但设计周期长,费用高。自动设计的版图图形密度低,芯片面积大,优化程度不如人工设计。但设计周期短,设计可靠性高,费用低。通常,批量产品如存储器,微处理机,钟表电路等产

量大的通用产品，常选择人工设计方式的 CAD 软件。而品种多，数量少，时间性强的专用电路，则多采用自动设计方式的 CAD 软件。

1.2.5 工艺模拟

工艺模拟是在没有正式流水之前，经过模拟得到各主要工艺流程的参数，然后再进行试投，根据具体情况进行修正并完成工艺设计。

工艺模拟程序可以模拟六种主要工艺：离子注入、沉淀积、氧化和再扩散、外延生长、低温淀积及腐蚀。这些工艺可单独分别模拟，也可以连续相继模拟。前者相当于各个独立的工艺试验，后者相当于一个完整的制造工艺过程。模拟结果可以输出杂质在硅及二氧化硅中的分布，n型及p型层的结深，各层的薄层电阻及阈值电压等。

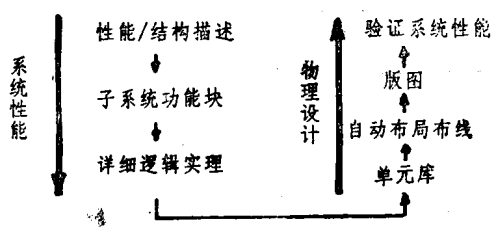
通常，工艺模拟不包含在 VLSI CAD 的系统中，所以本书不作介绍。

1.3 VLSI CAD 系统和硅编译器(silicon compiler)

VLSI 设计自动化的关键，就是将 VLSI 的性能描述自动转换成版面结构描述。这方面的工作，至今仍然处于初级阶段。具有代表性的就是被称为“硅编译器”的设计自动化系统。

图(1-6)是 VLSI CAD 软件系统的示意图，它具体体现了“自顶向下”和“由底向上”的设计自动化的思想。图左边的系统性能采用了“自顶向下”的方法，将系统最终分解成为最低一级的逻辑实现，每级之间都有严格的接口约定。每一级也有自身的验证来保证该级的正确性。对于物理设计，则是从单元库开始，根据详细逻辑实现的要求，从库中提取所需要的单元，经过自动布局布线后生成版图，最终从版图提取信息再对系统进行性能验证，完成 VLSI CAD 的大循环。

目前，这类 CAD 系统的发展方向有：第一尽可能完善内容，例如在图(1-6)的基础上再结合进总体结构设计，工艺模拟，测试等；第二改进算法，增加优化程度，尽可能减少芯片面积；第三改进软件结构，提高设计效率，缩短设计周期。



图(1-6) “自顶向下”和“由底向上”的设计自动化

硅编译器是 VLSI 设计自动化的代表。它可以定义为：将一个 VLSI 系统的行为描述（高级描述）或其他较高级的描述，自动转换为版图数据的几何结构描述语言的低级描述。输入语言的级别越高，对于 VLSI 系统设计的通用性越强，则硅编译器的研制越困难。

硅编译器可以粗略地分成为逐步改进法和连续分解法两大类。

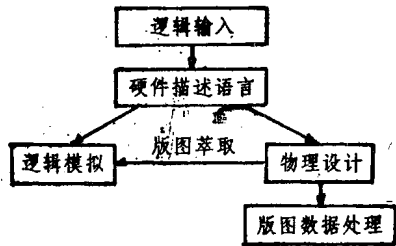
逐步改进法实质上是传统的标准单元法的通用化。它可以采用相当复杂的电路作为单元，称为“宏单元”(Macro cell)和“巨单元”(Mega cell)。这些单元还可以是参数化的元件，即根据设计者输入的参数，自动给出满足这些参数的单元。例如：ROM、PLA 等。硅编译器中的程序将这些宏单元联结起来，形成所要求的系统。不过，从较高级描述直接产生这样的自动连线的软件，除一些特殊例子外，尚未解决。

这种技术，在版图（互连）设计和功能块单元设计间有明确的界线。因此，必须留出足够的空间供互连之用。因此，芯片的性能必然会下降。

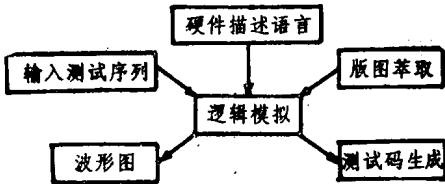
“连续分解法”是把高级的系统行为性能描述(模型)通过一些中间级分解到版图级。中间级的引入完全是为帮助设计者处理复杂性问题。中间级可多可少,由复杂性管理决定。只有版图级是必要的。中间级可以是最高一级的算法描述,寄存器转移级,功能块级,符号单元级到版图级。在这里,功能设计和版图设计平行进行,允许设计者对分解阶段的任何一级进行干涉以优化其设计,尤其是可以对于关键的部分给予足够的注意。这不仅会缩小硅片面积而且有利于设计者发挥创造性。

下面以英国 ESS 公司(European Silicon Structures)的硅编译器 SOLO 系统为例,简单介绍其系统结构。

图(1-7)为系统的总流程图。在逻辑输入中,一种是直接用硬件描述语言的方式写入。另一种是利用图形编辑功能以逻辑图直接输入,这种方式直观、简洁并不易出错。逻辑图输入后将其翻译成硬件描述语言。通过硬件描述语言分向逻辑模拟和物理设计两大分支。

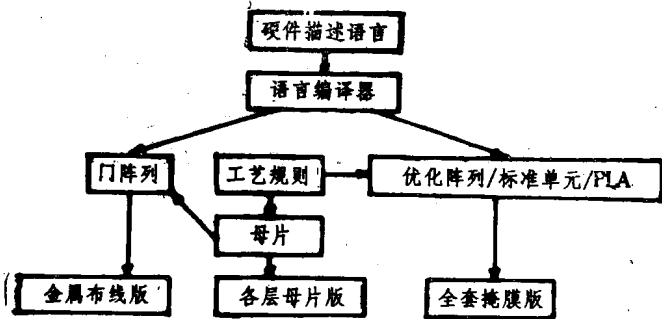


图(1-7) SOLO总流程图

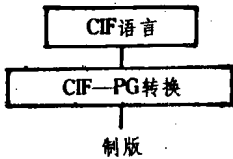


图(1-8) 逻辑模拟

图(1-8)为逻辑模拟的过程。逻辑模拟的主要功能是对硬件描述语言所描述的系统进行逻辑验证,即根据提供的输入驱动序列,如时钟,数据等,和由物理设计所萃取的数据如管子的宽长比、驱动能力及负载情况等对系数进行模拟,最终产生对应于输入情况的输出波形,从而验证系统的逻辑关系乃至时序的准确性。同时还将产生一组包含输入驱动与输出关系的测试序列。这些测试序列用于计算机辅助测试用。



图(1-9) 物理设计



图(1-10) CIF-PG转换

物理设计的过程如图(1-9)所示。物理设计是在接受了系统的硬件描述语言后,根据设计者对电路版图结构的不同要求(门阵列、标准单元、优化阵列设计等)进行自动布局布线,产生各层版图,以 CIF 语言的形式输出。

在物理设计方面几乎大多数研究者都将自动布局布线作为核心研究内容,力图使版图能达到最佳的优化布局和布线。发展了很多新的算法,使布线区与有源区的比例进一步缩小,也使图版的设计更加智能化,在物理设计的另一方面是工艺编辑,它可以使设计者根据不同

的设计规则改变版图各层次的尺寸与间距。

在逻辑图输入, 逻辑模拟和物理设计的过程中都使用统一的数据库, 数据库对设计的全过程进行管理, 使上下级之间都有严格的接口定义。同时还有一个很庞大的单元库, 作为设计的资源。

就目前的 VLSI CAD 的版图设计水平而言, 还是将输入/输出缓冲口与系统的内部逻辑分开, 就象人工设计集成电路一样, 先根据逻辑设计内部的电路, 再根据输出驱动等要求设计输出驱动和输入保护。VLSI CAD 的也是这样, 只不过是输入/输出单元与内部逻辑单元截然分开。输入/输出单元只完成输入/输出所需要的功能, 内部单元则是许多逻辑门组成, 通常象一个完整的4000系列。

单元库中的单元都是经过验证的, 每一个单元都必须具有逻辑符号, 逻辑性能和物理实现三部分内容, 并具有可扩展的功能。

最后一步是版图的数据处理, 它是将 CIF 格式转换成各类制版设备和绘图设备能够接受的语言, 过程如图(1-10)所示。

参 考 资 料

- [1] 童勤义: 超大规模集成物理学导论, 电子工业出版社, 1988.
- [2] C. 米德, L. 加威: 超大规模集成电路系统导论, 科学出版社, 1986.
- [3] 洪先龙, 吴启明: 大规模集成电路计算机辅助设计, 上海科学技术出版社, 1986

第2章 面向应用的专用路

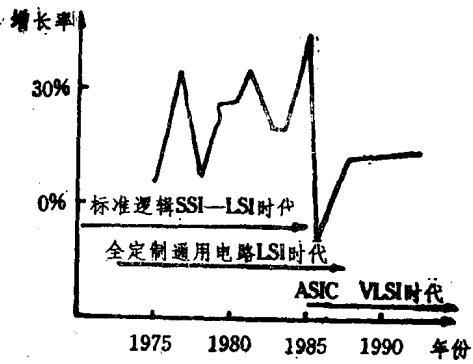
从1985年起,国际上集成电路的发展已进入“面向特定应用的集成电路”(ASIC)阶段。其特点是针对某一应用或某一顾客的特殊要求而设计制备品种多,单片功能强,批量小的专用集成电路。ASIC是集成电路技术应用的主要领域及发展的主要方向。

集成电路就其应用领域而言,可以分为通用电路和专用电路两大类。通用电路(general purpose IC或multi-purpose IC)是为多种应用设计的集成电路,例如存储器和微处理器等。专用电路(Application Specific IC简写ASIC)是针对某一个应用而专门设计的集成电路。

通用电路与专用电路的界线并不十分明显,用集成电路的生产量和需求量来区分显然是一种方法。所以,一般把多品种,小批量的集成电路划为专用集成电路。过去,小规模集成电路作为标准功能块几乎可以用于制造任何数字系数,所以它们能广泛应用,然而随着集成度的不断增加,稍许复杂一些的集成电路就会变得专业化,缺少通用性。现在,人们生活步调不断地加快引起了各行各业节奏也不断加快。例如集成电路的集成度以每一年半翻一番的速度进展,仪器仪表的更换周期也缩短到五年左右,由于集成电路的增加,可能在一个芯片上实现一个较完整的系统,而这类集成电路的需求量不是很大,这就形成了专用电路得以发展的条件。有人统计,到1990年在国际市场上,专用电路将占大规模集成电路产量的一半以上。

随着专用电路集成度的提高,其复杂程度也成倍增加,所以设计成本和设计周期也就成为大规模专用电路产品成本和同期的主要部分。例如,用人工设计加以人机交互式计算机图形辅助的技术而言,一个含有 10^4 管子的随机逻辑的集成电路,需要2人年完成设计。随着集成度的进一步的提高,即复杂性进一步增加,设计时间不是线性而是指数地增加,因此,设计一个含有 10^5 管子的随机逻辑集成电路,需要60人年而不是20个人年。在实际的集成电路中,16位微处理器M68000花费52人年完成设计;Intel 8086微处理器,仅版图设计一项,即花费13人年。对于这样高昂的设计成本及持久的设计周期,只有象微处理器这样少数VLSI产品可以承受。因为这些产品要求性能高,同时,其产量很大,市场有保证。一般估计,产量大于每年 10^5 个电路,才可采用以上人工方法设计,这种情况,显然极大地限制了品种多而批量小,为数众多的VLSI产品的开发和应用。换句话说,只有降低设计成本和缩短设计周期(两者本身是联系在一起的),VLSI才能得到广泛应用。

ASIC的设计方法紧密结合了用户。用户只要了解一般的CAD知识,就可以根据需要进行自行设计所需的电路,完善了为用户设计的思想,据统计,目前世界上进行集成电路设计的厂有2000家,而整机设计的厂却有20万家,有了专用电路CAD设计方法,就改善了整机厂和电路之间的供需关系和矛盾。所有针对门阵列,标准单元这一市场潜力,世界各国的集成电路厂家纷纷投入力量,发展系列产品。仅美、日两国门阵列及标准单元的年增长速度达50~60%,预期到1992年世界市场达130亿美元。图2-1分绘出了世界集成电路产量增长率与年份的关系。



图(2-1) 世界集成电路产量增长率与年份关系

从图(2-1)可以看出,全世界集成电路产量的增长率起伏不定,有时甚至出现负增长。这是由于品种有限的通用电路市场趋向饱和(例如存储器,微处理器,钟表电路,电视机及录象机的电路等结果。)与此相反,在第三阶段中,ASIC的年增长率预计将会稳定在20~30%左右。ASIC面向某一特定用户或特定应用的特殊要求,品种多,批量少,功能强。它的出现是由集成电路的特点所决定。集成电路技术的特点之一是与各行各业的相

关率高达100%;同时,超大规模集成电路表示一种能力,不是一种产品,因而其进一步发展主要取决于应用。

集成电路制备工艺的一个突出的特点就是一种工艺可以制备无数种不同设计的集成电路。不同集成电路的设计,只是体现在硅片上集成电路图形的不同,即设计不同图形的光刻掩膜版。设计电路时,只需要遵守某种工艺的“设计规划”即可,这种与制备集成电路工艺线相应的“设计规则”,给出了该工艺所具有的图形精度和分辨率,“设计规划”给出了设计电路时应遵守的一组允许的最小几何关系。有了这组设计规划,电路设计者不需要了解具体工艺制备细节,就可以设计出各种各样的集成电路图形。工艺制备者不需要了解所制电路的具体细节,即可以成功地制备出该种电路来。这使设计者与制备者的分工更加明确,而联系则更加紧密。

ASIC的发展将会引起半导体产业的深刻变革。传统的大生产采用的单一优化工艺改变成多功能的兼容工艺,以适应ASIC多品种与多功能的需要。集成电路制备工厂将逐步演变为包括电路系统设计、ASIC设计及兼容工艺的所谓“垂直集成”工厂。工艺工厂则可能成为“硅片印刷厂”,犹如印刷工厂出版各种书籍一样,提供流水服务,为用户制备ASIC。

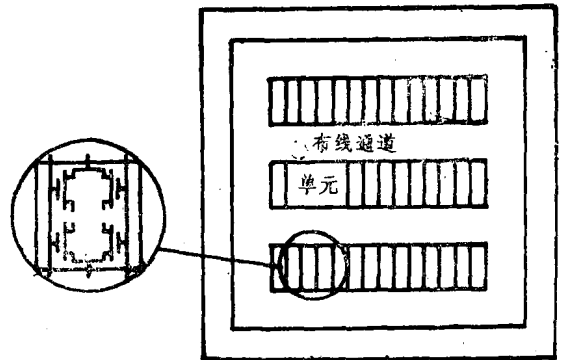
ASIC正在迅速成为集成电路产品的主要部分。所以,电路设计自动化和版图设计自动化已成为ASIC设计的主要工具,它直接决定了ASIC的成本、性能和研制周期。80年代初,符号法的CAD方法,可使设计效率提高到每人每天近200个元件。这种CAD方法,采用人工优化设计集成电路中每一个元件及布局布线。

ASIC的设计方法分为全定制设计和半定制设计两种。全定制设计方法是设计工艺所需要的全套掩膜版,有标准单元法,功能块设计法,优化阵列法等,半定制设计方法是只设计全套掩膜版中的一块或数块,典型的方法有门阵列法和可编程逻辑阵列(PLA)法等。

2.1 门阵列(GATE ARRAY)

门阵列集成电路设计方法是一种母片式半定制技术。

它是预先将除了金属布线之前的制造过程全部完成,这样的半成品称为母片。母片可以以大规模生产的方式制造并保存起来。根据不同的需要设计不同的金属连线光刻版,钝化测试后封装形成专用集成电路。



图(2-2) 典型门阵列版图

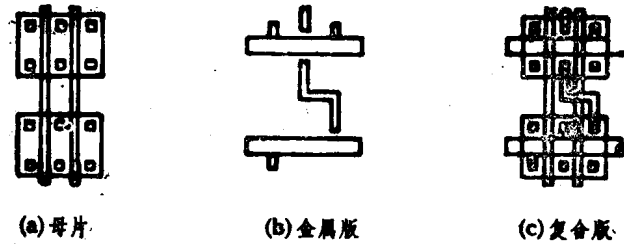
图(2-2)为典型的门阵列版图。它基本分成三部分,围绕在芯片四周的是作为输入和输出接口的I/O电路(包括压焊块);芯片内部由有源区和布线通道区组成。

2.1.1 有源区结构

图(2-3a)给出了四管CMOS门阵列的有源区单元结构。它由上面和下面各二只PMOS管和NMOS管组成。两条多晶硅为PMOS管和NMOS管所组成CMOS对的栅。这样的结构可以组成CMOS集成电路中的基本门电路,如倒相器、与非门、或非门或传输门等。图(2-3b)就是一个二输入端与非门的金属光刻掩膜版。图(2-3c)为经过反刻的版图结构,上、下有电源线 V_{DD} 和地线 V_{SS} 分别穿过PMOS管区和NMOS管区。

习惯上,我们称这样一种可以构成二输入或非门或者与非门(四管单元结构)为一个“门”在有源区中,这样的门重复排列成行和列。如每行有20个门组成,共10列,那么就称之为200门的门阵列。实际上包含了800只MOS管。

单元结构可以由一个门组成,也可以由更多的门组成。图(2-4)给出了一种实用的2.5门单元结构,它的左边由三对CMOS管组成,可以连接成三输入以下的逻辑门,右边二



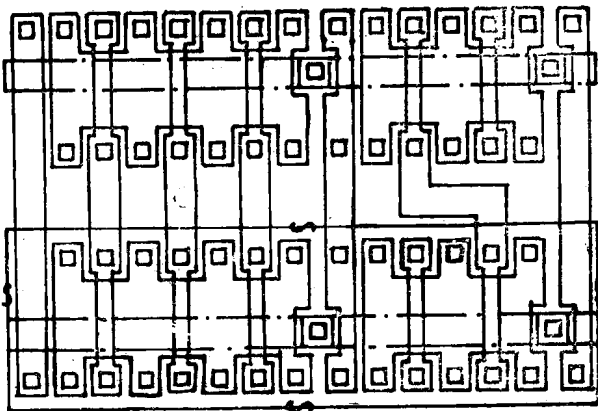
图(2-3) 四管单元的二输入端与非门

对CMOS管,其中一对的栅交叉相接,另一对则不接,这样可以十分便利地连接成CMOS传输门的形式,对于接成触发器逻辑则特别适用。在单元内部还有三条多晶硅通道,作为垂直连线时用。

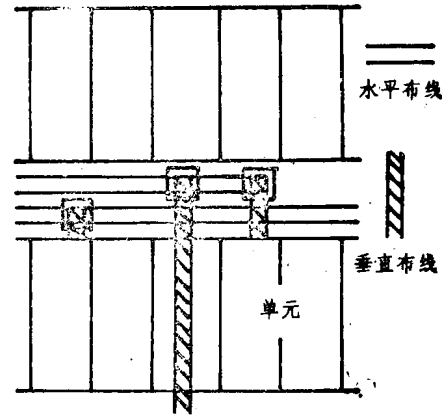
2.1.2 布线通道

在两个有源区单元之间留有布线通道区域。布线通道的线网将各单元的基本逻辑单元连接成一个完整的电路系统。

布线通道内分水平线网和垂直线网两类。在双层金属布线中,水平线网和垂直线网均由金属(如硅铝合金)组成,水平线网和垂直线网需要连通的地方由通孔连接。在单层金属布线中,通常水平线网为金属,垂直线网为多晶硅或扩散区。图(2-5)为单层金属布线结构,在200门的门阵列中,水平线网一般留有6~8根布线区。门阵列的规模越大,留有的布线区就应该越多。



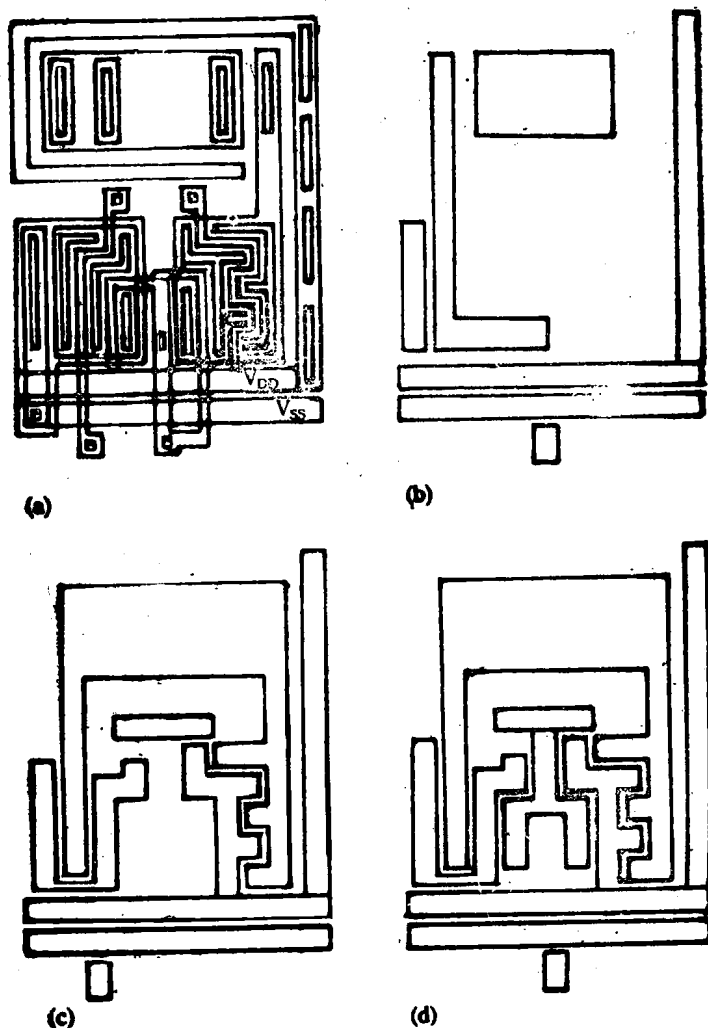
图(2-4) 10管门阵列单元结构



图(2-5) 布线通道

2.1.3 输入/输出压焊块(I/O PAD)

输入/输出压焊块是连接芯片内部电路压焊到管壳的功能块。它至少要具备三个功能,即通过改变金属布线使之达到输入,输出和电源(地)线压焊块的功能。图(2-5a)为一种I/O PAD的版图。它包括了下边的器件部分和上边的压焊块部分。

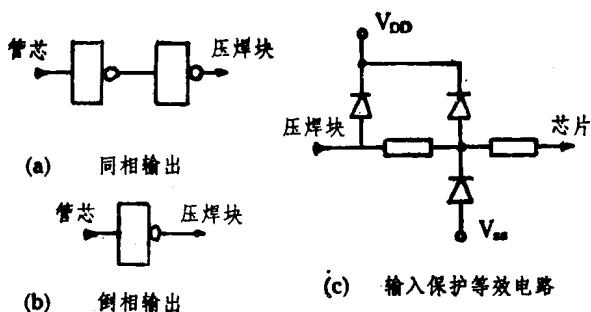


图(2-6) 输入/输出压焊块版图

当作为输入时,要起到输入保护的作用。

金属光刻掩膜版的图形如图(2-6b)所示,利用p⁻阱和多晶硅区形成二只保护电阻,由于金属通过P⁻阱压焊区和NMOS管区,形成了双向保护结构,其等效电路如图(2-7c)所示。

当作为输出时,I/O PAD可以构成同相输出和倒相输出两种状态。如果作为同相输出,则将I/O PAD的两级倒机器串接,金属光刻掩膜版的图形如图(2-6a)所示。如果作为倒相输出,则只接I/O PAD的后一级倒相器,金属光刻掩膜版的图形如图(2-6c)所示。I/O PAD在设计时应具有一定的驱动能



图(2-7) I/O PAD等效电路