Broadview
www.broadview.com.cn

片上系统设计思想与源代码分析

陈曦 黄毅 著

容纳最新片上系统设计和验证方法，
市场上**唯一**讲述片上系统的设计思想并**分析源代码**的图书。

電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
http://www.phei.com.cn

片上系统设计思想与源代码分析

陈曦 黄毅 著

電子工業出版社
Publishing House of Electronics Industry
北京•BEIJING

内 容 简 介

片上系统是一个完整的系统，包括多个子模块，许多子模块是 SoC 必备模块。整个 SoC 的设计和这些子模块的设计已经逐渐形成了明确的设计思想和方法。本书将片上系统最常见的模块组织起来构成完整的 SoC（DemoSoC），并以 DemoSoC 为例，讲述片上系统的设计思想和最新的设计方法学。在最后几章，对 DemoSoC 进行了完善的 FPGA 验证。

图书在版编目（CIP）数据

片上系统设计思想与源代码分析 / 陈曦，黄毅著. —北京：电子工业出版社，2008.10
ISBN 978-7-121-06951-2

I. 片… II. ①陈… ②黄… III. 集成电路－芯片－设计 IV. TN402

中国版本图书馆 CIP 数据核字（2008）第 090060 号

责任编辑：高洪霞
印　　刷：北京智力达印刷有限公司
装　　订：北京中新伟业印刷有限公司
出版发行：电子工业出版社
　　北京市海淀区万寿路 173 信箱　邮编 100036
开　　本：850×1168　1/16　印张：30.25　字数：788 千字
印　　次：2008 年 10 月第 1 次印刷
印　　数：4000 册　定价：69.00 元（含光盘 1 张）

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

前　言

1965年，摩尔在文章中指出，芯片中的晶体管和电阻的数量每年将会翻一番，原因是工程师可以不断缩小晶体管的体积。这被称为摩尔定律，它意味着半导体的性能与容量将以指数级增长，并且这种增长趋势将延续下去。1975年，摩尔又修正了摩尔定律，他认为，每隔24个月，晶体管的数量将翻一番。这篇文章发表的时候，芯片上的元件大约只有60种，而现在，英特尔最新的Itanium芯片上有17亿个硅晶体管。历史证明了摩尔定律的正确性。目前，主流集成电路设计已经达到0.18μm～0.13μm，高端设计已经进入90nm和45nm，Altera公司在2008年5月推出了40nm的FPGA芯片，芯片集成度达到108～109数量级。根据ITRS（International Technology Roadmap for Semiconductor）公布的预测结果，2010年将实现45nm，2013年将实现32nm，2016年将实现22nm量产。

片上系统的最初概念是将包括存储器、信号采集和转换电路、CPU核等模拟、数字和混合电路构成的一个完整的电子系统集成到一个芯片上。单处理器片上系统，如S3C2410、AT9200之类的芯片早已为大家所熟悉，而越来越多的片上系统正在配备多个处理器，我们已经从第一代的单核片上系统时代进入多核片上系统时代。多核片上系统时代有几个主要特征，分别为单个芯片内常常嵌入多个处理器；片内总线日趋复杂并逐渐被片上网络代替；更多的IP被复用；电子系统级设计和验证方法、低功耗设计、可制造性设计和可测性设计越来越重要。

芯片设计的复杂度在增加，而设计语言和设计方法学也在不断发展。历史上使用最广泛的硬件描述语言为VHDL和Verilog，它们最初分别由Open Verilog International和VHDL International两个组织维护和发展。这两个组织于2000年合并成立了Accellera组织，并发展了SystemVerilog语言。SystemVerilog集成了VHDL和Verilog各自的优点，并扩展了面向对象的功能，使它们支持抽象数据类型，从而具有系统描述能力。

SystemVerilog的基本语法仍然是Verilog，因此也被称为Verilog 3.0版本（Verilog 2001为2.0版本）。由于SystemVerilog在验证、RTL设计和系统描述方面的突出优势，人们将SystemVerilog称为系统设计和验证语言。硬件描述语言的另外一个重要发展是SystemC，该语言由OSCI组织进行维护和发展。SystemC本质上是一个C++扩展库，它使得C++支持硬件描述。SystemC在Synopsys等一批大公司的支持下得到了很大的发展，现在已经成为很多EDA工具除VHDL和SystemVerilog/Verilog之外的第三种支持语言。由于其开放性等特点，已经得到全世界工程师的欢迎和认可，许多大公司都推出了SystemC的开发工具。SystemC的最突出优势是系统描述和验证，它使得现代SoC的最初验证软件可以轻松地移植到最终产品上，而不像SystemVerilog那样必须完全重写。SystemC被人们称为系统级设计语言。

虽然SystemC与SystemVerilog同时支持RTL设计和系统验证，业界普遍认为SystemC与SystemVerilog刚好构成互补的关系。SystemVerilog的优势在于简洁明了、高效的RTL描述能力，而SystemC的优势在于其系统级描述能力。软件工程师通常都是C++高手，验证平台中的SystemC软件代码可以轻松地被他们移植到最终产品上。目前，SystemVerilog已经成为IEEE P1800-2005标准，而SystemC成为IEEE P1666标准，SystemC和SystemVerilog已经成为仿真器和综合器广泛支持的语言。SystemC和SystemVerilog相结合，提供了当今芯片设计和验证所需的一套从ESL至RTL设计流程的标准解决方案。通过将SystemC和SystemVerilog结合到一个单一的验证环境中，可以高效地建立和验证分析体系结构所需要的事务处理级虚拟原型，并在设计工作的早期开发内嵌的软件，并最终导致现

代片上系统设计效率的大幅度提高。

片上系统是一个完整的系统，包括多个子模块，许多子模块是 SoC 必备模块。整个 SoC 的设计和这些子模块的设计已经逐渐形成了明确的设计思想和方法。在本书中，将片上系统中最常见的模块组织起来构成一个完整的 SoC，该 SoC 被命名为 DemoSoC。本书以 DemoSoC 为例，讲述片上系统的设计思想和最新的设计方法学。

笔者将 DemoSoC 进行了完善的 FPGA 验证，所使用的验证板来源于 http://www.socstart.cn，部分演示应用穿插在在本书的各个章节中，更多更新的演示应用可以从 http://www.socstart.cn 找到。DemoSoC 的部分源代码，包括 32 位的 OpenRISC 处理器（测试数据表明该处理器的性能在同频率的 ARM7 到 ARM9 之间）、PCI Host、USB Host+Device 等来自于 http://www.opencores.org，读者可以根据 GPL 版权规定进行自由商用，其他代码都是作者自己完成的，读者可自由用于学习和学术用途，但如果希望商用，请通过 email 通知本书作者：chenxi01@ict.ac.cn。

陈　曦

二〇〇八年三月一日于中科院计算所

目　录

第 1 章　片上系统概述

本章主要内容

本章作为开篇，讲述集成电路工艺技术和集成电路设计方法的发展、讲述片上系统的基础知识及基本概念，并在此基础上，引出 DemoSoC 的架构设计，后续章节中将对其设计细节进行进一步分析。

1.1　片上系统的基础知识

1.1.1　集成电路技术的发展

与分立元件相比，集成电路将晶体管、电阻、电容、二极管等电子组件整合装至一块芯片（chip）上，由于集成电路的体积极小，使载流子运动的距离大幅缩小，因此速度更快且可靠性更高。在集成电路的发展初期，集成电路的种类一般是以内含晶体管等电子组件的数量来划分，其分类如下：

MSI（中型集成电路），晶体管数 100～1 000；

LSI（大规模集成电路），晶体管数 1 000～10 0000；

VLSI（超大规模集成电路），晶体管数 100 000 以上。

然而集成电路的发展一直遵循摩尔指示的规律推进，即工艺特征尺寸大约每 18 个月减小一倍，集成度大约每 18 个月翻一番，至今已有 40 年的历史。在 VLSI 之后，就再也没有出现过被广为接受的以晶体管个数形式命名的集成电路类型划分名称。如今，集成电路已经进入深亚微米阶段，国外主流设计工艺尺寸已经达到 90nm，最新工艺尺寸已达到 40 nm，国内也发展到了 0.13um，单芯片可集成的晶体管数已经超过千万。由于信息市场的需求和微电子自身的发展，引发了以微细加工（集成电路特征尺寸不断缩小）为主要特征的多种工艺集成技术和面向应用的系统级芯片的发展。

随着半导体产业进入超深亚微米乃至纳米加工时代，在单一集成电路芯片上就可以实现一个复杂的电子系统，诸如手机芯片、数字电视芯片、DVD 芯片等，这就是片上系统 SoC（System - on - Chip）。在未来几年内，有上亿个晶体管、几千万个逻辑门的集成电路都可望在单一芯片上实现。

1.1.2　片上系统基本概念

片上系统技术始于 20 世纪 90 年代中期，随着半导体工艺技术的发展，IC 设计者能够将愈来愈复杂的功能集成到单硅片上，SoC 正是在集成电路（IC）向集成系统（IS）转变的大方向下产生的。1994 年 Motorola 发布的 FLEX-CORE 系统（用来制作基于 68000 和 PowerPC 的定制微处理器）和 1995 年 LSILogic 公司为 Sony 公司设计的 SoC，可能是基于 IP（Intellectual Property）核完成 SoC 设计的最早报道。由于 SoC 可以充分利用已有的设计积累，从而显著地提高了 ASIC 的设计能力，因此发展非常迅速，引起了工业界和学术界的关注。

片上系统的具体定义为：在单个芯片上集成一个完整的系统，一般包括系统级芯片控制逻辑模块、微处理器/微控制器 CPU 内核模块、数字信号处理器 DSP 模块、嵌入的存储器模块、和外部进行通信的接口模块、含有 ADC/DAC 的模拟前端模块、电源提供和功耗管理模块，是一个具备特定功能、服务于特定市场的软件和硅集成电路的混合体，比如 WLAN 基带芯片、便携式多媒体芯片、DVD 播放机解码芯片等。片上系统产品的成功关键在于需要在正确的时间窗口为目标用户提供令人满意的性能和价格。片上系统常具备以下基本特征。

（1）片上系统应由可设计重用的 IP 核组成，IP 核是具有复杂系统功能、能够独立出售的 VLSI 模块；

（2）片上系统应采用深亚微米以上的工艺技术；

（3）片上系统中可以有多个 MPU、DSP、MCU 或其复合的 IP 核；

（4）片上系统内嵌有系统软件或可载入的用户软件。

1.1.3 集成电路设计方法的发展与进步

最初的集成电路设计都采用逻辑门输入方式，采用卡诺图进行手工化简，设计效率非常低。1985 年 Phil Moorby 发明了 Verilog HDL，1987 年 VHDL 成为 IEEE 标准，这两种语言被用来建模集成电路，使得组合逻辑能够和时序逻辑分开单独优化，进而出现了 Synopsys 的 Design Compiler 这样的寄存器传输级（RTL）综合工具。寄存器传输级综合代表了人类集成电路设计能力的一次重要进步，人类进入了 RTL 时代。

此后，人们一直在寻找能够提供更高设计效率的下一代设计方法学。1999 年，EDA 业界的 Cadence、Synopsys、ARM 等公司共同组织开始设计基于 C++的新的 EDA 语言，从而诞生了 SystemC。在 2006 年，SystemC 成为 IEEE 标准，成为所有 EDA 软件支持的 VHDL、Verilog 之后的第三种自然语言。此间，Verilog 也发展到 3.1 版本，即 SystemVerilog。SystemC 的最大价值在于将通信和功能分开，将人类的集成电路设计时代引入以事务处理级（Transaction level or TL）建模为核心的电子系统级（ESL）时代。正如 Verilog 任务组主席 Cliffcummings 所说，SystemC 的真正价值在于使得高层次综合成为可能。SystemC 正在逐渐为业界所接受，它能够提供更高的设计效率、更高的首次流片成功概率、更有效的设计流程，从而帮助解决集成电路产业面临的爆炸性的复杂度、上市压力（Time to market presure）、飙升的成本等问题。

回首 RTL 时代，除了 RTL 综合外，另外一个重要标志为 FPGA（包括 CPLD）的出现，FPGA 作为 ASIC 原型验证平台芯片、高性能计算芯片、快速上市量少、价格不敏感的应用芯片出现在市场上，目前已经发展到每年 50 亿美元的市值。FPGA 的核心特征在于使得 RTL 综合的结果可以直接运行在芯片上，让人们立即看到运行的结果。在 ESL 时代，人们是否需要一种类似 RTL 时代 FPGA 的芯片，使得 ESL 的综合结果可以直接运行在芯片上，让人们看到运行的结果？在 RTL 时代，硅硬件占据了绝对的主导地位，软件是非常少的。而 ESL 时代，软件正在成为 SoC 的核心，而硅硬件只提供一个执行平台。ESL 的综合结果一部分是硅硬件，它们可以继续在 FPGA 上运行，而 ESL 综合结果的另外一部分甚至是主要部分是嵌入式软件，这部分软件不适合在 FPGA 上运行，它们应该运行在一种更适合软件运行的器件上，这是一种新型的器件，一种与 FPGA 一起共同支持和支撑 ESL 时代的器件，这种器件，在笔者看来，就是以能够执行 gcc 的 C 编译最小 32 位处理器阵列为核心构成的多核处理器，权且称作 SOPA（SystemC Optimized Processing Array），与 FPGA（Field Programmable Gate Array）互补，正如设计语言 SystemC 与 SystemVerilog 之间的互补关系。

1.1.4　片上系统设计中的基本问题

片上系统设计中的基本问题包括以下几点。

1．片上互联问题

片上互联常采用单总线、多总线和片上网络方式。片上总线结构及互联技术，直接影响芯片总体性能发挥。对于单一应用领域，可选用成熟的总线架构，如 AMBA、WISHBONE、CoreConnect；对于系列化或综合性能要求很高的，可进行深入的体系结构研究，构建具有自主特色的总线架构，做精做强，不受制于第三方，与系统同步发展。

2．IP 核复用技术

IP 核分为硬核、软核和固核三种，硬核是指经过预先布局布线且不能由系统设计者修改的 IP 核，通常是 GDSII 格式；软核通常以 HDL RTL 代码形式提交，固核则是 RTL 代码综合后的网表。IP 核应有良好的开发文档和参考手册，包括数据手册、用户使用指南、仿真和重用模型，便于移植。

3．软硬件协同设计技术

由于市场和设计风险的压力，SoC 软硬件协同设计尤为重要。改进软硬件协同设计规范、协同分析、协同设计、协同模拟和协同验证，可大大减少硬件设计风险和缩短嵌入式软件的开发调试时间。同时在协同验证环境中能够及时发现软硬件中所存在的致命问题。

4．先进验证技术

主要分 IP 核验证、IP 核与总线接口兼容性验证和系统级验证三个层次，包括设计概念验证、设计实现验证、设计性能验证、故障模拟、芯片测试等；从验证类型分，有兼容性测试、边角测试、随机测试、真实码测试、回归测试和断言验证等。由于芯片愈来愈复杂，软件仿真开销大，因而硬件仿真验证成为一种重要的验证手段。

5．低功耗设计

降低功耗要从 SoC 多层次立体角度研究电路实现工艺、输入向量控制（IVC）技术、多电压技术、功耗管理技术，以及软（算法）低功耗利用技术等多方面综合解决问题。

6．嵌入式软件移植/开发

包括嵌入式操作系统移植和应用软件开发，软件要便于维护，易读易懂，要具有安全性好、健壮性强、代码执行效率高等特点。

1.2　片上系统 DemoSoC

1.2.1　嵌入式控制器简介

本书将片上系统中最常见的模块组织起来构成一个完整的 SoC，该 SoC 被命名为 DemoSoC，是一个嵌入式控制器。后文将以 DemoSoC 为例讲述片上系统的设计思想和设计方法学。

嵌入式系统是以应用为中心，以计算机技术为基础，并且软硬件可裁剪，适用于应用系统对功能、可靠性、成本、体积、功耗有严格要求的专用计算机系统。它一般由嵌入式微处理器、外围硬件设备、嵌入式操作系统及用户的应用程序 4 部分组成，用于实现对其他设备的控制、监视或管理等功能。

不管是在手机、电视、工业控制设备、网络设备还是在家用微波炉中，都可以看到嵌入式控制技术的影子，嵌入式控制技术已经成功地应用在各种领域中，并且越来越广泛地进入到人们的生活中。

嵌入式控制器是各种嵌入式系统的“心脏”，从 8 位单片机到 32 位多核，嵌入式控制器正变得越来越丰富强大。嵌入式控制器也称作嵌入式微控制器，英文简称 Embedded Controller，全称为 Embedded Microcontroller Unit，因此，嵌入式控制器实际上就是常说的单片机。

嵌入式控制器是一个完整的片上系统，根据特定应用所对应的功能需求的不同而有所不同。本书将以 32 位嵌入式控制器为例，讲述片上系统的设计思想和设计方法学。

1.2.2 片上系统 DemoSoC 的架构

片上系统 DemoSoC 的整体架构如图 1-1 所示。

在 DemoSoC 中，各个模块通过一个高速的系统总线和一个低速的外设总线相连接，这是 SoC 的核心特征之一；在 DemoSoC 中还包括一个 32 位处理器，控制所有外设协调工作，这是 SoC 的核心特征之二。DemoSoC 各个子模块描述如下：

1．32 位开源处理器核 OR1200，处理器核是整个 SoC 的核心控制单元

除 CPU 核外，该处理器内部还集成了定时器（用于操作系统“心跳”中断）、中断控制器、节电控制模块（电源管理模块）。该处理器是哈佛架构，指令和数据分开，分别通过指令总线接口单元（Bus Interface Unit）和数据总线接口单元连接到片上总线，这两个总线接口单元都是总线组设备。

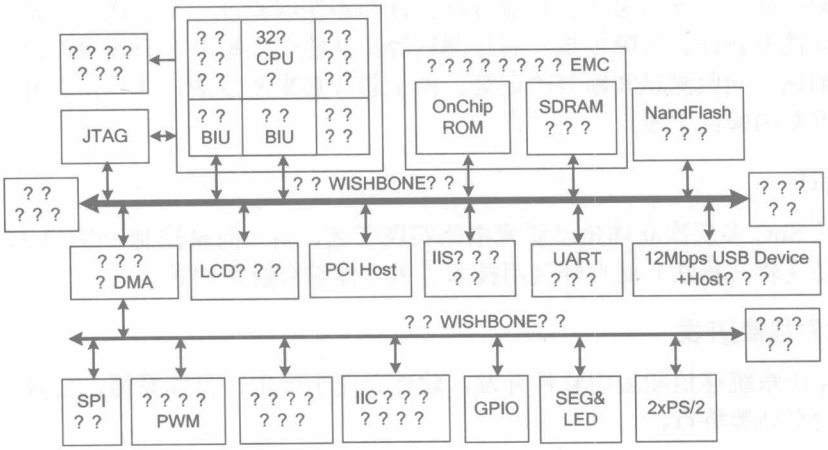

图 1-1　DemoSoC 整体架构

2．NandFlash 控制器

连接到 NandFlash，实现到 NandFlash 的访问。大容量闪存（掉电后数据可保存，加电后可读取和修改）集成电路包括 NorFlash 和 NandFlash 两大类。NorFlash 的写过程复杂，但是读取过程简单，可以当做静态 RAM 来读取，因此可以用做启动 ROM，其缺点是存储容量受限。而 NandFlash 的存储容量非常大，是 U 盘的核心器件，其写入和读取过程复杂度相当，因此一般不能直接用做启动 ROM，必须辅助以其他手段才能用于启动 ROM。后文将详细讲述。

3．外部存储器控制 EMC 模块，其内部包括 SDRAM 控制器和 OnChipROM 控制器

OnChipROM 用于存储处理器启动后执行的最初代码，完成整个系统最基本的初始化工作。RAM

是动态大容量随机存取存储器，其特点是掉电后数据消失。SRAM 与 SDRAM 的区别是 SDRAM 的单个存储单元比 SRAM 面积小，因此 SDRAM 的容量大，读写速度较快，这是高性能计算机系统所需要的。SDRAM 的缺点也是控制相对复杂。SDRAM 与 NandFlash 相互配合，构成了现代高性能嵌入式系统的存储系统。嵌入式系统与 PC 相比较，SDRAM 是内存，而 NandFlash 则等价于硬盘。

4．IIS 音频控制器

IIS 是 Inter-IC Sound 的简写，该接口是数字音频到音频编解码器之间的接口，用于在它们之间传送立体声音频。类似于 IIS，AC97 同样是另外一种音频接口标准。AC97 在个人计算机系统中应用较多，而 IIS 更多的见诸于嵌入式系统。高等级的音频有时采用 SPDIF 接口。

5．12Mbps USB Device+Host 控制器

12Mbps USB 接口最初在 USB 1.1 中定义为全速，而 USB 2.0 在 USB 1.1 的基础上定义了 480Mbps 的高速。在一些文献中也称 12Mbps 是 USB 2.0，这有偷换概念之嫌疑。本书中不再区分 USB 1.1 与 USB 2.0，而直接称为 12Mbps USB Device+Host 控制器。顾名思义，该模块包括 USB 从设备和主设备两个部分。在嵌入式系统中，USB 从设备一般用于取代串口实现更高速度的嵌入式设备与 PC 之间的连接，用于设备调试；而 USB 主设备接口则用于连接一些性能不高的 USB 外设，包括 U 盘和其他设备。在 DemoSoC 中，480Mbps 的高速 USB 设备（包括主设备和从设备）可连接到 PCI Host 接口。

6．总线桥和 DMA

在嵌入式系统中，总线桥和 DMA 虽然不直接连接外部，但也是必不可少的。总线桥的作用是将高速总线和低速总线区分开。在一般的高性能嵌入式系统中，高速总线的速度一般是低速总线的 2 倍、4 倍、8 倍可调节，而 CPU 的时钟频率是高速总线的 1 倍、2 倍、4 倍可调节。这样设计的目的是节省电源。总线桥的第一个核心设计目的是节电，第二个目的是减少高速总线的容性负载，第三个目的是实现高速总线和低速总线的速率解耦，目的三是目的一的代价。总线在一个片上系统中是逻辑最简单、调试最困难的部件之一。DMA 用于在设备之间搬运数据，从而将处理器解放出来处理更重要的任务。一般 DMA 放置于总线桥中，这是因为总线桥是最方便访问两个总线的位置，只有放在总线桥中，DMA 才能最高效，这将在后文中详细讲述。

7．LCD 控制器

根据是否自带显存，LCD 可以分为 RGB 接口 LCD 和智能 LCD。RGB 接口 LCD 不带显存，必须依赖总线主设备上的存储器作为显存，因此，RGB 接口 LCD 控制器模块是一个总线主设备，当显存刷新失败时将产生中断等待处理器进行处理。智能 LCD 自带显存，处理器只根据显示的需要对显存的特定像素寄存器和其他控制器进行简单的操作即可。考虑到显存的价格因素，智能 LCD 更多在低端嵌入式设备中采用，屏幕尺寸一般较小。

8．手机键盘控制器

手机键盘是 4×6 的小型扫描键盘。手机键盘控制器的设计要点在于键盘的防抖。

9．IIC 接口模块

在 DemoSoC 中，IIC 接口用于连接实时时钟控制器。实时时钟是许多便携式嵌入式系统必备的模块。实时时钟控制器通过 IIC 接口与嵌入式控制器相连接。IIC 是 Inter-IC Communication 的缩写，其特点是管脚数只有两个。IIC 已经成为许多嵌入式控制器的必备模块。

10．定时器和 PWM

定时器为系统提供定时功能，如协议的超时，串口速率的自动检测等。PWM 是脉冲宽度调制的

缩写，典型的应用之一为控制 LCD 背光的亮度。PWM 脉冲一般基于定时器产生。

11. JTAG 模块

JTAG 接口模块的用途为在线调试、跟踪、寄存器访问。一方面 JTAG 模块可以取代处理器访问总线上的设备；另一方面，它可以与处理器的开发接口相连接，实现端点、单步、跟踪等调试功能，这些是处理器调试所必需的。

12. SPI 接口模块

SPI 接口的作用为对 LCD 内部控制器芯片、基带芯片等进行初始化。

13. UART 模块

实现 RS232 串口，多用于开发过程的调试，有时也用于数据输入，如全球定位系统（GPS）模块的输出就是通过串口。

14. PS/2 接口模块

连接键盘和鼠标。

15. PCI Host 模块

PCI Host 模块实现 PCI 总线到片内总线的桥接功能，实现 PCI 主设备逻辑，通过 PCI Host 模块，DemoSoC 可以连接到其他具有 PCI 接口的设备，如 RTL8139C 10/100Mbps 自适应以太网、ISP1561 480Mbps USB 从设备等。

16. GPIO 模块

GPIO 模块是通用输入输出接口，可以连接键盘等慢速设备。

17. 复位和时钟模块

理想的复位逻辑是异步产生，同步取消，因而必须对输入的复位信号进行处理，包括去抖动等。时钟模块将主时钟进行合成后产生不同频率的时钟信号供不同的外设使用。

1.2.3 片上系统 DemoSoC 的存储器映射

在一个片上系统中，所有的主和从设备都连接到总线上。所有从设备被映射到相互不重叠的地址空间供主设备访问，从设备地址空间的设计称作片上系统的存储器映射。

除了处理器，其他的主设备首先也是一个从设备，因为它们都有配置寄存器供处理器控制其工作方式和状态。

几乎每一个外设都包括配置寄存器，即使是存储器接口，当支持多种不同类型的存储器时也要进行配置。以 SDRAM 存储器控制器为例，也需要配置寄存器控制器 SDRAM 的工作方式和状态。假设一个 SDRAM 的地址空间为 16MB，即使 SDRAM 控制器的配置寄存器只有一个，为了地址译码的简化或将全部 SDRAM 的空间利用起来，也需要另外一个 16MB 的空间供这一个寄存器使用。当类似的设备较多时，地址空间的浪费就会显著增加。另外一种设备是主设备，如 RGB 接口的 LCD 控制器，主设备的控制寄存器并不多，但是需要一个单独的从设备接口访问这些寄存器，从而增加了逻辑设计难度和总线负载。

一种设计选择是将所有的从设备的寄存器集中起来构成一个单独的从设备，而从设备本身只完成必须的工作，不包括控制寄存器。比如将 SDRAM 控制器的寄存器、LCD 控制器的寄存器放在一起构