



Verilog
与
P C 机
接 口
电 路 设 计
Verilog
与
P C 机
接 口
电 路 设 计

Verilog与 P C 机

接口电路设计

主编 高明伦

编著 胡永华 李 丽
王 锐 刘 聪

Verilog
与
P C 机
接 口
电 路 设 计
Verilog
与
P C 机
接 口
电 路 设 计
Verilog
与
P C 机
接 口
电 路 设 计
Verilog
与
P C 机
接 口
电 路 设 计

 安徽科学技术出版社

序

因项目合作关系我与合肥工业大学微电子设计研究所较多的接触。该所师生基于数年的研究工作,撰写了《Verilog 与 PC 机接口电路设计》一书,在本书即将出版之际我表示衷心的祝贺并应邀写几句话。

高明伦教授旅居美国学习、工作十余年,先后在美国史蒂文斯大学、代顿大学,飞利浦半导体公司(美国硅谷)等高等院校和 VLSI 设计中心从事图像处理的理论研究及其集成电路实现工作。1997 年回国后,创建了合肥工业大学微电子设计研究所,通过 4 年的努力,在教育和科研方面都取得了很好的成绩。研究所致力于培养我国微电子设计工程师,在具有 1997 年国际 VLSI 设计水平的教育平台上,培养了一批优秀的微电子设计专业研究生,为缓解我国这方面人才的匮乏做出了一定的贡献。研究所还在国家自然科学基金等国家基金的资助下从事微电子设计前沿领域的研究,如深亚微米芯片设计理论等,具有较高的理论水平;同时还承担了国家“九五”重点科技攻关项目及“863 计划”等多项国家项目。在设计方法学和 IP 技术上取得了显著的成果,专家鉴定认为,他们研究的 8 位 CISC、RISC 微处理器软核在接口标准、测试平台和可综合性等 IP 库技术方面处于国内领先地位。他们还于 2001 年 5 月成为国内首家加入国际 VSI Alliance 组织会员的教育科研单位,从事超大规模集成电路 IP 核接口及相关设计技术的研究。由于高明伦教授在美国飞利浦半导体企业工作多年,工业背景很强,因而他们在教育、科研与工程方面的结合十分紧密,成果转化工作做得很好,目前正在向产业化的方向迈进。

《Verilog 与 PC 机接口电路设计》涉及产品技术方面的内容,因此我想借此机会谈谈硅产品的一些发展规律,并分析硅产品技术未来发展的走向问题。

1985 年, Xilinx 推出 SRAM 硬布线的现场可编程门阵列(FPGA)。据此启发,我从“(应)用”与“(制)造”的矛盾运动出发,提出了“半导体产品特征循环波动规律”:“用”追求“差别”,期望能“控制发明”,因而要求“定制化”;而“造”则以“成本”为目标,期望能“规模生产”,要求“标准化”。“用”与“造”的这一对立统一运动,导致半导体产品主特征总是围绕“专用”与“通用”波动循环,其中“通用”特征经历了晶体管(如高频管, HFT)、微处理器件(如微处理器, MPU)和可编程器件(如现场可编程门阵, FPGA)三个波动,而“专用”循环则经历了专用标准产品(ASSP)和专用集成电路(ASIC)两个波动。遵循这一循环规律,现代半导体技术在适应“用”或电子信息技术发展要求前提下,必将面对“定制批量化”制造课题,开发与之相适应的一系列工艺技术,以达到大规模生产定制产品、降低定制产品成本的目的。电子信息产品在对半导体提出“定制化”要求的发展中,将进一步追求低成本“控制发明”和高效率“应用增值”,为此,半导体技术在不违背“规模生产”和“重复印制”等半导体制造的固有特点原则下,必将在过去半定制、可编程、可再编程技术的基础上,进一步寻找可再编译技术,增添存贮编程能力,发展可嵌入功能技术,使产品适应多标准、多协议的功能要求,从而使产品特征循环转入“嵌入式集成电路(EBIC)”的专用循环和“多功能集成电路(MFIC)”的通用循环。这一循环规律促使 IT 技术从传统的硬件固定、算法固定的“直接硬件运算”和当前的硬件固定、算法可变的“存贮编程运算”,发展到硬件、算法双可变的“硬件重构运算”。就其设计方法而言,则从以往的“电路设计”和“逻辑设计”发展到“系统设计”或“软件设计”。产品特征循环规律,不仅揭示了产品技术

沿着“造”技适“用”的方向螺旋上升;而且还启示了半导体产品本身正沿着“硬件软化”和“软件硬化”两个相辅相成的方向发展;产品特征波动进入 EBIC 专用循环和 MFIC 通用循环后,其产品(群)实质上是“内涵软件的硅芯片”,其中软件与硬件的划分,由产品性能、硅片面积和上市时间折中设计决策,因而“设计就是软件”不仅是一个重要概念,而且还是一种重要的设计方法学。

《Verilog 与 PC 机接口电路设计》一书介绍了 Verilog 语言基础知识,并以五个 PC 机接口电路的设计方法为线索,着重讲述了 VLSI 设计中的基本概念,既有理论又有实践,是一本不错的面向工业实践的学术著作。PCI 总线与 Memory 总线是 PC 机中的两类基本总线;IIC 与 IIS 接口是多媒体设计中应用十分广泛的接口。书中介绍的计算机接口电路设计方法不仅适用于计算机领域的 VLSI 设计,也适用于通讯、网络、自控等其他领域的 VLSI 设计,对工程实践有很好的参考价值和指导意义。该书在讲述各个接口时都按照自上而下的设计方法来安排写作结构,在讲述设计方法的同时给出了大量的源代码和仿真波形图,增加了阅读时的感性认识,更有利于设计工程师们理解。《Verilog 与 PC 机接口电路设计》涉及 SoC 设计方法学领域 IP 核的设计。基于 IP 复用技术将提高 SoC 的开发效率,已逐渐成为一种主流的设计方法。希望该书的出版能促进微电子设计专业的教学,满足广大微电子设计爱好者的求知愿望,并为集成电路设计工程师们提供有价值的参考,从而推动我国微电子产业的快速发展。同时也希望合肥工业大学微电子设计研究所今后在学术研究领域更上一层楼,出更多好书,并预祝他们在产业方向上有一番作为。

许在衡
01年夏于无锡

前 言

专家注意到全球集成电路产业的发展以5年为周期上下起伏,每一次“硅衰退”都会造成一次“硅产业”的重构:1975年的衰退造就了日本的微电子产业,1985年的衰退造就了韩国的微电子产业。一个自然的问题是:当前的“硅衰退”将是谁的机会。

中国政府于2000年初将微电子产业和软件产业提到“国家经济安全和国防安全”的高度,并明确指出“这是件紧迫的大事,要抓紧研究,再不能耽误了。”国务院出台了《鼓励软件产业和集成电路产业发展的若干政策》,各地政府也纷纷出台了相应的配套政策,并建立了“软件园”、“微电子技术平台”、“微电子设计平台”等各种技术服务设施。科技部在上海、北京、西安、无锡、深圳、成都建立了“集成电路设计产业化基地”,教育部建立了“教育部IC设计网上合作研究中心”,国家863计划设立了“超大规模集成电路SoC重大专项”。从种种迹象看,下一个机会应该属于中国。

我国各工院校的半导体专业(主要是工艺、材料、器件等方向)历史悠久,师资、教材、课程等也比较整齐,但设计技术领域的教学工作则刚刚在少数院校展开,既没有形成规模,也还谈不上质量。集成电路设计学科还不是一个教学专业,师资、教材、课程等环节都十分薄弱。估算表明,我国高校目前培养IC设计工程师的总量每年不会超过500名,按此速度,培养10万名工程师(中等生产能力)需要200年。而第一线工程师的职业寿命只有20多年(到45~50岁开始退役),也就是说,20年以后设计工程师的总量将平衡在1万名。培养能力必须提高至少10倍才能使设计工程师总量在20年以后仍有净增加。如果我们希望用一个五年计划的时间使设计工程师的总量达到中等生产能力(10万人),那么就必須把培养速度提高40倍,即每年培养2万名设计工程师。这个粗略的估算表明,我国还需要从各个层面和角度加大微电子技术人才的培养工作。

本书基于合肥工业大学微电子设计研究所部分科研成果编撰而成,面向有经验的电子电路设计工程师、高等院校电类专业教师和高年级研究生。希望本书的出版有助于微电子设计工程师的培养工作。

本书由合工大微电子设计研究所集体编写而成,由高明伦担任主编。其中,胡永华主持了第二章、第四章的编写,刘聪主持了第三章的编写,李丽主持了第六章的编写,王锐主持了第五章的编写;周干民编写了第一章第五节,栾铭编写了第一章第三节;张溯、宋宇鲲参加了第四章的编写。王晓蕾、徐诺、许晓琳承担了部分辅助工作。全书由胡永华统稿,由陈涛秋担任顾问。

编著者

2001.12

内 容 提 要

本书共分6章,第1章简单介绍微电子设计的基础知识,包括 Verilog HDL 语言和一般设计流程;第2章到第6章介绍五种多媒体接口电路的设计方法,这五种接口电路分别是 IIC、IIS、PCI、VMI 和 SGRAM。PCI 是系统总线,SGRAM 是内存总线,IIC 是串行控制总线,IIS 是串行音频总线,VMI 是视频总线。书中给出了大量设计源代码和仿真、综合结果。

本书面向有经验的微电子设计工程师、高等院校电类专业教师和高年级研究生。

目 录

第一章 微电子设计的基础知识	1
1.1 快速发展的微电子技术	1
1.1.1 快速发展的微电子技术	1
1.1.2 高速发展的微电子设计及其目前状况	2
1.1.3 多媒体计算机的接口电路	4
1.1.4 为什么需要硬件描述语言	4
1.1.5 本书的写作目的和结构特点	5
1.2 Verilog HDL 的基础知识	6
1.2.1 功能模块	6
1.2.1.1 电路描述的抽象层次	6
1.2.1.2 模块的映射	8
1.2.1.3 模块的测试	9
1.2.1.4 示例	10
1.2.2 数据类型	12
1.2.2.1 物理型变量	13
1.2.2.2 抽象型数据	13
1.2.2.3 数据类型说明	14
1.2.2.4 表达式	15
1.2.2.5 不定态 x 和高阻态 z 的若干问题	17
1.2.2.6 负数	18
1.2.3 语句	18
1.2.3.1 赋值语句	18
1.2.3.2 控制语句	21
1.2.4 几个重要的概念	24
1.2.4.1 时间(time)和事件(event)的概念	24
1.2.4.2 并行的概念	27
1.2.4.3 函数和任务	28
1.3 典型功能模块的 Verilog 描述	28
1.3.1 组合电路设计示例	29
1.3.1.1 数据分配器	29
1.3.1.2 译码电路和编码电路	31

1.3.2 时序电路设计示例	35
1.3.2.1 同步计数器	35
1.3.2.2 移位寄存器	37
1.3.3 有限状态机	38
1.3.3.1 有限状态机的定义及分类	38
1.3.3.2 状态机的状态图及状态表	39
1.3.3.3 简单状态机分析	40
1.3.4 复杂逻辑电路设计	43
1.4 与综合相关的问题	45
1.4.1 综合	46
1.4.1.1 综合与可综合性	46
1.4.1.2 HDL 综合	47
1.4.2 可重复使用功能块、IP 产业和 SOC	48
1.4.3 验证	49
1.4.4 深亚微米/超深亚微米设计中的新问题	52
1.5 可编程逻辑器件	55
1.5.1 可编程逻辑器件综述	55
1.5.1.1 可编程逻辑器件的发展概况	56
1.5.1.2 可编程逻辑器件的分类	57
1.5.1.3 可编程 ASIC 的发展趋势	57
1.5.2 可编程逻辑器件(PLD)简介	58
1.5.2.1 PLD 器件的逻辑约定	58
1.5.2.2 PLD 的基本结构	60
1.5.3 FPGA/CPLD 简介	62
1.5.3.1 FPGA 简介	62
1.5.3.2 CPLD 简介	63
1.5.3.3 FPGA/CPLD 优点	63
1.5.4 可编程逻辑结构	64
1.5.4.1 可编程的逻辑块	66
1.5.4.2 输入/输出功能块	66
1.5.4.3 可编程的内部连线资源	67
1.5.4.4 片内 RAM	67
1.5.5 FPGA/CPLD 设计流程	68
1.5.6 FPGA/CPLD 开发系统	69
1.5.6.1 时序约束	70
1.5.6.2 静态时序分析	71
1.5.6.3 Xilinx FPGA 的开发系统 Xilinx XACT	71
1.5.7 各种 FPGA/CPLD 的特性、限制与设计上的问题	73
1.5.7.1 等效的门容量	73

1.5.7.2	FPGA/CPLD 的速度和时延特性	74
1.5.7.3	FPGA/CPLD 的速度比较	75
1.5.7.4	各 FPGA/CPLD 的特性与设计上常见的问题	75
第二章	IIC 总线接口的设计	77
2.1	IIC 总线简介	78
2.1.1	IIC 总线的基本概念	78
2.1.2	IIC 总线协议简介	79
2.2	IIC 接口的顶层设计	82
2.2.1	内部通讯协议	83
2.2.2	IIC 接口的顶层与模块划分	85
2.2.3	控制寄存器	87
2.2.4	数据缓存器	87
2.3	IIC 接口的第二层	88
2.3.1	状态定义	88
2.3.2	正常数据传输的状态转移设计	89
2.3.3	传输过程中的安全考虑	89
2.3.4	状态转移的 Verilog 描述	90
2.3.5	典型操作的时序设计	94
2.4	IIC 接口的第三层设计	95
2.4.1	内部通讯功能块的设计	95
2.4.1.1	算法设计	96
2.4.1.2	RTL 描述	96
2.4.2	控制寄存器的设计	97
2.4.2.1	算法设计	98
2.4.2.2	RTL 描述	99
2.4.3	数据缓存器的设计	101
2.4.3.1	算法设计	101
2.4.3.2	RTL 描述	102
2.4.4	外部时钟功能块的设计	105
2.4.4.1	算法设计	105
2.4.4.2	RTL 描述	107
2.4.5	读写指针功能块的设计	110
2.4.5.1	算法设计	110
2.4.5.2	RTL 描述	110
2.4.6	数据转换功能块的设计	112
2.4.6.1	算法设计	112
2.4.6.2	RTL 描述	112
2.4.7	传输位计数功能块的设计	114

2.4.7.1 算法设计	114
2.4.7.2 RTL 描述	115
2.4.8 外部通讯功能块的设计	117
2.4.8.1 握手功能	117
2.4.8.2 主 IIC 数据传输功能	119
2.4.8.3 错误检测功能	122
2.5 IIC 总线接口的仿真平台“硬件”环境	122
结束语	124
第三章 IIS 总线接口的设计	125
3.1 IIS 总线协议简介	125
3.1.1 IIS 总线的基本概念	126
3.1.1.1 数据发送端和数据接收端	126
3.1.1.2 主 IIS 和从 IIS	126
3.1.2 IIS 总线协议简介	126
3.2 IIS 总线接口的顶层设计	127
3.2.1 内部通讯协议设计	128
3.2.2 IIS 接口的顶层设计与模块划分	130
3.2.3 寄存器的设计	132
3.3 IIS 接口的第二层设计	133
3.3.1 接收器的设计	133
3.3.1.1 声道启动信号的设计	133
3.3.1.2 移位寄存器与隔离寄存器的设计	135
3.3.2 组合器的设计	138
3.3.3 发送器功能块的设计	147
3.3.3.1 PCI-Master 通讯协议的状态机实现	147
3.3.3.2 FIFO 动态调整的设计	151
3.3.3.3 8×32 位 FIFO 的设计	153
3.3.4 寄存器功能块的设计	156
3.4 IIS 总线接口的仿真	160
3.4.1 仿真“硬件”环境的建立	160
3.4.2 IIS 总线接口的功能仿真项目	167
结束语	167
第四章 PCI 总线接口的设计	168
4.1 PCI 总线协议简介	168
4.1.1 PCI 总线信号的定义	169
4.1.1.1 系统信号	169
4.1.1.2 地址/数据总线	169

4.1.1.3 接口控制信号	170
4.1.1.4 仲裁信号(只用于主 PCI)	170
4.1.1.5 错误报告信号	170
4.1.2 PCI 总线命令	171
4.1.3 PCI 总线的编址空间	172
4.1.3.1 I/O 地址空间	172
4.1.3.2 内存地址空间	172
4.1.3.3 配置地址空间	172
4.1.4 PCI 总线读写的基本协议	173
4.1.5 PCI 总线上的一些时间约定	174
4.1.6 PCI 总线的结束方式	174
4.1.6.1 主 PCI 终止进程	174
4.1.6.2 从 PCI 终止进程请求	175
4.2 PCI 总线接口的顶层设计	177
4.2.1 PCI 接口设计的总体考虑	178
4.2.2 PCI 接口内侧协议	180
4.2.2.1 从 PCI 内侧协议	180
4.2.2.2 主 PCI 内侧协议	181
4.2.3 PCI 接口的顶层	185
4.2.4 PCI 接口寄存器	186
4.2.4.1 配置寄存器	186
4.2.4.2 控制寄存器	187
4.3 PDA 模块	188
4.4 从 PCI 模块	191
4.4.1 从 PCI 的总体设计	192
4.4.2 从 PCI 接口的第二层设计	194
4.4.2.1 内、外状态机的状态定义	194
4.4.2.2 内、外状态机的状态转移	195
4.4.2.3 内、外状态机的 HDL 描述	197
4.4.3 从 PCI 总线接口的第三层设计	207
4.4.3.1 命令译码功能块的设计	207
4.4.3.2 缓存器功能块的设计	209
4.4.3.3 安全性所需要的控制信号设计	212
4.5 主 PCI	215
4.5.1 主 PCI 的总体设计	216
4.5.2 主 PCI 的第二层设计	217
4.5.2.1 状态定义	217
4.5.2.2 状态转移	218
4.5.2.3 状态机的 HDL 描述	219

4.5.3 主 PCI 的第三层设计	222
4.5.3.1 Master Time 与 Devel Timer 的设计	223
4.5.3.2 缓存器的设计	225
4.6 ARB 模块	231
4.6.1 ARB 的总体设计	232
4.6.2 ARB 模块的第二层设计	234
4.6.2.1 状态定义与状态说明	234
4.6.2.2 状态转移及 HDL 描述	234
4.6.3 ARB 模块的第三层设计	239
4.7 PAR 模块的设计	245
结束语	248
 第五章 VMI 总线接口的设计	249
5.1 VMI 总线协议简介	250
5.1.1 VMI 总线信号	250
5.1.2 VMI 总线时序	251
5.2 VMI 总线接口的顶层	254
5.2.1 内部通讯协议	255
5.2.2 数据传输模式的设计	256
5.2.2.1 直接数据传输模式	256
5.2.2.2 间接-1 型传输模式	257
5.2.2.3 间接-2 型传输模式	257
5.2.2.4 DMA 数据传输模式	257
5.2.3 VMI 外设通讯时钟和进程终止	258
5.2.3.1 VMI 总线时钟的发生	258
5.2.3.2 进程终止方式	258
5.2.4 VMI 总线接口的顶层设计与模块划分	259
5.2.5 寄存器的设计	261
5.3 VMI 总线接口的第二层设计	263
5.3.1 状态定义与状态转移图	263
5.3.2 状态机的 HDL 描述	265
5.3.3 关键控制信号的设计	269
5.4 VMI 总线接口的第三层设计	275
5.4.1 寄存器模块的设计	275
5.4.1.1 寄存器模块的功能分析与算法级设计	275
5.4.1.2 寄存器模块的 RTL 设计	276
5.4.2 数据通道模块的设计	286
5.4.2.1 数据通道模块的算法设计	286
5.4.2.2 数据通道功能块的 RTL 描述	287

结束语	291
第六章 SGRAM 总线接口 SBI 的设计	292
6.1 SGRAM 接口通讯协议简介	292
6.1.1 存储器的分类与特点	292
6.1.1.1 动态随机存储器(DRAM,Dynamic RAM)	293
6.1.1.2 静态随机存储器(SRAM,Static RAM)	293
6.1.1.3 快闪存储器(Flash Memory)和铁电体随机存储器 (Ferroelectric RAM)	293
6.1.2 SGRAM 总线通讯协议简介	294
6.1.2.1 SGRAM 总线信号	294
6.1.2.2 SGRAM 总线典型读写时序	295
6.2 SGRAM 总线接口的顶层设计	295
6.2.1 SBI 在待设计芯片中的位置和总体考虑	296
6.2.2 SBI 接口内部通讯协议	297
6.2.2.1 SBI 内侧协议的制定规则	298
6.2.2.2 SBI 接口内侧协议时序	299
6.2.2.3 SBI 接口内侧协议的设计技巧	302
6.2.3 SBI 接口的总体设计	302
6.2.4 SBI 接口的控制寄存器	304
6.3 SGRAM 传输接口的第二层设计	304
6.3.1 读时钟选择模块的设计	305
6.3.1.1 读周期同步问题的提出	305
6.3.1.2 虚拟时钟相位空间的设计方法	305
6.3.1.3 读时钟选择模块的 RTL 级设计	307
6.3.2 用户仲裁器的设计	308
6.3.2.1 静-动态混合优先级算法	309
6.3.2.2 状态定义	309
6.3.2.3 状态转移图	310
6.3.2.4 RTL 描述	310
6.3.3 时序控制器的设计	315
6.3.3.1 初始化期间的状态定义和状态转移	317
6.3.3.2 正常数据传输的状态定义和状态转移	317
6.3.3.3 出错处理的状态定义和状态转移	318
6.3.3.4 状态机及控制信号的 RTL 级设计	319
6.3.3.5 读计数器的 RTL 级设计	325
6.4 SGRAM 总线接口的第三层设计	327
6.4.1 数据选择器模块的 RTL 设计	327
6.4.2 地址译码器模块的 RTL 设计	334

结束语.....	336
专业名词英汉对照表.....	337
索引.....	340

第 1 章 微电子设计的基础知识

1.1 快速发展的微电子技术

1.1.1 快速发展的微电子技术

微电子技术是半导体工业的一个重要分支,是集成电路芯片的设计、加工、检测、封装等主体技术,以及集成电路材料(如晶圆),设备(如光刻设备)等支持性技术的总称。

40 年前,英特尔(Intel)公司的创始人之一摩尔(Gordon Moore)预言,电子系统的复杂度每 18 个月翻一番,直到目前为止,这个预言仍然是基本正确的,并被学术界和工业界称为摩尔定律。当今微电子工业的产值占世界经济总产值的 4%,已经是全世界最大的产业。预测表明,在今后的 25 年里,更将占到世界总产值的 8%。像所有迅速发展的事物一样,发展产生了分工,更细的分工又推动着更高速的发展。微电子技术在过去的 40 年中急速地细化着,首先是派生出三个相互基本独立的部分:微电子设计、微电子制造和微电子设备。

20 世纪 80 年代中期以来,微电子技术的三个基本领域以很高的速度继续细分下去,出现了第三层、第四层甚至第五层的子领域。就本书的涉猎范围,这里只把微电子设计的主要子领域罗列如下:

- 硬件描述语言(HDL, Hardware Description Language);
- 工具软件包(EDA Tools, Electronic Design Automation);
- 集成电路设计(IC, Integrated Circuits);
- 电路模块库设计(Library)。

进入 90 年代以来,ASIC 设计又细分为:数字电路设计(Logic Design)、模拟电路设计(Analog Design)和混合电路设计(Mixing Design)。

上面的文字叙述可简洁地图示如图 1.1。

当然,微电子制造业和微电子设备业也在不断地细分中,并与微电子设计业的各子领域相互交叉,图中难以一一表达。总之,微电子技术已经是一个非常庞大的多领域交叉体。几乎没有一个人可以同时在这两个第三层领域里工作,甚至同时涉足两个第四层领域也不是一件容易的事情。本书则着重于 ASIC 设计中的数字电路设计。

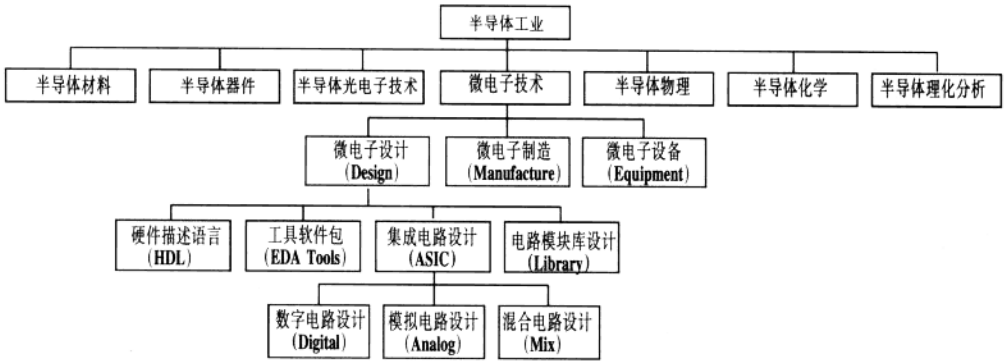


图 1.1 从传统半导体到现代微电子设计的层析

1.1.2 高速发展的微电子设计及其目前状况

早期的集成电路设计实际上仅是掩模设计,电路的规模非常小,电路的复杂度也很低,设计工程师有一般的电路知识就足够了。设计科只是半导体工厂的一个部门,甚至不是最重要的部门,其工作方式则主要依靠手工作业和个体劳动。40 年后的今天,超大规模集成电路(VLSI)的电路规模都在百万门量级,专门的电路知识领域和极高的设计难度已非以往半导体工厂所能及,也非一般电子电路设计部门所能及。电路知识领域的划分不再停留在计算机—通讯—测量—工业控制等大的范围,甚至也不再是个人机—大型机—工控机的水平。仅就 PC 机而言,一家微电子设计公司,包括像英特尔公司那样的大公司,也很难同时插手 CPU, IDE, VGA, Chip-set, MPEG 等 PC 机主要芯片中的两个,其领域分工之细、电路知识之专精、设计难度之大由此可见一斑。就工作方式而言,一块集成电路的设计需要多个团组协同工作。图1.2 给出了 VLSI 的设计流程图,同时,这也是一个典型微电子设计公司的核心组织结构图。其中,硬件设计(Hardware Design)和质量保障(Qualification)是公司的核心设计部门,软件(Software)和市场(Marketing)是协作设计部门,另外还有一个技术支持部门(Tech Supporting)。当然,作为一个工业公司,其他辅助部门如财务(Finance)、人事(Human Resource)、文秘(Secretary)、运输(Shipping)、保安(Security)等非技术部门,以及售后服务(Customer Service)、顾客信息反馈(Customer Qualify Alert)等技术后方也是必不可少的。在大型设计公司里,还设有专门的研究部门(R&D)和技术信息部门(Information)。

近几年来,微电子设计业的分工仍在进一步细化和调整。典型的例子如:样片的测试(Prototype Testing)已经从设计公司(Design House)分离出去,成为一个独立的产业——样片测试中心(Testing House)。而布局布线(Layout)等后端环节逐渐从设计部门转移到生产部门(Foundry)。在微电子设计业的这一轮新的分工中最引人注目的是,设计公司逐步划分为可重用功能模块设计和系统集成两类。

功能块电路有明显的知识产权(IP, Intellectual Property)化、商品化和标准化的趋势。中小型公司发挥自己的长处,专攻一种电路的设计,为各大公司提供商业化的服务。由于分工又细了一层,产品的性能价格比、生产周期、技术服务等指标必然又精了一层。各大公司权衡利弊后已经开始遵从市场规律,订购一些辅助功能块的电路设计(IP),如 A/D、D/A 转换电路,锁

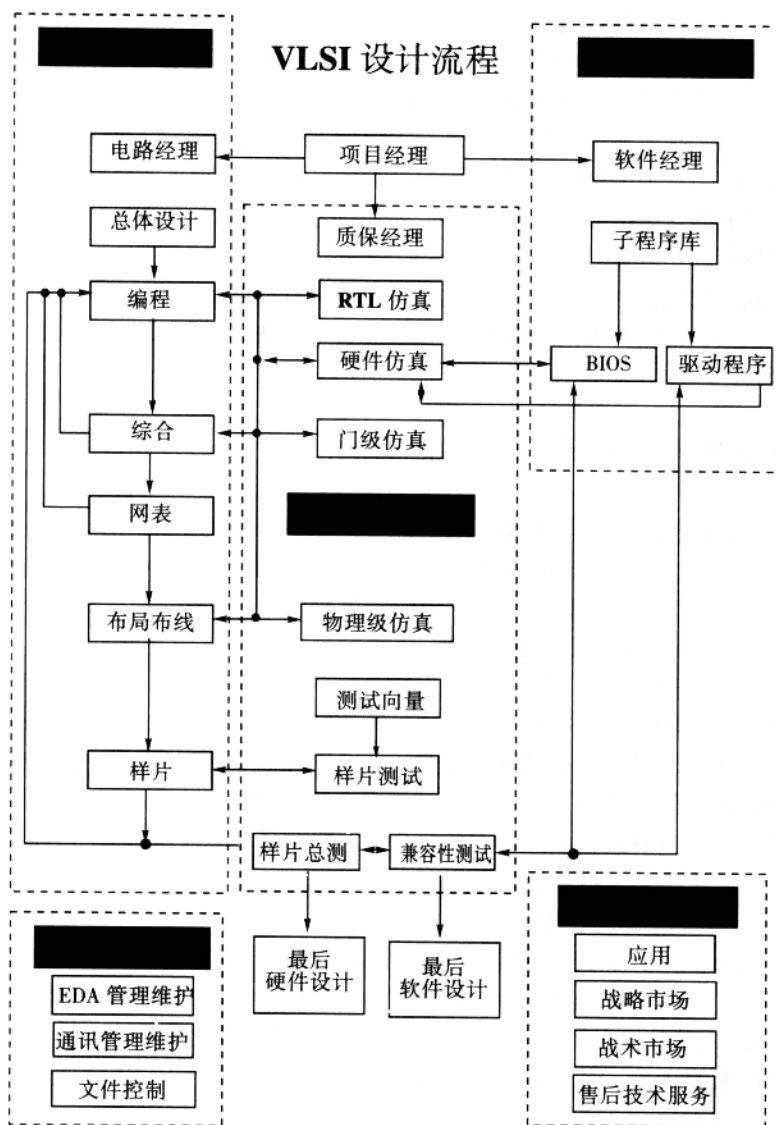


图 1.2 VLSI 的设计流程暨典型 VLSI 设计公司的核心组织结构图

相环(PLL)振荡电路等。大设计公司正在向系统集成公司演变,并发展出片上系统(SoC, System-on-a-Chip)。也就是说,像英特尔这样的微电子设计界的主体公司将越来越多地从市场上购买电路功能块(IP),然后把这些电路设计集成为一个最终产品。反过来,这种市场需求将推动新兴的 IP 产业加速走上标准电路设计商业化之路。上层的集成设计与商业化的底层标准件设计公司之间将形成一个良性的互动循环。

系统芯片通常指在单一芯片上实现的数字计算机系统。该系统应包含两个基本部分:硬件部分和软件部分。硬件部分包括 CPU、BUS、ROM、RAM、I/O - PORT 等计算机系统的基本部件;软件部分主要指操作系统,也可以包括重要的应用软件。通常这种系统的规模会很

大,因此系统芯片以 IP 重用技术为主要设计方法,以超深亚微米加工工艺为主要生产手段。系统芯片有时会包含模拟电路和混合电路,在有些应用场合中还会含有微传感器和微机械。但是,不包含 CPU 的非智能系统构成的芯片不是系统芯片。SoC 设计技术的出现是集成电路产业发展历史中的一次革命,它将全方位地、深刻地影响集成电路的设计、加工、市场和应用。

功能块电路(IP)基本上是中、小规模设计,这与我国目前的微电子设计能力有比较好的衔接。微电子设计业的这一次分工之所以重要,是因为它为中国的微电子设计界提供了一个可能的进入国际市场的切入点。

鉴于 IP 功能模块电路的微电子设计比较适合我国目前的国情,本书着重介绍五种最流行的多媒体计算机接口电路的 IP 功能模块的功能和设计方法,希望有助于我国微电子设计业早日进入国际市场。

1.1.3 多媒体计算机的接口电路

接口电路是计算机的基本电路类型之一,是 PC 机各种芯片必不可少的功能块。如:PCI 总线接口,它用于 CPU、VGA、IDE、MPEG、Sound 等 PC 芯片,具有巨大的市场潜力。本书讨论的其他总线接口也都在不同程度上广泛应用于各种 PC 机芯片。与其他电路相比,总线接口 IP 设计公司势必有更多的机会得到发展。

PCI 总线是近年来出现的一个面向多媒体技术的优秀总线。在结构上,PCI 总线采用数据—地址总线合一的多路复用结构(AD 总线),32/64 位可选总线带宽,支持多处理器体系结构却又独立于处理器,以及与其他类型总线联合工作的结构扩展功能。在电气指标上,PCI 总线采用 33/66MHz 可选主频,5.0/3.3V 可选电压。在通讯协议上,PCI 总线采用突发传输(Burst)为缺省模式。具有这么多高端性能的总线无疑在众多总线中具有压倒的优势,成为系统总线的首选。面向 PCI 总线的接口电路的设计方法就成了各种 PC 机超大规模集成电路(VLSI)设计部门所必须面临的挑战。

SGRAM 是近年来出现的较为成功的面向多媒体技术的内存器件之一。它的 100MHz 工作频率,同步突发(Synchronous Burst)传输模式,流水(Pipelined)数据管理方式,隐藏式预充电(Precharge)功能,尤其是块写(Block Write)功能与可编程功能受到 PC 机总体设计工程师和各插件板生产厂家的欢迎。SGRAM 接口电路的设计方法正成为 VLSI 设计部门讨论的重要话题。

VMI、IIS 和 IIC 是专用的多媒体总线,分别用作影像(Video)、音响(Audio)数据的传输与多媒体芯片之间的控制协调。对于多媒体计算机(MPC)而言,面向这三条总线的接口电路的重要性是不言而喻的。

1.1.4 为什么需要硬件描述语言

随着电路复杂度的迅速提高、电路规模的急剧增大,以往使用电原理图表述复杂电路的方法已难以胜任。硬件描述语言,即 HDL(Hardware Description Language),由此应运而生。

HDL 描述电路的原则和方法与传统电原理图方式有着本质的区别。HDL 只对电路的性状进行描述,如同一个设计任务书或技术说明书,而不涉及如何去实现,更不涉及电路细节。