

硅通孔与三维集成电路

朱樟明 杨银堂◎著



科学出版社

硅通孔与三维集成电路

朱樟明 杨银堂 著

科学出版社

北京

内 容 简 介

本书系统讨论了基于硅通孔的三维集成电路设计所涉及的一些关键科学问题,包括硅通孔寄生参数提取、硅通孔电磁模型、新型硅通孔结构、三维集成互连线、三维集成电路热管理、硅通孔微波/毫米波特性、碳纳米硅通孔及集成互连线等,对想深入了解硅通孔和三维集成电路的工程人员和科研人员具有很强的指导意义和实用性。本书所提出的硅通孔结构、硅通孔解析模型、硅通孔电磁模型、三维集成电路热管理、三维集成互连线建模和设计等关键技术,已经在 IEEE TED、IEEE MWCL 等国外著名期刊上发表,可以直接供读者参考。

本书可作为集成电路设计、集成电路封装、微电子封装等相关专业的工程师和专业研究人员的参考书。

图书在版编目(CIP)数据

硅通孔与三维集成电路 / 朱樟明, 杨银堂著. —北京: 科学出版社, 2016.1

ISBN 978-7-03-047164-2

I. ①硅… II. ①朱… ②杨… III. ①集成电路—封装工艺
IV. ①TN405

中国版本图书馆 CIP 数据核字(2016)第 017352 号

责任编辑: 余 丁 赵艳春 / 责任校对: 郭瑞芝

责任印制: 徐晓晨 / 封面设计: 迷底书装

科 学 出 版 社 出 版

北京东黄城根北街 16 号

邮政编码: 100717

<http://www.sciencep.com>

北京中石油彩色印刷有限公司 印刷

科学出版社发行 各地新华书店经销

*

2016 年 1 月第 一 版 开本: 720×1 000 B5

2016 年 1 月第一次印刷 印张: 15 1/4

字数: 295 000

定价: 68.00 元

(如有印装质量问题, 我社负责调换)

前 言

基于硅通孔的三维集成电路是未来集成电路发展的主流技术之一，能有效降低集成电路的互连延时和功耗，是中国在集成电路领域实现超越的技术发展机会，已经成为国际新型集成芯片系统的研究热点，是国际半导体技术蓝图 (ITRS) 近年来所关注的热点和前沿技术。正值中国集成电路设计产业高速发展之际，作者响应《国家集成电路产业发展推进纲要》，基于国家优秀青年科学基金、国家自然科学基金重点项目和面上项目等项目研究成果，结合数值优化技术，撰写了本书，希望能在促进中国集成电路产业的迅速发展中发挥作用。

本书主要讨论基于硅通孔的三维集成电路设计所涉及的一些关键科学问题，包括硅通孔寄生参数提取、硅通孔电磁模型、新型硅通孔结构、三维集成互连线、三维集成电路热管理、硅通孔微波/毫米波特性和碳纳米硅通孔及集成互连线等，对想深入了解硅通孔和三维集成电路的工程人员和科研人员具有很强的指导意义和实用性。本书所提出的硅通孔结构、硅通孔解析模型、硅通孔电磁模型、三维集成电路热管理、三维集成互连线建模和设计等关键技术，已经在 IEEE 等国外著名期刊上发表，获得了论文审稿人的好评，可以直接供读者参考。本书所提出的差分屏蔽型硅通孔结构，是西安电子科技大学微电子学院朱樟明教授研究小组的最新研究成果。基于硅通孔和三维集成技术实现微波/毫米波滤波器、微波细胞功能单元的研究想法，获得了 IEEE Fellow 薛泉教授的大力支持。

全书共分为 8 章，每章自成系统，同时又相互联系，朱樟明负责第 2 章、第 4~8 章，杨银堂负责第 1 章和第 3 章，全书由朱樟明统稿和最后定稿。本书写作过程得到了国家优秀青年科学基金 (61322405)、国家自然科学基金重点项目 (61234002)、国家自然科学基金面上项目 (61376039、61474088、61574104) 的资助。特别感谢卢启军博士帮我一起统稿，感谢刘晓贤博士、王凤娟博士、钱利波博士为本书付出的辛勤劳动！

朱樟明 杨银堂

2015 年 11 月于西安电子科技大学微电子学院

目 录

前言

第 1 章 三维集成电路概述	1
1.1 三维集成电路	2
1.1.1 三维集成电路的优势	2
1.1.2 三维集成电路的发展现状	3
1.1.3 三维集成电路的发展趋势	6
1.1.4 三维集成电路面临的挑战	10
1.2 TSV 技术	14
1.2.1 TSV 在三维集成电路中扮演的角色	15
1.2.2 TSV 技术的主要研究方向及进展	17
参考文献	20
第 2 章 基于 TSV 的三维集成电路工艺技术	25
2.1 基于 TSV 的三维集成电路的分类	25
2.1.1 TSV 的制造顺序	26
2.1.2 堆叠方式	31
2.1.3 键合方式	33
2.2 TSV 制造技术	34
2.2.1 通孔刻蚀	34
2.2.2 绝缘层	38
2.2.3 黏附层和扩散阻挡层	42
2.2.4 种子层	43
2.2.5 导电材料填充	44
2.3 减薄技术	48
2.3.1 机械研磨	50
2.3.2 边缘保护	52
2.3.3 减薄后处理	52
2.4 对准技术	53
2.4.1 红外对准	54
2.4.2 光学对准	56

2.4.3	倒装芯片	58
2.4.4	芯片自组装对准	59
2.4.5	模板对准	60
2.5	键合技术	61
2.5.1	SiO ₂ 融合键合	63
2.5.2	金属键合	64
2.5.3	高分子键合	68
	参考文献	69
第 3 章	TSV RLC 寄生参数提取	71
3.1	圆柱形 TSV 寄生参数提取	71
3.1.1	寄生电阻	71
3.1.2	寄生电感	72
3.1.3	寄生电容	72
3.2	锥形 TSV 寄生参数提取	73
3.2.1	寄生电阻	73
3.2.2	寄生电感	75
3.2.3	寄生电容	76
3.3	环形 TSV 寄生参数提取	90
3.3.1	寄生电阻	90
3.3.2	寄生电感	90
3.3.3	寄生电容	90
3.4	同轴 TSV 寄生参数提取	91
3.4.1	寄生电阻	91
3.4.2	寄生电感	91
3.4.3	寄生电容	92
	参考文献	92
第 4 章	考虑 TSV 效应的互连线模型	94
4.1	考虑 TSV 尺寸效应的互连线长分布	94
4.1.1	忽略 TSV 尺寸效应的互连线长分布模型	94
4.1.2	考虑 TSV 尺寸效应的互连线长分布模型	101
4.2	考虑 TSV 寄生效应的互连延时和功耗模型	103
4.2.1	互连延时	103
4.2.2	互连功耗	105
4.2.3	模型验证与比较	106

4.3	三维集成电路的 TSV 布局设计	108
4.3.1	RLC 延时模型	109
4.3.2	信号反射	111
4.3.3	多目标协同优化算法	113
4.3.4	结果比较	114
	参考文献	116
第 5 章	TSV 热应力和热应变的解析模型和特性	119
5.1	圆柱形 TSV 热应力和热应变的解析模型	119
5.2	环形 TSV 热应力和热应变的解析模型和特性	120
5.2.1	解析模型	121
5.2.2	模型验证	122
5.2.3	阻止区	124
5.3	同轴 TSV 热应力和热应变的解析模型和特性	124
5.3.1	解析模型	125
5.3.2	模型验证	126
5.3.3	阻止区	127
5.3.4	特性分析	127
5.4	双环 TSV 热应力和热应变的解析模型和特性	129
5.4.1	与同轴 TSV 热应力对比	130
5.4.2	热应力解析模型及验证	131
5.4.3	和同轴 TSV 的 KOZ 及等效面积对比	132
5.4.4	不同 TSV 结构高频电传输特性对比	133
5.5	考虑硅各向异性时 TSV 热应力的研究方法	135
	参考文献	137
第 6 章	三维集成电路热管理	140
6.1	热分析概述	140
6.1.1	热传递基本方式	140
6.1.2	稳态传热和瞬态传热	142
6.1.3	线性与非线性热分析	143
6.2	最高层芯片温度的解析模型和特性	143
6.2.1	忽略 TSV 的最高层芯片温度解析模型	143
6.2.2	考虑 TSV 的最高层芯片温度解析模型	144
6.2.3	特性分析	146
6.3	各层芯片温度的解析模型和特性	147

6.3.1	忽略 TSV 的各层芯片温度的解析模型	148
6.3.2	考虑 TSV 的各层芯片温度的解析模型	149
6.3.3	特性分析	151
6.4	三维单芯片多处理器温度特性	153
6.4.1	3D CMP 温度模型	153
6.4.2	热阻矩阵	154
6.4.3	特性分析	155
6.5	热优化设计技术	157
6.5.1	CNT TSV 技术	158
6.5.2	热沉优化技术	159
6.5.3	液体冷却技术	160
	参考文献	161
第 7 章	新型 TSV 的电磁模型和特性	163
7.1	GSG 型空气隙 TSV 的电磁模型和特性	163
7.1.1	寄生参数提取	164
7.1.2	等效电路模型及验证	171
7.1.3	特性分析	174
7.1.4	和 GS 型空气隙 TSV 特性比较	175
7.1.5	温度的影响	176
7.2	GSG 型空气腔 TSV 的电磁模型和特性	184
7.2.1	工艺技术	184
7.2.2	品质因数	186
7.2.3	特性分析	189
7.2.4	等效电路模型及验证	190
7.3	SDTSV 的电磁模型和特性	192
7.3.1	结构	192
7.3.2	等效电路模型	193
7.3.3	模型验证	196
7.3.4	RLCG 参数全波提取方法	197
7.3.5	特性分析	200
	参考文献	205
第 8 章	CNT TSV 和三维集成电路互连线	208
8.1	CNT 制备	208
8.1.1	CNT 生长	208

8.1.2 CNT 致密化	209
8.2 CNT 等效参数提取	211
8.2.1 等效电阻	212
8.2.2 等效电感	214
8.2.3 等效电容	214
8.3 信号完整性分析	215
8.3.1 耦合串扰	215
8.3.2 信号传输	225
8.3.3 无畸变 TSV 设计	229
参考文献	233

第 1 章 三维集成电路概述

集成电路是指采用半导体工艺在半导体晶片或介质基片上制作电路中所需要的晶体管、电阻、电容和电感等元件及互连线，然后将其封装在一个管壳内成为具有所需电路功能的微型结构。1947 年，美国贝尔实验室的肖克利、巴丁和布拉顿发明了世界上第一只晶体管，这为集成电路的发明奠定了基础。1958 年，美国德州仪器公司的基尔比发明了世界上第一块锗集成电路，随后在 1959 年美国仙童公司的诺伊斯发明了世界上第一块硅集成电路，从此拉开了人类社会进入电子时代的序幕。

传统的集成电路是指平面二维集成电路，它是由一层半导体元件和多层互连线组成的。二维集成电路的发展主要依赖于光刻技术的不断进步和器件特征尺寸的不断缩小。自 20 世纪 60 年代以来，它的发展规律一直遵循着 Gordon Moore 提出的摩尔定律 (Moore's law)，即集成电路的集成度每 18 个月翻一番。目前集成电路产业已进入 22nm 技术节点。集成电路产业每进入一个新的技术节点，它的集成度和性能都会有所提升，然而技术进步所带来的集成电路性价比的提高却越来越小。导致这一趋势的主要原因包括以下几个方面^[1]：首先，依靠光刻技术不断进步的技术难度越来越大、成本越来越高，最终会导致通过减小特征尺寸提高性能的经济性不复存在，失去集成电路发展的源动力；其次，即使光刻技术能够不断进步，由于其他工艺水平、材料性质和物理规律的限制，基于目前场效应原理工作的金属-氧化物半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) 有可能在特征尺寸小于一定极限后不再有效，使集成电路的发展停滞；最后，即使 MOSFET 的特征尺寸越来越小，由于功耗的限制，器件时钟频率也会趋于稳定，性能难以持续提高。博通 CTO Henry Samueli 表示 28nm 技术节点和之后的工艺虽然会继续提升芯片的性能、降低功耗，但在成本上已经不能继续受益，未来有必要考虑新的选择。另外，随着技术节点的进步，晶体管的门延时不断减小，但是集成电路的复杂度和晶体管的数量却不断增加，芯片面积也不断增加，导致互连线的长度急剧增加。事实上，从 180nm 技术节点开始，集成电路互连线延时的增加量就超过了器件缩小所提升的性能，片上互连已经开始决定集成电路的性能。虽然目前有很多改善互连线延时的方法，如插入中继器和使用超低 k 介质材料，但其作用远远不能满足需求，互连延时问题将会成为未来集成电路发展的真正瓶颈，甚至导致摩尔定律最终也将因此而失效。所以，要想维持集成电路的发展速度，必须拓展新的发展空间。鉴于二维集成电路发展所面临的困难，人们将目光投向了三维集成电路。

1.1 三维集成电路

三维集成电路就是将多个同质、异质的芯片或电路模块在垂直方向堆叠起来，并利用硅通孔(Through Silicon Via, TSV)实现不同层器件之间的电学连接，共同完成一个或多个功能，它的结构如图 1.1 所示。三维集成电路为实现超摩尔(More than Moore)定律提供了广阔的发展平台，促使不同材料(硅、III-V 化合物、碳纳米管等)和工艺(存储器、逻辑电路、射频电路、微机械系统等)集成到一个芯片中。三维集成电路在解决二维集成电路的功耗、延时、工作频率、集成度、异质集成、成本等问题上表现出诱人的发展潜力。同时它也在 TSV 的制造、散热、成品率等问题上充满了挑战。

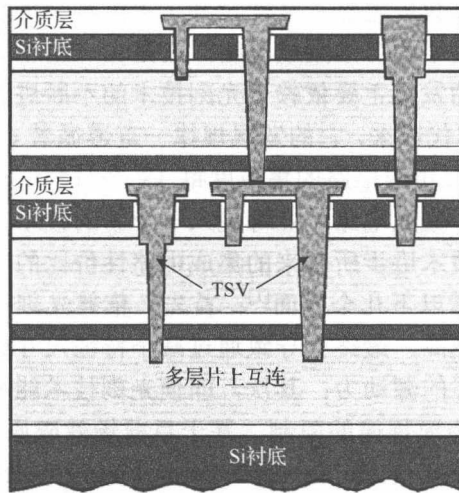


图 1.1 三维集成电路的结构^[2]

1.1.1 三维集成电路的优势

三维集成电路在垂直方向将多个裸芯片或电路模块堆叠起来并用 TSV 实现电连接，相比二维集成电路它具有如下优点^[2, 3]。

(1) 有效地减小了互连线的长度。二维集成电路和三维集成电路的互连系统比较如图 1.2 所示，二维集成电路中较长的全局互连线在三维集成电路中被 TSV 和短互连线替代。减小互连线的长度可以减小互连线的寄生参数，进而减小互连延时和功率损耗。

(2) 提高了互连密度。垂直互连增加了芯片间的 I/O 通道数目，能够将芯片间数据传输的带宽提高两个数量级以上，并且使系统能够同时传输大量的数据。传统的引线键合式封装能够为每个芯片提供几十到几百根引线；倒装焊芯片的模式则可以

提供几百甚至上千个外部互连；而三维集成电路能够提供密度高达 10^4mm^{-2} 的 TSV 作为堆叠芯片间的互连通道。

(3) 可实现异质集成。对于不同应用的芯片如传感器、微机电系统 (Micro Electro Mechanical Systems, MEMS)、射频 (Radio Frequency, RF) 系统、数模混合芯片、存储器、处理器等，为了达到最佳性能，需要采用不同的制造工艺和衬底材料。三维集成电路可将这些芯片集成在一个系统中，实现片上系统 (System-on-Chip, SoC)，其结构如图 1.3 所示。

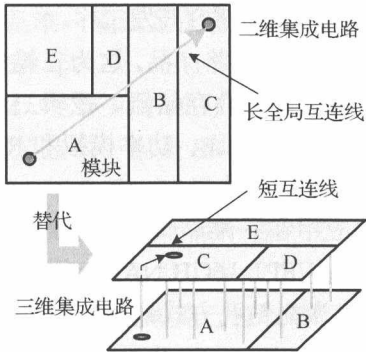


图 1.2 二维集成电路和三维集成电路的互连系统比较^[3]

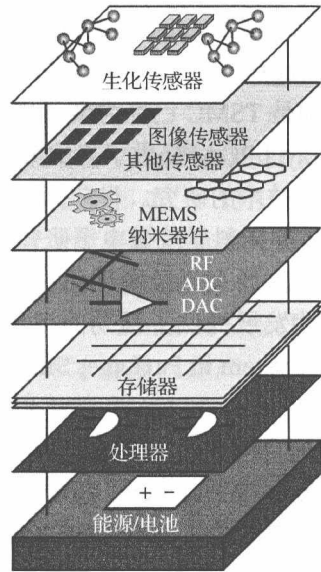


图 1.3 异质集成的三维集成电路结构^[2]

(4) 另外，三维集成电路还具有减小芯片面积、降低制造成本、减小形状因子 (form factor)、简化设计复杂度等优点。

1.1.2 三维集成电路的发展现状

三维集成电路发展至今已有 15 年历史了，国外有许多大学、研究机构和企业对三维集成电路进行了理论研究、产品研发和推广。美国是三维集成电路研究最为活跃的国家，目前 IBM、Intel、Motorola、TI 等半导体公司，伦斯勒理工学院、麻省理工学院 (MIT)、斯坦福大学、佐治亚理工学院、康乃尔大学、宾夕法尼亚大学、北卡罗来纳大学、奥尔巴尼纳米技术中心、艾尔文传感器公司、太阳微系统公司等大学和科研机构，以及新兴的从事三维集成电路的公司如 Ziptronix、Tezzaron、ThuSi 等，都在从事相关领域的研究^[1]。这些大学和研究机构的主要研究方向包括 TSV 制造和集成方法、三维集成方法学、热传导及可靠性、三维集成应用等。另外，还有一些科研单位和企业开

展了关于三维集成电路的设计和仿真研究，如 Micro、Magic、Cadence、UCLA、MIT 微系统实验室和北卡州立大学等。在欧洲从事三维集成电路研究的科研机构和企业主要有弗朗霍夫研究院 (Fraunhofer IZM)、资讯技术实验室 (CEA Léti)、微电子研究中心 (Interuniversity Microelectronics Centre, IMEC)、意法半导体公司 (STMicroelectronics)、EVG、Infineon、Delft 科技大学和 Philips 等。亚洲的科研机构和企业集中在日本、韩国和新加坡，主要包括 Sharp、NEC、Toshiba、三星 (Samsung) 等。

国内对三维集成电路也进行了广泛的研究。台湾积体电路制造股份有限公司 (Taiwan Semiconductor Manufacturing Company, TSMC)、ASE (Advanced Semiconductor Engineering) 和工业研究院等机构在三维集成电路制造技术方面的研究处于世界领先水平，特别是 TSMC 已经为赛灵思 (Xilinx) 公司的现场可编程门阵列 (Field Programmable Gate Array, FPGA) 提供了三维集成代工服务。清华大学微电子所从 2005 年就开始三维集成电路技术的研究。目前西安电子科技大学、浙江大学、中国科学院深圳先进技术研究院、中国科学院微电子研究所等单位也在从事此方面的研究开发工作。

目前市场上已经涌现出了许多基于 TSV 的三维集成电路产品，这为三维集成电路的继续发展提供了强劲的市场动力。它们主要集中在堆叠存储器、逻辑三维系统级封装 (System in Package, SiP)/SoC、高亮度发光二极管模块、功率模拟和 RF 电路模块、MEMS、FPGA 和传感器、图像及光学传感器等领域。

2006 年 4 月，三星表示已成功将 TSV 技术应用在三维晶圆级堆叠封装 (Three Dimensional Wafer Level Process Stack Package, 3D WSP) 16GB NAND 闪存 (Flash) 芯片中，它堆叠了八个 2GB NAND Flash 芯片，以激光钻孔方式制造 TSV，总高度是 0.56mm，这也是 TSV 技术最早的应用。

2009 年 2 月，三星开发了基于 TSV 技术的 8GB DDR3 (Double Data Rate 3) 动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 芯片，它使用 TSV 技术堆叠四颗 2GB DDR3 DRAM。同年尔必达 (Elpida) 也开发完成了 8GB DDR3 DRAM，它使用 TSV 技术堆叠了八颗 1GB DDR3 DRAM。

2010 年 11 月，赛灵思采用堆叠硅片互连技术 (Stacked Silicon Interconnect, SSI) 和 TSV 技术，将四个 FPGA 芯片在无源硅中介上互连，生产出含 68 亿个晶体管、200 万个逻辑单元相当于 2000 万个专用集成电路 (Application Specific Integrated Circuit, ASIC) 的大容量 3D FPGA Virtex-7 2000T 芯片。

2011 年 8 月，三星发布了采用 3D TSV 封装技术的节能型 32GB DDR3 带寄存器的双线内存模块 (Registered Dual In-line Memory Module, RDIMM) 芯片，它使用 30nm 级别工艺制造的 DRAM 颗粒，默认运行频率为 DDR3-1333MHz，功率只有 4.5W。三星称该产品“企业服务器用内存产品中功耗最低级别”，它比普通 30nm 级别工艺的低负载型双线内存模块 (Load-Reduced Dual Inline Memory Module, LRDIMM) 的产品功耗平均低约 30%。

2011年12月, IBM与美光科技宣布美光基于IBM的TSV工艺实现了混合存储立方体(Hybrid Memory Cube, HMC)DRAM芯片, 它也是第一个采用IBM TSV工艺的商业化互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)制造技术。HMC的数据带宽能达到128GB/s, 比现有内存芯片快15倍, 同时它能够将芯片的封装尺寸减小90%, 传输数据消耗的能量减少70%。

2012年2月, 美国佐治亚理工学院、韩国KAIST(Korea Advanced Institute of Science and Technology)大学和Amkor Technology公司在ISSCC 2012上, 共同发布了将277MHz驱动的64核处理器芯片和容量为256KB的静态随机存储器(Static Random Access Memory, SRAM)芯片三维堆叠后构筑而成的处理器子系统3D-MAPS(3D Massively Parallel Processor with Stacked Memory)芯片。

2012年5月, 赛灵思正式发布全球首款异构3D FPGA Virtex[®]-7 H580T芯片, 它采用SSI和TSV技术, 可提供多达16个28Gbit/s收发器和72个13.1Gbit/s收发器, 也是唯一能满足关键Nx100G和400G线路卡应用功能要求的单芯片解决方案。

2014年4月, SK海力士发布了世界首款128GB DDR4(Double Data Rate 4)RDIMM, 它采用了海力士先进的8GB DDR4 DRAM芯片、20nm级制程技术和3D TSV封装技术。但是SK海力士表示要到2015年上半年才会投入量产。

2014年8月, 三星宣布开始量产64GB DDR4 RDIMM芯片, 它由36个DDR4 DRAM芯片组成, 而每个芯片又包含4颗4GB的DDR4 DRAM裸片。这款低能耗的芯片采用了三星最尖端的20nm级制程技术和3D TSV封装技术。

虽然三维集成电路已经取得了不小的成就, 但是TSV工艺仍处于技术开发阶段, 业界对各个技术环节尚未能达成一致, 工艺技术标准尚未达成。例如, 通孔的尺寸大小、硅片的厚度、填充金属材料的选择、先通孔或后通孔制造工艺的选择(尽管对于封装公司必须采用后通孔制造工艺)等。为此各个企业、研究机构之间已经开展合作形成了各种联盟, 以期在未来3D芯片竞争中掌握标准和专利优势。全球三维集成电路的联盟情况如表1.1所示, 可见美国是三维集成电路科研队伍的中坚力量, 其次是欧洲。

表 1.1 全球三维集成电路的联盟情况

国家/地区	联盟	发起人	备注
台湾	Ad-STAC	ITRI	200/300mm
日本	Dream Chip Project	ASET	200mm
美国/韩国/德国	3DASSM	Georgia Tech/IZM-Munich/KAIST	
美国	3D-IC Alliance	Tezzaron/Ziptronix	
美国	3D Interconnects	Sematech	
美国/欧洲	EMC-3D	AMAT/Semitool/EVG/...	设备供应商
欧洲	e-Cubes	EU members	
比利时	LLAP-3D	IMEC	200/300mm

1.1.3 三维集成电路的发展趋势

三维集成电路和 TSV 互连的发展线路图如图 1.4 所示。可见三维集成电路朝着小体积、高集成度、高数据带宽、多功能的方向发展，并且最终的目标是实现高度集成的异质三维集成电路。另外，还可以看出 TSV 技术是实现三维集成电路的最关键技术，可以说三维集成电路的设计就是 TSV 的设计。

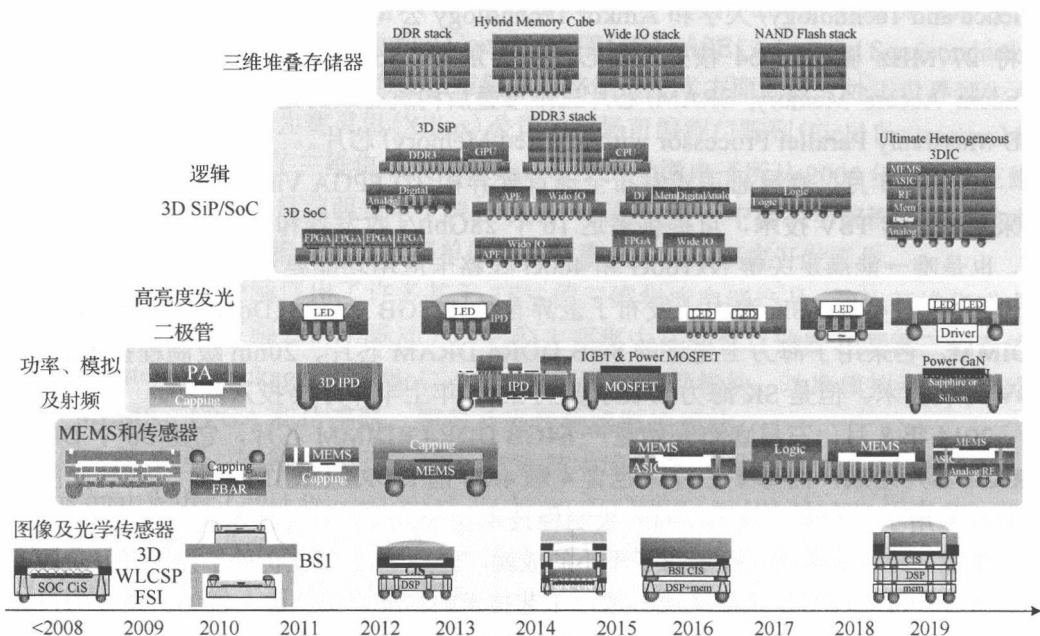


图 1.4 三维集成电路和 TSV 互连的发展线路图^[4]

在三维集成电路中，TSV 可连接上、下层芯片的全局互连线形成全局互连层三维集成电路，也可上、下层芯片的中间层互连线形成中间互连层三维集成电路。全局互连层三维集成电路可以采用芯片对芯片 (Die-to-Die, D2D)、芯片对圆片 (Die-to-Wafer, D2W)、圆片对圆片 (Wafer-to-Wafer, W2W) 三种键合方式，如堆叠键合 IP 模块。它的 TSV 制作流程集成到了晶圆片生产线中，而三维堆叠键合工艺流程与标准的硅工艺流程无关。全局互连层三维集成电路的发展趋势如表 1.2 所示。中间互连层三维集成电路主要采用 W2W 键合方式，如堆叠键合小的电路模块。它的 TSV 制作流程和三维堆叠键合工艺流程都集成到了晶圆片生产线中。中间互连层三维集成电路的发展趋势如表 1.3 所示。可以看出中间互连层三维集成电路的 TSV 尺寸和键合最小接触节距均比全局互连层三维集成电路的 TSV 尺寸和键合最小接触节距要小得多，即中间互连层三维集成电路可实现高密度互连，而它们的最大深宽比却相同且朝着高深宽比的方向发展。另外，在 2015~2018 年，中间互连层三维

集成电路的堆叠层数将远大于全局互连三维集成电路的堆叠层数。可见中间互连层三维集成电路工艺技术优于全局互连层三维集成电路工艺技术。

表 1.2 全局互连层三维集成电路的发展趋势^[5]

W2W/D2W/D2D	2011~2014 年	2015~2018 年
最小 TSV 直径/ μm	4~8	2~4
最小 TSV 间距/ μm	8~16	4~8
最小 TSV 深度/ μm	20~50	20~50
最大 TSV 深宽比	5:1~10:1	10:1~20:1
键合对准误差/ μm	1.0~1.5	0.5~1.0
最小接触节距(热压)/ μm	10	5
最小接触节距(焊锡凸块)/ μm	20	10
堆叠层数	2~3	2~4

表 1.3 中间互连层三维集成电路的发展趋势^[5]

W2W	2011~2014 年	2015~2018 年
最小 TSV 直径/ μm	1~2	0.8~1.5
最小 TSV 间距/ μm	2~4	1.6~3.0
最小 TSV 深度/ μm	6~10	6~10
最大 TSV 深宽比	5:1~10:1	10:1~20:1
键合对准误差/ μm	1.0~1.5	0.5~1.0
最小接触节距/ μm	2~3	2~3
堆叠层数	2~3	8~16(DRAM)

随着三维集成电路的快速发展,它的市场产值占整个半导体领域总产值的比例也越来越大。图 1.5 所示为市场调研机构 Yole Développement 预测的全球三维集成电路及相关产品的市场规模。在 2010 年,包括 CMOS 图像与传感器、光传感器、功率放大器、MEMS 谐振器和传感器等在内的三维集成电路及相关产品总产值为 19 亿美元,仅占整个半导体产业总产值 3500 亿美元的 0.54%。预计到 2017 年,三维集成电路及相关产品总产值将达到 380 亿美元,占整个半导体产业总产值 4453 亿美元的 8.62%。可见全球三维集成电路及相关产品的市场规模呈爆发式增长,其增速约为整个半导体市场发展速度的 10 倍。

图 1.6 为 Yole Développement 按照产品种类预测的未来三维集成电路及相关产品的等效 12 寸^①圆片产能发展情况。在 2010 年,三维集成电路及相关产品的等效 12 寸圆片的产量约为 44 万片,其中图像及光学传感器占了大约 93% 的份额,其他产品的总和才占到 7% 左右。预计到 2017 年,三维集成电路及相关产品的等效 12 寸圆片的产量将达到近 100 万片,其中 3D 堆叠 NAND 闪存,3D 高带宽存储器,逻辑 3D SiP/SoC,3D 堆叠 DRAM, MEMS 传感器,发光二极管(Light Emitting Diode,

① 1 寸=1/30m。

LED)、RF、功率、模拟及混合信号,图像及光学传感器所占份额分别为3%、14.8%、33%、16.5%、6.4%、2.5%、2.3%、21.5%。另外根据预测数据,三维集成电路及相关产品的年复合增长率将达到56%,其中DRAM和逻辑SiP/SoC的增长速度最快,图像及光学传感器和MEMS传感器的增长速度明显低于上述应用,而LED、RF、功率器件和数模混合等领域将由于市场容量和成本的原因,增长速度较为缓慢。

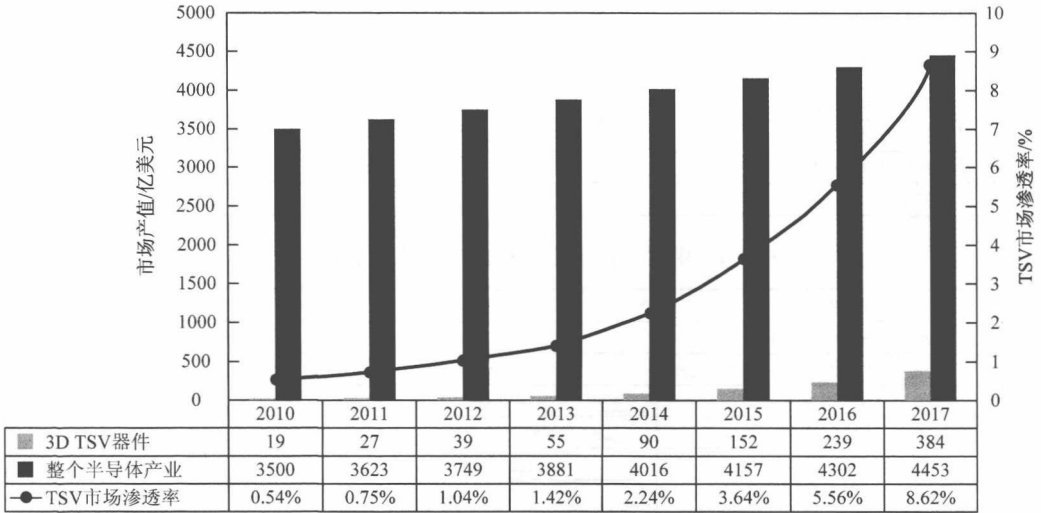


图 1.5 全球三维集成电路产品的市场规模预测^[4]

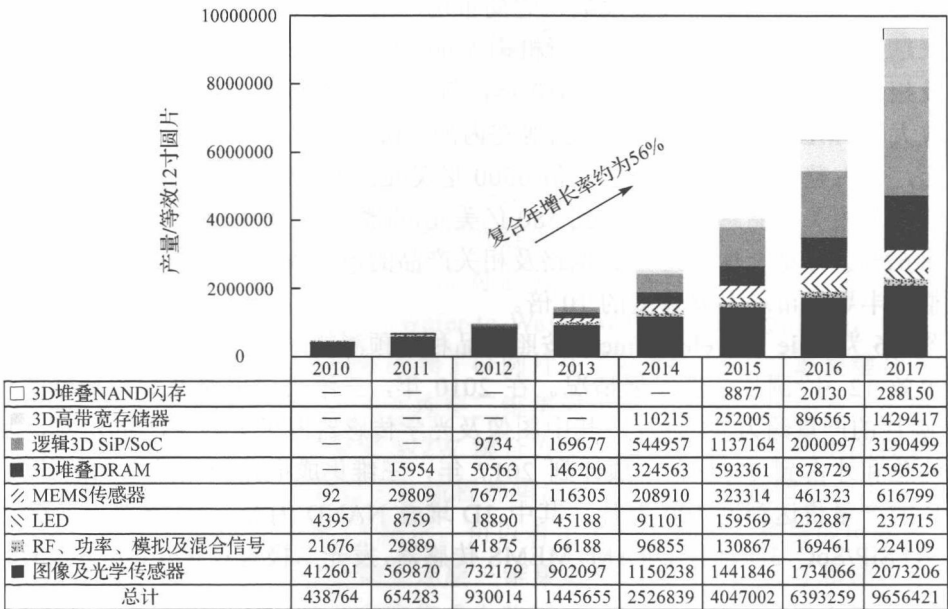


图 1.6 全球三维集成电路产量预测^[4]