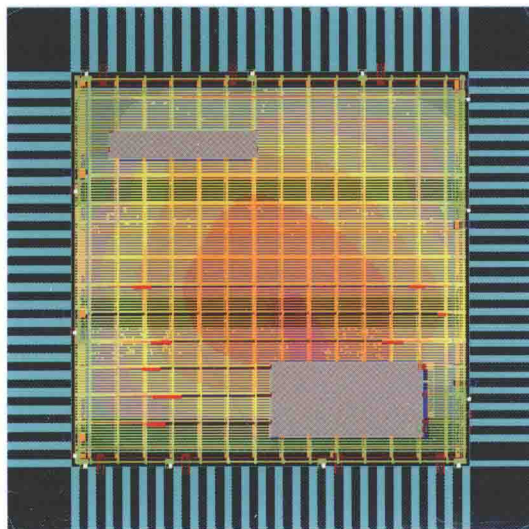


作者十年磨铁之作，Intel、睿晟微电子、复旦微电子多位专家联袂推荐。
首本由本土作者系统讲解集成电路后端设计的专著，集后端设计之大成。
结合后端设计的主流工具，理论联系实际，极具可操作性。



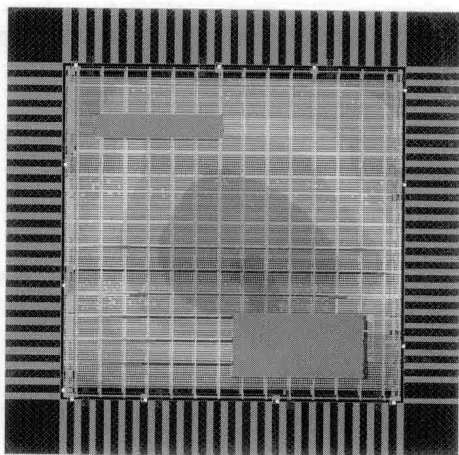
CMOS

CMOS集成电路 后端设计与实战

刘峰 编著



机械工业出版社
China Machine Press



CMOS

CMOS集成电路 后端设计与实战

刘峰 编著



机械工业出版社
China Machine Press

图书在版编目 (CIP) 数据

CMOS 集成电路后端设计与实战 / 刘峰编著. —北京: 机械工业出版社, 2015.9
(电子与嵌入式系统设计丛书)

ISBN 978-7-111-51440-4

I. C… II. 刘… III. MOS 集成电路—电路设计 IV. TN432.02

中国版本图书馆 CIP 数据核字 (2015) 第 214715 号

本书从广度和深度两方面阐述 CMOS 集成电路后端设计流程与设计技术, 并通过实战案例深入地讲解技术应用, 有助于集成电路后端设计的初学者同时提高理论与实战水平。全书共有 14 章, 分为三部分: 后端全定制设计 (标准单元库设计) 及实战、后端半定制设计 (布局布线设计) 及实战、静态时序分析及实战。

本书适合作为微电子与集成电路相关专业研究生、本科生、专科生的教材和教辅书, 也可作为电子、自控、通信、计算机类工程技术人员学习集成电路设计软件和进修集成电路设计的专业技术参考书和工具书。

CMOS 集成电路后端设计与实战

出版发行: 机械工业出版社 (北京市西城区百万庄大街 22 号 邮政编码: 100037)

责任编辑: 秦秀真

责任校对: 殷虹

印刷: 北京诚信伟业印刷有限公司

版次: 2015 年 9 月第 1 版第 1 次印刷

开本: 186mm × 240mm 1/16

印张: 24.25

书号: ISBN 978-7-111-51440-4

定价: 69.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

客服热线: (010) 88379426 88361066

投稿热线: (010) 88379604

购书热线: (010) 68326294 88379649 68995259

读者信箱: hzit@hzbook.com

版权所有·侵权必究

封底无防伪标均为盗版

本书法律顾问: 北京大成律师事务所 韩光 / 邹晓东

前 言

在当今信息化的社会中,集成电路已成为各行各业实现信息化、智能化的基础。无论是在军事还是民用上,它已起着不可替代的作用。集成电路产业是全球范围内的核心高科技产业之一,具有战略性和市场性双重特性。在国防和国家安全领域,集成电路起着维护国家利益,捍卫国家主权的关键作用;在经济建设和增强综合国力的过程中,集成电路又是核心竞争力的具体表现。自20世纪中期以来,集成电路产业遵循摩尔定律飞速发展。集成电路产业的兴起奠定了现代信息技术的基石,现代信息技术正迅速地改变世界人们的生活方式,没有半导体技术突飞猛进的发展就没有信息技术日新月异的变化。

集成电路后端设计技术是集成电路设计中的关键技术,宇航级、军用级和高性能级芯片都需要先进的后端设计技术来支撑。目前我国集成电路后端设计能力远落后于国外发达国家,而且高端的后端设计技术基本被少数几个发达国家的集成电路设计公司所垄断,因此发展和提高我国集成电路后端设计能力具有打破国外技术垄断和封锁的重要意义。

本书主要内容

全书共有14章,第1~2章概述集成电路发展状况及后端设计方法,第3~14章讲解集成电路后端设计技术。

□ 第1章简要介绍集成电路发展状况和重要性,使读者对集成电路行业有一个初步的了解。

□ 第2章简要介绍集成电路后端设计方法和业界主流的后端设计工具,使读者对后端设计有广度上的认识。

第一部分 后端全定制设计及实战

□ 第3章讲解后端全定制设计之标准单元设计技术的理论知识。标准单元库是集成电路设计的基础,它的质量和性能对集成电路设计至关重要。具备自行设计标准单元库的后端设计能力能够大大提升集成电路的设计性能并对特殊需求的设计进行灵活优化。

- 第4章讲解后端全定制设计之标准单元电路设计技术。在CMOS工艺下，一个给定的逻辑功能可以通过多种电路结构来实现。该章将介绍几种比较常见的数字电路实现结构，使读者学习标准单元电路设计的设计方法。
- 第5章讲解后端全定制设计之标准单元电路设计实战。该章将讲解基于AMD公司的全定制时序单元HLFF的电路设计过程，使读者学习标准单元电路在实际工程应用中的基本设计技术。
- 第6章讲解后端全定制设计之标准单元版图设计技术。在完成单元电路的设计之后，就进入版图设计阶段。不管对于数字集成电路设计还是模拟混合集成电路设计，版图设计都是必不可少的重要设计环节。
- 第7章讲解后端全定制设计之标准单元版图设计实战。该章将介绍基于AMD公司的全定制时序单元HLFF的版图设计过程，该HLFF单元的版图设计环境基于TSMC130的制造工艺要求，使读者学习标准单元版图在实际工程应用中的基本设计技术。
- 第8章讲解后端全定制设计之标准单元特征化技术。对一个复杂芯片中的每一个模块，不论是简单的标准单元（如NAND、NOR等），还是复杂的定制设计模块（如RAM或处理器核等）都需要一个时序模型。
- 第9章讲解后端全定制设计之标准单元特征化实战。在设计完成标准单元的原理图和版图后，时序分析工具需要读取该单元的时序信息，比如综合工具需要知道单元的逻辑功能、单元实际的输入负载电容、在不同输入斜率和输出负载情况下单元的延时和功耗、单元的面积等，单元时序信息特征化就是用模拟仿真器来提取标准单元以上信息的过程。通过时序信息特征化提供单元的时序数据给多种时序分析工具使用。

第二部分 后端半定制设计及实战

- 第10章讲解后端半定制设计之物理实现技术。当ASIC设计完成前端逻辑综合并生成了门级网表后，接下来的任务就是门级网表的物理实现，即把门级网表转换成版图(Layout)，这个过程通常称为半定制后端设计。在半定制设计流程中，数字后端是指自动布局布线(Auto Place and Route, APR)物理实现。
- 第11章讲解后端半定制设计之OpenSparcT1-FPU布局布线实战。该章基于OpenSparcT1里浮点处理器单元(Floating-point Processor Unit, FPU)的物理实现来讲解布局布线设计过程，使读者学习半定制设计中布局布线在实际工程应用中的基本设计技术。
- 第12章讲解后端半定制设计之OpenSparcT1-FPU电压降分析实战。该章基于

OpenSparcT1 里浮点计算单元部件 (Floating-point processor unit, FPU) 的物理实现结果讲解电压降分析过程, 使读者学习半定制设计中电压降分析在实际工程中的应用。

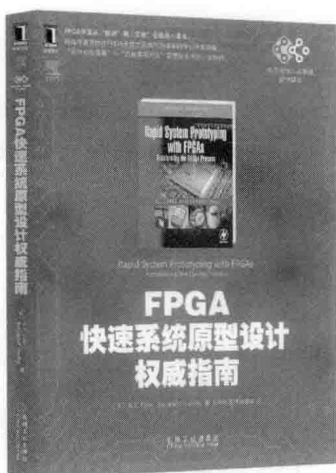
第三部分 静态时序分析及实战

- 第 13 章讲解静态时序分析技术。随着芯片尺寸的减小和集成度密集化的增强、电路设计复杂度的增加、电路性能要求的提高, 它们都对芯片内的时序分析提出了更高的要求。静态时序分析是大规模集成电路设计中非常重要的一个环节, 它能验证设计在时序上的正确性, 并决定设计是否能够在要求的工作频率下运行。
- 第 14 章讲解静态时序分析实战。该章基于 OpenSparcT1 里浮点计算单元部件 (Floating-point processor unit, FPU) 的物理实现来讲解静态时序分析过程, 使读者学习静态时序分析在实际工程中的应用。

最后, 非常感谢我的导师张民选教授和项目指导老师李少青研究员传授我集成电路设计知识, 同时感谢 icdream 论坛模拟部件设计板块版主吴占托先生为本书实战素材的运行环境提供的大力支持。在本书的编写过程中, 得到了机械工业出版社华章分社的大力支持, 在此, 对他们表示诚挚的感谢。

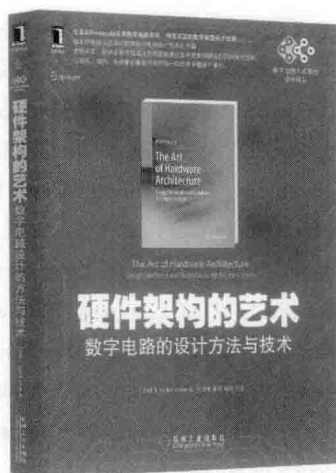
集成电路设计领域的研究发展迅速, 对许多问题作者并未作深入研究, 一些有价值的新内容也来不及收入本书, 加上作者知识水平和实践经验有限, 书中难免存在不足之处, 敬请读者批评指正。

推荐阅读



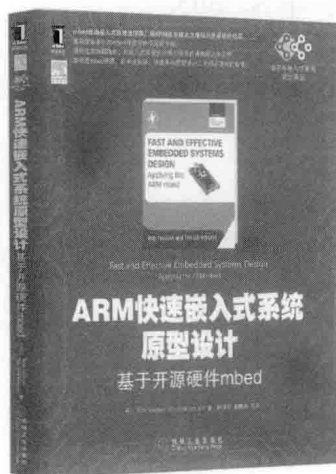
FPGA快速系统原型设计权威指南

作者: R.C. Cofer 等 ISBN: 978-7-111-44851-8 定价: 69.00元



硬件架构的艺术: 数字电路的设计方法与技术

作者: Mohit Arora ISBN: 978-7-111-44939-3 定价: 59.00元



ARM快速嵌入式系统原型设计: 基于开源硬件mbed

作者: Rob Toulson 等 ISBN: 978-7-111-46019-0 定价: 69.00元



嵌入式软件开发精解

作者: Colin Walls ISBN: 978-7-111-44952-2 定价: 79.00元

推荐阅读



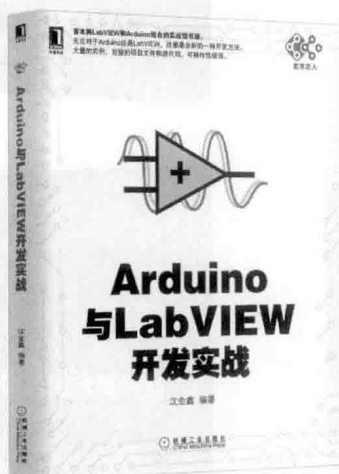
Arduino高级开发权威指南 (原书第2版)

作者: Steven F. Barrett ISBN: 978-7-111-45246-1 定价: 59.00元



例说XBee无线模块开发

作者: Jonathan A. Titus ISBN: 978-7-111-45681-0 定价: 59.00元



Arduino与LabVIEW开发实战

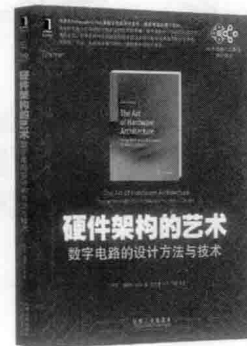
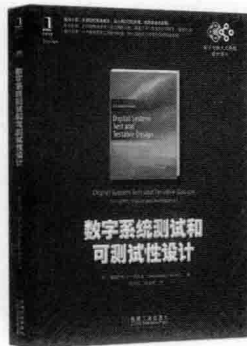
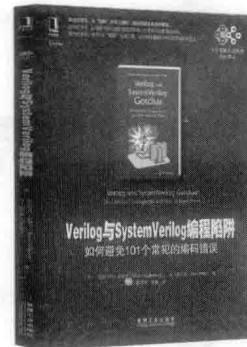
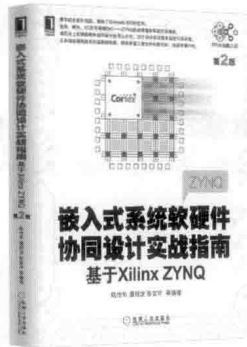
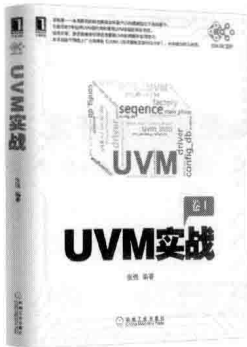
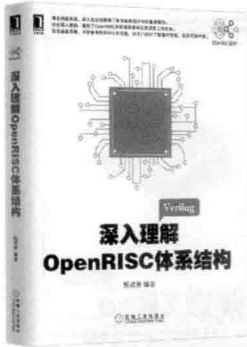
作者: 沈金鑫 ISBN: 978-7-111-45839-5 定价: 59.00元



Arduino开发实战指南: STM32篇

作者: 姚汉 ISBN: 978-7-111-44582-1 定价: 59.00元

推荐阅读



目 录

前言

第 1 章 引论 1

- 1.1 集成电路发展史简介 1
- 1.2 国内集成电路发展现状 2
- 1.3 国际集成电路发展趋势 4

第 2 章 集成电路后端设计方法 5

- 2.1 集成电路后端设计 5
- 2.2 后端全定制设计方法 5
 - 2.2.1 后端全定制设计流程介绍 6
 - 2.2.2 主流后端全定制设计工具介绍 6
 - 2.2.3 后端全定制设计小结 13
- 2.3 后端半定制设计方法 13
 - 2.3.1 后端半定制设计流程介绍 13
 - 2.3.2 主流后端半定制设计工具介绍 14
 - 2.3.3 后端半定制设计小结 21

第一部分 后端全定制设计及实战

第 3 章 后端全定制设计之标准 单元设计技术 24

- 3.1 设计标准单元库的重要性 24
- 3.2 标准单元设计技术 25
 - 3.2.1 标准单元的基本介绍 25

3.2.2 标准单元的基本类型 27

3.2.3 标准单元库提供的数据 29

3.2.4 标准单元设计参数 29

3.3 标准单元设计流程 39

3.3.1 方案设计 40

3.3.2 标准单元电路及版图设计 43

3.3.3 标准单元库版图和时序信息
的提取 45

3.3.4 库模型与库文档生成 47

3.3.5 设计工具流程验证 48

3.3.6 测试电路设计及工艺流片
验证 49

3.4 标准单元设计需要的数据 49

3.5 标准单元设计 EDA 工具 50

第 4 章 后端全定制设计之标准 单元电路设计技术 51

4.1 CMOS 工艺数字电路实现结构 51

4.1.1 静态电路实现结构 51

4.1.2 伪 NMOS 电路实现结构 52

4.1.3 传输管与传输门电路 53

4.1.4 动态电路实现结构 54

4.1.5 高扇入逻辑电路的实现结构 55

4.2 CMOS 数字电路优化 60

4.3 标准单元库中几种时序单元介绍 61

4.3.1	C ² MOS 触发器	62
4.3.2	真单相触发器	62
4.3.3	脉冲触发器	63
4.3.4	数据流触发器	64

第 5 章 后端全定制设计之标准 单元电路设计实战

5.1	电路设计流程	65
5.2	时序单元 HLFF 的电路设计	65
5.2.1	建立库及电路设计环境	65
5.2.2	Vitioso Schematic Composer 使用基础	68
5.2.3	时序单元 HLFF 电路实现	69
5.2.4	时序单元 HLFF 电路元件的 产生	70
5.2.5	时序单元 HLFF 电路网表 输出	71
5.3	时序单元 HLFF 的电路仿真	72
5.3.1	设置带激励输入的仿真 电路图	73
5.3.2	使用 Virtuoso Spectre Circuit Simulator 进行电路仿真	74

第 6 章 后端全定制设计之标准 单元版图设计技术

6.1	基本 CMOS 工艺流程	80
6.2	基本版图层	82
6.2.1	NMOS/PMOS 晶体管的 版图实现	83
6.2.2	串联晶体管的版图实现	83
6.2.3	并联晶体管的版图实现	84
6.2.4	CMOS 反相器的版图实现	85
6.2.5	缓冲器的版图实现	85

6.2.6	CMOS 二输入与非门和或 非版图实现	86
6.3	版图设计规则	87
6.4	版图设计中晶体管布局方法	93
6.4.1	基本欧拉路径法	94
6.4.2	欧拉路径法在动态电路中的 应用	95
6.4.3	晶体管尺寸对版图的影响	97
6.5	标准单元版图设计的基本指导	97
6.5.1	优化设计标准单元	98
6.5.2	标准单元 PIN 脚的设计	100

第 7 章 后端全定制设计之标准 单元版图设计实战

7.1	版图设计流程	104
7.2	时序单元 HLFF 版图实现	105
7.2.1	建立项目库及版图设计 环境	105
7.2.2	Vitioso Layout Editor 使用 基础	106
7.2.3	时序单元 HLFF 版图实现	111
7.2.4	时序单元 HLFF 版图 GDS 输出	115
7.3	版图设计规则检查	116
7.3.1	执行版图设计规则检查	116
7.3.2	基于版图设计规则结果的 调试	119
7.4	版图与电路等价性检查	120
7.4.1	执行版图与电路等价性 检查	120
7.4.2	基于版图与电路等价性检查 结果的调试	124
7.5	版图寄生参数提取	126

第 8 章 后端全定制设计之标准 单元特征化技术

- 8.1 标准单元时序模型介绍 129
 - 8.1.1 基本的时序模型归纳 129
 - 8.1.2 时序信息建模方法 130
 - 8.1.3 时序信息文件基本内容 131
- 8.2 标准单元物理格式 LEF 介绍 136
 - 8.2.1 LEF 文件中重要参数详细
说明 136
 - 8.2.2 LEF 文件全局设置 139
 - 8.2.3 LEF 文件中工艺库物理
信息设置 139
 - 8.2.4 LEF 文件中单元库物理
信息设置 142
 - 8.2.5 LEF 对应的图形视图 144

第 9 章 后端全定制设计之标准 单元特征化实战

- 9.1 时序信息提取实现 145
 - 9.1.1 时序信息特征化的实现
流程 145
 - 9.1.2 时序信息特征化的数据
准备 146
 - 9.1.3 标准单元 HLFF 的时序信息
特征化 149
 - 9.1.4 SiliconSmart 工具流程介绍 155
- 9.2 物理信息抽象化实现 155
 - 9.2.1 物理信息抽象化实现流程 156
 - 9.2.2 建立物理信息抽象化工作
环境 156
 - 9.2.3 标准单元 HLFF 的物理信息
抽象化 161
 - 9.2.4 版图抽象化后 LEF 数据
输出 174

第二部分 后端半定制设计及实战

第 10 章 后端半定制设计之物理 实现技术

- 10.1 半定制物理实现工程师应该具备
的能力 178
- 10.2 半定制物理实现流程 179
- 10.3 半定制物理实现使用的 EDA
工具 181
- 10.4 半定制物理实现需要的数据 182
- 10.5 布局规划 182
- 10.6 电源规划 188
 - 10.6.1 电压降与电迁移 188
 - 10.6.2 电源规划前的功耗预估
方法 193
 - 10.6.3 电源条带的基本设置方法 194
 - 10.6.4 电源环的基本设置方法 197
 - 10.6.5 电源网络分析的基本
方法 197
- 10.7 时钟树的实现 199
 - 10.7.1 常见时钟网络的实现方法 199
 - 10.7.2 时钟树的综合策略 201
 - 10.7.3 时钟树的基本性能参数 202
 - 10.7.4 时钟树的综合流程 205
 - 10.7.5 门控时钟 209
 - 10.7.6 时钟树优化基本指导 210
- 10.8 布线 214
 - 10.8.1 天线效应 214
 - 10.8.2 串扰噪声 220
 - 10.8.3 数模混合信号线走线的
基本方法 224
- 10.9 ECO 226

第 11 章 后端半定制设计之 Open-SparcT1-FPU 布局布线实战

- 11.1 布局布线的基本流程 229
- 11.2 布局布线工作界面介绍 230
- 11.3 建立布局布线工作环境 231
- 11.4 布局布线实现 236
 - 11.4.1 芯片布局 236
 - 11.4.2 电源网络实现 238
 - 11.4.3 自动放置标准单元 244
 - 11.4.4 时钟树综合 247
 - 11.4.5 布线 252
 - 11.4.6 芯片版图完整性实现 256
 - 11.4.7 布局布线数据输出 259

第 12 章 后端半定制设计之 Open-SparcT1-FPU 电压降分析实战

- 12.1 电压降分析的基本流程 262
- 12.2 建立电压降分析的工作环境 262
- 12.3 电压降分析实现 266
 - 12.3.1 设置电源网格库 266
 - 12.3.2 功耗计算 269
 - 12.3.3 电压降分析 271

第三部分 静态时序分析及实战

第 13 章 静态时序分析技术 278

- 13.1 静态时序分析介绍 278
 - 13.1.1 静态时序分析背景 278
 - 13.1.2 静态时序分析优缺点 279

13.2 静态时序分析基本知识 280

- 13.2.1 CMOS 逻辑门单元时序参数 280
- 13.2.2 时序模型 281
- 13.2.3 互连线模型 282
- 13.2.4 时序单元相关约束 283
- 13.2.5 时序路径 284
- 13.2.6 时钟特性 287
- 13.2.7 时序弧 289
- 13.2.8 PVT 环境 292

13.3 串扰噪声 293

- 13.3.1 串扰噪声恶化原因 293
- 13.3.2 串扰噪声的体现形式 294
- 13.3.3 串扰噪声相互作用形式 295
- 13.3.4 时间窗口 296

13.4 时序约束 298

- 13.4.1 时钟约束 298
- 13.4.2 I/O 延时约束 308
- 13.4.3 I/O 环境建模约束 309
- 13.4.4 时序例外 311
- 13.4.5 恒定状态约束 315
- 13.4.6 屏蔽时序弧 316
- 13.4.7 时序设计规则约束 317

13.5 静态时序分析基本方法 318

- 13.5.1 时序图 318
- 13.5.2 时序分析策略 320
- 13.5.3 时序路径延时的计算方法 321
- 13.5.4 时序路径的分析方法 323
- 13.5.5 时序路径分析模式 327

第 1 章

引 论

一般人对集成电路 (Integrated Circuit, IC) 也许会感到陌生, 但我们和它打交道的机会很多。例如, 计算机、电视机、手机、网站、取款机等, 数不胜数。除此之外在航空航天、星际飞行、医疗卫生、交通运输、武器装备等许多领域, 几乎都离不开集成电路的应用。在当今世界, 说它无孔不入并不过分。所谓集成电路, 就是在一块极小的硅单晶片上, 利用半导体工艺制作许多晶体二极管、三极管、电阻及电容等元件, 连接成整体并完成特定电子技术功能的电子电路。从外观上看, 它已成为一个不可分割的完整器件。集成电路在体积、重量、耗电、寿命、可靠性及电性能方面远远优于晶体管元件组成的电路。

在当今这个信息化社会中, 集成电路已成为各行各业实现信息化、智能化的基础。无论是在军事还是民用上, 它都起着不可替代的作用。集成电路产业是全球范围内的核心高科技产业之一, 具有战略性和市场性的双重特性。在国防和国家安全领域, 集成电路起着维护国家利益, 捍卫国家主权的关键作用; 在经济建设和增强综合国力的过程中, 集成电路又是核心竞争力的具体表现。自 20 世纪中期以来, 集成电路产业遵循摩尔定律飞速发展。集成电路产业的兴起奠定了现代信息技术的基石, 没有半导体技术突飞猛进的发展就没有信息技术日新月异的变化。

1.1 集成电路发展史简介

集成电路的发展经历了一个漫长的过程, 这里以时间顺序简单地介绍它的发展过程。1906 年, 第一个电子管诞生; 1912 年, 电子管制作工艺的日趋成熟引发了无线电技术的发展; 1918 年, 人们逐步发现了半导体材料; 1920 年, 人们发现半导体材料所具有的光敏特性; 1932 年, 运用量子学说建立了能带理论研究半导体现象; 1947 年, 美国贝尔实验室的巴丁等发明晶体管, 如图 1-1 所示。作为划时代的发明, 他们因此获得了 1956 年诺贝尔物理学奖。

1952 年, 英国科学家达默 (G. W. A. Dummer) 第一次提出了集成电路的设想; 1958 年, TI 公司的科学家基尔比 (Clair Kilby) 与仙童公司的诺伊斯 (Robert Noyce) 先后独

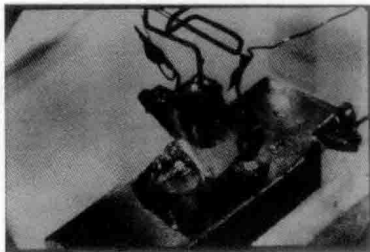


图 1-1 巴丁等发明的晶体管

立地发明了集成电路，如图 1-2 所示。基尔比等人获得了 2000 年诺贝尔物理学奖以表彰他们为现代信息技术的所作出的基础性贡献。

1966 年，美国贝尔实验室使用比较完善的硅外延平面工艺制造了第一块公认的大规模集成电路。1971 年，Intel 公司生产出第一个微处理器芯片 4004，如图 1-3 所示。

1988 年，16MB DRAM 问世， 1cm^2 大小的硅片上集成有 3500 万个晶体管，标志着进入超大规模集成电路阶段。1997 年，300MHz 奔腾 II 问世，它采用 $0.25\mu\text{m}$ 工艺，奔腾系列芯片的推出让计算机的发展如虎添翼，发展速度让人惊叹。2009 年，Intel 酷睿 i 系列全新推出，采用 32nm 工艺。

集成电路的集成度从小规模到大规模、再到超大规模的迅速发展，关键在于集成电路的布图设计水平的迅速提高，集成电路的布图设计由此日益复杂而精密。这些技术的发展，使得集成电路的发展进入了一个新的发展。相信随着科技的发展，集成电路还会有更高的发。

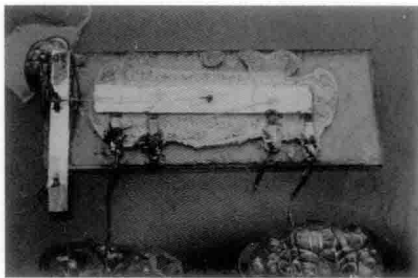


图 1-2 第一块集成电路



图 1-3 第一个微处理器芯片 4004

1.2 国内集成电路发展现状

集成电路对国民经济的倍增作用已被人们充分认识，它对各行业的影响可表示为：IC 业、电子整机业、应用服务业的比为 1 : 10 : 100。有关资料表明，集成电路对一个国家经济发展的贡献率远大于其他产业，例如，钢铁对国民生产总值（GNP）的贡献率为 1，汽车对 GNP 的贡献率为 5，彩电对 GNP 的贡献率为 30，计算机对 GNP 的贡献率为 1000，而集成电路对 GNP 的贡献率为 3000，发达国家 GNP 增长的 65% 与 IC 相关。尤其集成电路高级产品—芯片，它被人们形象地比喻为国家的“工业粮食”，是信息产业的核心，是所有整机设备的“心脏”。据国际货币基金组织测算，芯片 1 元的产值可带动相关电子信息产业 10 元产值，带来 100 元的 GDP，欧美发达国家也纷纷将芯片产业列入国家战略产业。

我国集成电路产业诞生于 20 世纪 60 年代，经过 30 多年的发展目前已形成一定的发展规模，由 7 个芯片生产骨干企业、十几个重点封装厂、几十家设计公司、若干个关键材料及专用设备仪器制造厂组成的产业群体初步形成电路设计芯片制造和电路封装三业并举。在地域上，呈现相对集中的布局（苏浙沪京津粤闽地区），据报道 2004 年我国（包括中国台湾地区）在销售增长方面排名全球第一，成为全球最大的半导体市场。在产业链接环节中，我国集成电路制造业销售额规模在 2004 年成倍增长，全年规模突破 100 亿元达到 181.24 亿元，

同比增长 190%。作为集成电路产业龙头的集成电路设计业,在 2004 年国内集成电路设计行业销售收入同比增长 81.5%,规模达到 81.5 亿元。封装测试业方面全行业全年销售收入的同比增长达到 15.8%,规模接近 300 亿元。

国内集成电路产业最近几年获得了较快的发展,一些优势企业的竞争力开始显现。以增长最快的设计业为例,2011 年,IC 设计业销售额达到 473.74 亿元,同比增长 30.2%;2012 年,我国设计企业前 10 家的销售额总和达到 231.17 亿元,比 2011 年增加 29.7 亿元,10 家企业的销售额总和占全行业销售额总和的 33.97%,比 2011 年(31.76%)增加 2.21 个百分点。但是,与韩国、中国台湾(地区)比较,仍然存在发展速度相对较慢、产品技术含量低、企业竞争力差的情况。打价格战还是主要商业策略,“正向设计”依然未形成主流,基础能力提升不快的状况仍未改观。全行业的销售额总和有可能还低于世界排名第一的设计企业销售额。近十几年来,我国大陆境内 IC 制造生产线快速增加,“十·五”期间增加了 16 条,“十一·五”期间增加 20 条,大尺寸线在总量中所占比例也逐步上升。2011 年,虽然芯片制造业同比仍有 8.9% 的增速,规模达到 486.91 亿元,但销售收入增速出现明显回落。目前,国内芯片制造厂有近 50 家,具有 200mm 及 300mm 的纯芯片代工企业已有 7 家,即中芯国际、华虹 NEC、上海宏力、海力士-意法半导体(无锡)、和舰科技、台积电(上海)、上海先进等企业,形成了颇具规模的企业群体和生产能力。中芯国际目前可提供 40/45nm 工艺技术,可与国际基本接轨。但除了这几家先进的外资或合资企业外,其他大多数生产线的盈利能力都不强。

需要特别指出的是,虽然大陆境内 IC 制造生产线快速增加,但其投资主体多为外资转移的生产线或中外合资合作,并非国有控股,涉及国家安全的战略性支撑缺失。国防军用 IC 开发可控绝对是有必要的。军品所需的安全性、及时性、高可靠、抗极端环境等要求是“委外代工”或“民用代工”无法达到的。在设计、制造和封装测试三大生产环节中,封测可能是技术含量相对较低的部分,也是最靠近市场的后端生产环节。因此,国(境)外封装测试代工企业大量地将其封装产能转移至中国大陆境内,直接促进了我国封测产业规模的迅速扩大。2010 年,国内集成电路产业销售收入规模为 1440.2 亿元,其中,封测业销售收入规模为 639 亿元,占集成电路产业总销售收入的比重约为 44%。

引用邓中翰院士的观点,近几年尽管我国取得了可喜的进步,但是我国每年进口芯片仍然高达两千多亿美元。在 2013“两会”上,国务院副总理刘延东也曾以芯片业进出口状况为例,感叹中国仍然缺乏关键科技技术。2014 年初,根据海关总署在 1 月公布的数据,2013 年全年我国集成电路进口额为 2322 亿美元,比 2012 年同期的 1724.99 亿美元增长了 34.6%;逆差达到 1441 亿美元,较 2013 年同期的 1391 亿美元扩大了 50 亿美元,连续第四年扩大。而同 2013 年相比,2014 年虽然中国原油进口量继续大幅增长,但进口额度只有 2196 亿美元,较去年同期下降了 0.5%。这也说明,2015 年我国芯片进口额度与石油进口额度的比例也在进一步扩大。有人预计,2015 年我国集成电路进出口将保持快速增长势头,其中芯片进口将突破 2000 亿美元,贸易逆差仍接近 1500 亿美元。

1.3 国际集成电路发展趋势

根据国际半导体技术发展路线图 (ITRS), 国际集成电路技术大致有 3 个主要趋势:

1) 延续摩尔定律, 继续按比例缩小, 英特尔 CMOS 技术工业节点 2013 年引入 14nm, 目前已达 10nm 工业节点, 未来正在部署 7nm, 台积电最高端的 CMOS 技术工艺节点已达到 14nm, 预计 2015 年将到达 10nm。

2) 功能集成, 称为拓展摩尔定律, 即在单个芯片 / 封装 / 模块上更多地集成包括 RF、功率控制、无源元件等功能单元。

3) 发展新兴材料和器件, 预计到 2019 年, 可研究出超过 CMOS 器件性能的新器件, 可继续提高 CMOS 工艺的能力。