



经典译丛

微电子学

Application-Specific Integrated Circuits

PEARSON

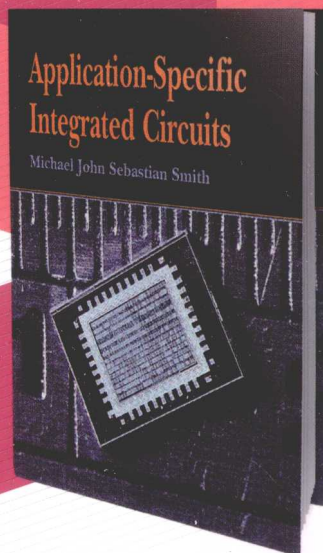
专用集成电路

Application-Specific Integrated Circuits

【美】 Michael John Sebastian Smith 著

虞惠华 汤庭鳌 来金梅 孙承绥 等译

章倩苓 审校



中国工信出版集团



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

经典译丛·微电子学

专用集成电路

Application-Specific Integrated Circuits

[美] Michael John Sebastian Smith 著

虞惠华 汤庭鳌
来金梅 孙承绶 等译

章倩苓 审校

電子工業出版社
Publishing House of Electronics Industry

内 容 简 介

本书是一本有关专用集成电路(ASIC)的综合性书籍。书中叙述了VLSI系统设计的一些方法。利用商业化工具及预先设计好的单元库,使得ASIC设计成为速度快、成本低而且错误少的一种IC设计方法,因而ASIC和ASIC设计方法迅速在工业界的各个应用领域得到推广。

本书介绍了半定制和可编程的ASIC。在对每种ASIC类型的数字逻辑设计与物理特性的基本原理进行描述后,讨论了ASIC逻辑设计——设计输入、逻辑综合、仿真及测试,并进一步讲述了相应的物理设计——划分、布图规划、布局及布线。此外,本书对在ASIC设计中需要了解的各方面知识及必需的工作都有详尽叙述。

本书可作为高等院校相关专业的本科高年级和研究生的参考教材,同样也是ASIC领域工程技术人员的理想参考书。

Authorized Translation from the English language edition, entitled Application-Specific Integrated Circuits, 9780201500226 by Michael John Sebastian Smith, published by Pearson Education, Inc., Copyright ©1997 Pearson Education, Inc.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

CHINESE SIMPLIFIED language edition published by PUBLISHING HOUSE OF ELECTRONICS INDUSTRY, Copyright ©2015.

本书中文简体版专有出版权由 Pearson Education 授予电子工业出版社,未经许可,不得以任何方式复制或抄袭本书的任何部分。

版权贸易合同登记号 图字: 01-2002-2103

图书在版编目(CIP)数据

专用集成电路/(美)史密斯(Smith, M. J. S.)著;虞惠华等译. —北京:电子工业出版社, 2015.9
(经典译丛·微电子学)

书名原文: Application-Specific Integrated Circuits

ISBN 978-7-121-26991-2

I. ①专… II. ①史… ②虞… III. ①集成电路 IV. ①TN4

中国版本图书馆CIP数据核字(2015)第195626号

策划编辑:冯小贝

责任编辑:冯小贝

印 刷:三河市鑫金马印装有限公司

装 订:三河市鑫金马印装有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本:787×1092 1/16 印张:47.75 字数:1321千字

版 次:2015年9月第1版

印 次:2015年9月第1次印刷

定 价:128.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zltts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

前言^①

本人从 1988 年开始担任“全定制 VLSI 设计”课程的教学。由于学生毕业后在 ASIC 领域很容易就能找到工作，因而于 1990 年转教“ASIC 设计”课程。我曾向美国国家科学基金(NSF)建议采用电子版教学材料。Dick Lyon 帮助我在 Apple 上准备了首批 CD-ROM，而 Chuck Seitz、Lynn Conway 及其他人则向我说明了我所面临的问题，也就是 Carver Mead 和 Lynn 在试图获得多芯片圆片概念时所遇到的问题。直到 Mead-Conday 的教材出版，人们才接受了这一新概念。人们建议在使用我的新材料（基于 CD-ROM 或 Internet）之前，必须关注传统的学习方式。我于 1992 年停止撰写论文，并开始写作本书——这是我基于计算机进行教学的实验结果。有两次我几乎完成了本书，第一次就是笔记本的复制版本，第二次恰在 Weste 和 Eshragian 出版其著作的第二版之前——这增加了我的写作难度。为了在 1997 年写完本书，我必须停止更新及包罗新概念和新材料。如今，本书由三部分组成：第 1~8 章介绍 ASIC；第 9~14 章叙述 ASIC 逻辑设计；第 15~17 章涉及 ASIC 的物理设计。

本书面对的读者范围广泛，既可作为本科生或研究生教材，也可提供给工业界从事 ASIC 的人员作为参考读物。本书的另一个作用是成为 ASIC 的“百科全书”，因此尽量减少所需的背景材料，而广泛使用工业界的工具及实例。第 2~3 章中的实例所采用的工具和库均来自 MicroSim (PSpice)、Meta-Software (HSPICE)、Compass Design Automation (标准单元和门阵列库) 及 Tanner Research (L-Edit)。第 4~8 章中可编程 ASIC 设计实例所使用的工具来自 Compass、Synopsys、Actel、Altera 及 Xilinx。第 9 章中的实例（涉及低端的设计输入）所使用的工具来自 Exemplar、MINC、AMD、UC Berkeley、Compass、Capilano、Mentor Graphics Corporation 及 Cadence Design Systems。第 10 章中的 VHDL 实例已用 Mentor 的 QuickVHDL、Model Technology 的 V-System Plus 及 Compass 的 Scout 进行了检验。第 11 章中的 Verilog 实例已用 Cadence 的 Verilog-XL、Wellspring Solutions 的 V-system Plus 及 VeriWell 进行了检验。第 12 章中逻辑综合的实例已用 Compass 的 ASIC 综合器产品系列及 Mentor、Synopsys 和 UC Berkeley 的工具进行了检验。第 13 章中仿真的实例已用 Capilano Computing 的 QuickVHDL、V-System Plus、PSpice、Verilog-XL、DesignWorks、CompassSim、Qsim、MixSim 及 HSPICE 进行了检验。第 14 章中的测试实例已用 Compass、Cadence、Mentor、Synopsys 及 DesignWorks 的测试软件进行了检验。第 15~17 章中的物理设计实例已用 Preview、Gate Ensemble、Cell Ensemble (Cadence) 及 ChipPlanner、ChipCompiler 和 PathFinder (Compass) 来产生并测试。

有关 FPGA 的课程可选用第 1 章及第 4~8 章。有关商业化半定制 ASIC 设计工具方面的课程可选用第 1~2 章或第 1~3 章；如果用原理图输入，则可跳到第 9 章；如用 VHDL，可跳到第 10 章；如用 Verilog，可跳到第 11~12 章；所有课程都可采用第 13~14 章。基于 VHDL 的课程可以跳过第 15~17 章，但有关半定制设计的课程必须掌握这些章节。章节之间的相关性用符号 Y(X) 表示，意即第 Y 章与第 X 章有关——大致上各章的关系为：1, 2(1), 3(2), 4(2), 5(4), 6(5), 7(6), 8(7), 9(2), 10(2), 11(2), 12(10 或 11), 13(2), 14(13), 15(2), 16(15), 17(16)。

Michael John Sebastian Smith

① 本书中文翻译版的一些字体、正斜体、图示、符号保留英文原版的写作风格，特此说明。

目 录

第 1 章	ASIC 介绍	1
1.1	ASIC 类型	3
1.2	设计流程	11
1.3	举例分析	12
1.4	ASIC 经济学	13
1.5	ASIC 单元库	19
1.6	小结	21
1.7	习题	21
1.8	参考书目提要	24
1.9	参考资料	26
第 2 章	CMOS 逻辑	28
2.1	CMOS 晶体管	29
2.2	CMOS 工艺	35
2.3	CMOS 设计规则	41
2.4	组合逻辑单元	44
2.5	时序逻辑单元	49
2.6	数据通路逻辑单元	53
2.7	I/O 单元	69
2.8	单元编译器	71
2.9	小结	72
2.10	习题	72
2.11	参考书目提要	80
2.12	参考资料	80
第 3 章	ASIC 库设计	84
3.1	晶体管电阻	84
3.2	晶体管寄生电容	87
3.3	逻辑作用力	93
3.4	库单元设计	101
3.5	库结构	102
3.6	门阵列设计	103
3.7	标准单元设计	107
3.8	数据通路单元设计	108

3.9	小结	110
3.10	习题	110
3.11	参考书目提要	119
3.12	参考资料	119
第4章	可编程 ASIC	120
4.1	反熔丝	120
4.2	静态 RAM	123
4.3	EPROM 和 EEPROM 工艺	123
4.4	实际问题	124
4.5	规范说明	126
4.6	PREP 基准程序	126
4.7	FPGA 经济学	127
4.8	小结	130
4.9	习题	130
4.10	参考书目提要	133
4.11	参考资料	134
第5章	可编程 ASIC 逻辑单元	135
5.1	Actel ACT	135
5.2	Xilinx LCA	144
5.3	Altera FLEX	147
5.4	Altera MAX	148
5.5	小结	153
5.6	习题	157
5.7	参考书目提要	161
5.8	参考资料	161
第6章	可编程 ASIC I/O 单元	163
6.1	DC 输出	163
6.2	AC 输出	165
6.3	DC 输入	171
6.4	AC 输入	175
6.5	时钟输入	178
6.6	电源输入	179
6.7	Xilinx I/O 功能块	181
6.8	其他 I/O 单元	183
6.9	小结	184
6.10	习题	186
6.11	参考书目提要	191
6.12	参考资料	192

第7章	可编程 ASIC 的互连	193
7.1	Actel ACT	193
7.2	Xilinx LCA	198
7.3	Xilinx EPLD	201
7.4	Altera MAX 5000 和 7000	202
7.5	Altera Max 9000	203
7.6	Altera FLEX	203
7.7	小结	204
7.8	习题	206
7.9	参考书目提要	208
7.10	参考资料	208
第8章	可编程 ASIC 设计软件	209
8.1	设计系统	209
8.2	逻辑综合	212
8.3	半门 ASIC	214
8.4	小结	221
8.5	习题	221
8.6	参考书目提要	225
8.7	参考资料	228
第9章	低层次设计输入	229
9.1	原理图输入	229
9.2	低层次设计语言	241
9.3	PLA 工具	246
9.4	EDIF	248
9.5	CFI 设计表述	258
9.6	小结	261
9.7	习题	261
9.8	参考书目提要	264
9.9	参考资料	264
第10章	VHDL	265
10.1	计数器	265
10.2	4 位乘法器	266
10.3	VHDL 的语法和语义	274
10.4	标识符与字母符号	275
10.5	实体和结构体	276
10.6	包和库	280
10.7	接口声明	286
10.8	类型声明	291
10.9	其他声明	293

10.10	顺序语句	298
10.11	运算符	306
10.12	算术运算	308
10.13	并发语句	313
10.14	执行	319
10.15	配置和规范	321
10.16	一个引擎控制器	323
10.17	小结	328
10.18	习题	330
10.19	参考书目提要	345
10.20	参考资料	345
第 11 章	Verilog HDL	346
11.1	计数器	346
11.2	Verilog 语言基础	348
11.3	运算符	355
11.4	分层	358
11.5	过程及赋值	359
11.6	时序控制及延迟	362
11.7	任务及函数	368
11.8	控制语句	369
11.9	逻辑门建模	371
11.10	延迟建模	373
11.11	改变参数	376
11.12	Viterbi 译码器	376
11.13	其他 Verilog 特性	391
11.14	小结	399
11.15	习题	400
11.16	参考书目提要	411
11.17	参考文献	412
第 12 章	逻辑综合	413
12.1	逻辑综合举例	413
12.2	比较器/MUX	414
12.3	逻辑综合器的内部	419
12.4	Viterbi 译码器综合	422
12.5	Verilog 与逻辑综合	428
12.6	VHDL 与逻辑综合	438
12.7	有限状态机综合	449
12.8	存储器综合	454
12.9	乘法器	456

12.10	引擎控制器	460
12.11	性能驱动的综合	462
12.12	Viterbi 译码器的优化	465
12.13	小结	467
12.14	习题	468
12.15	参考书目提要	475
12.16	参考资料	476
第 13 章	仿真	479
13.1	仿真类型	479
13.2	比较器/MUX 举例	480
13.3	逻辑系统	488
13.4	逻辑仿真的工作原理	490
13.5	单元模型	492
13.6	延迟模型	501
13.7	静态时序分析	506
13.8	形式验证	512
13.9	开关级仿真	516
13.10	晶体管级仿真	517
13.11	小结	522
13.12	习题	523
13.13	参考书目提要	532
13.14	参考资料	533
第 14 章	测试	536
14.1	测试的重要性	536
14.2	边界扫描测试	537
14.3	故障	554
14.4	故障模拟	561
14.5	自动测试图的生成	568
14.6	扫描测试	574
14.7	内建自测试	575
14.8	简单的测试例子	584
14.9	Viterbi 译码器举例	594
14.10	小结	596
14.11	习题	596
14.12	参考书目提要	600
14.13	参考资料	601
第 15 章	ASIC 结构	605
15.1	物理设计	605
15.2	CAD 工具	606

15.3	系统划分	607
15.4	评估 ASIC 尺寸	609
15.5	功耗	612
15.6	FPGA 划分	615
15.7	划分方法	617
15.8	小结	627
15.9	习题	627
15.10	参考书目提要	635
15.11	参考资料	636
第 16 章	布图规划和布局	638
16.1	布图规划	638
16.2	布局	651
16.3	物理设计流程	665
16.4	信息格式	666
16.5	小结	668
16.6	习题	669
16.7	参考书目提要	674
16.8	参考资料	674
第 17 章	布线	677
17.1	全局布线	678
17.2	详细布线	686
17.3	特殊布线	695
17.4	电路提取和 DRC	697
17.5	小结	703
17.6	习题	703
17.7	参考书目提要	710
17.8	参考文献	710
附录 A	VHDL 资源	714
附录 B	Verilog HDL 资源	731
译后记		752

第1章 ASIC 介绍

ASIC（念做“a-sick”）是英文专用集成电路（application-specific integrated circuit）首字母的缩写。在回答什么是专用集成电路前，让我们首先回顾一下硅芯片或集成电路（IC，integrated circuit）的发展史。

图 1.1(a)表示一个 IC 封装块（这是倒置的针栅阵列，也可以称为“PGA，pin-grid array”，针形引脚可通过印刷电路板上的小孔）。封装块常称为芯片，而硅芯片（称做管芯更为合适）本身是安装在具有密封盖的腔体内的，如图 1.1(b)所示。陶瓷材料常用于 PGA 封装，塑料封装也相当普遍。

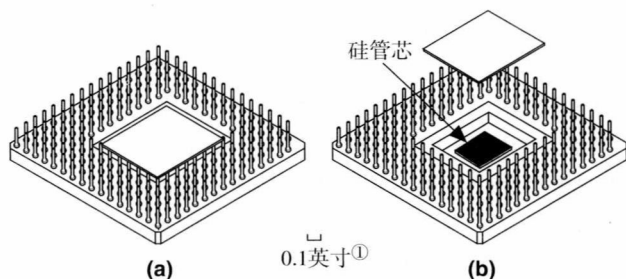


图 1.1 集成电路（IC）

(a) 针栅阵列（PGA）封装块；(b) 封装盖下的硅管芯或芯片

由物理尺寸看，硅管芯的边长可从几毫米到 1 英寸多的范围内变化，但人们通常由 IC 所含逻辑门数目或晶体管数目来衡量该 IC 的大小。作为衡量单位，等效逻辑门对应于 2 输入与非门（NAND），该电路实现逻辑功能 $F = \overline{A \cdot B}$ 。衡量芯片大小时，经常只用门来代替等效逻辑门——不要将门（gate）与晶体管的栅（gate）相混淆，如 100 k 门的 IC 等效于包含了 10 万个 2 输入的与非门。

半导体工业从 20 世纪 70 年代初第一代 IC 开始发展并迅速趋于成熟。早期的小规模集成（SSI，small-scale integration）IC 仅包含几个（1 至 10 个）逻辑门——与非门、或非门（NOR）等，相当于几十个晶体管。中规模集成（MSI，medium-scale integration）时期增加了逻辑集成的范围，可得到计数器和类似的较大规模的逻辑功能。大规模集成（LSI，large-scale integration）时期在单个芯片上集成了更强的逻辑功能，诸如第一代微处理器之类。如今的超大规模集成（VLSI，very large scale integration）时代可提供 64 位微处理器，并在单个硅芯片上拥有高速缓冲存储器和浮点运算单元——远远超过百万个晶体管。随着 CMOS 工艺技术的改进，晶体管尺寸继续变小，使 IC 可容纳更多的晶体管。有些人（尤其在日本）使用了特大规模集成（ULSI，ultra large scale integration）的术语，但大多数人仍使用超大规模集成这一术语，否则需要引入一些新词。

最早的 IC 使用双极型工艺，多数的逻辑 IC 使用晶体管-晶体管逻辑（TTL，transistor-transistor logic）或发射极耦合逻辑（ECL，emitter-coupled logic）。虽然金属-氧化物-硅（MOS，metal-oxide-silicon）晶体管的发明早于双极型晶体管，但氧化物界面的质量问题使得最初 MOS 晶体管很难制造。随着上述问题的逐步解决，20 世纪 70 年代出现了金属栅 n 沟 MOS（nMOS 或 NMOS）工艺。当时的 MOS 工艺只需要较少的掩膜步骤，而且与功能相当的双极 IC 相比，MOS IC 的密度大、功

① 1 英寸 = 2.54 cm。

耗小。这表明当性能一定时,采用 MOS IC 比采用双极型 IC 更便宜,由此导致了对 MOS IC 的投资以及其市场的增长。

20 世纪 80 年代初,晶体管中的铝栅被多晶硅栅所替代,但仍保留了 MOS 管的名称。多晶硅作为栅材料的引入使得在同一 IC 上很容易制造 n 沟 MOS 和 p 沟 MOS 两种类型的晶体管,这就是 CMOS 技术——即互补型 MOS (CMOS, complementary MOS, 不能写成 cMOS) 工艺技术的主要改进。CMOS 与 NMOS 相比,其主要优点是功耗较低,且多晶硅栅使生产工艺更为简单,便于器件尺寸按比例缩小。

2 输入与非门有 4 个 CMOS 晶体管 (2 输入或非门也一样), 只要将门数乘以 4 就可变换为对应的晶体管数。晶体管大小以微米为单位 (1 微米—— $1\ \mu\text{m}$, 即 1 米的百万分之一), 我们说到 $0.5\ \mu\text{m}$ IC, 也就是说该 IC 是以 $0.5\ \mu\text{m}$ 工艺制造的, 即最小晶体管长度约为 $0.5\ \mu\text{m}$ 。也可用 IC 上最小可分辨的特征尺寸 (约为最小晶体管长度的一半) 估量 IC 工艺。最小可分辨特征尺寸用符号 λ 表示, 因为 λ 约等于最小晶体管长度的一半, 所以在 $0.5\ \mu\text{m}$ 工艺中 $\lambda = 0.1\ \mu\text{m}$ 。与地图中使用的比例标度类似, 本书许多插图中使用 λ 作为比例标度。

近代亚微米 CMOS 工艺与亚微米双极型或 BiCMOS (双极型和 CMOS 的组合) 工艺同样复杂, 但 CMOS IC 更容易大批量制造。从规模经济考虑, CMOS IC 的成本要比相同功能的双极型或 BiCMOS IC 的成本低, 因此, CMOS IC 已确立了其主导地位。但双极型或 BiCMOS IC 仍用在一些有特殊要求的场合, 如双极型晶体管通常比 CMOS 晶体管的耐压高, 这使得双极型或 BiCMOS IC 在电力电子学 (power electronics)、汽车、电话等电路中非常有用。

有些数字逻辑 IC 和模拟 IC (如模/数转换器) 是标准部件或标准 IC, 它们可从目录和数据手册中查找并从经销商处购买。系统制造商和设计者可将同样的标准部件用在各种不同的微电子系统 (使用微电子技术或 IC 的系统) 中。

随着 20 世纪 80 年代 VLSI 的出现, 工程师们意识到在特殊系统或应用中设计定制 IC 比单纯选用标准 IC 更为有利。于是微电子系统设计就变为: 确定哪些功能可用标准 IC 实现, 而余下的逻辑功能 (有时称为粘贴逻辑) 用一个或几个定制 IC 实现。VLSI 的出现使许多标准 IC 可以组合在一些定制 IC 中, 因此可用较少量的 IC 构成系统, 从而使微电子系统成本降低, 可靠性提高。

当然, 在许多场合下定制 IC 并不适合于微电子系统的所有部分。比如, 需要大量存储器时, 最好还是将标准存储器 IC [可以是动态随机存取存储器 (DRAM 或 dRAM, dynamic random-access memory) 或静态 RAM (SRAM 或 sRAM)] 与定制 IC 一起使用。

IEEE 定制集成电路会议 (CICC, Custom Integrated Circuits Conference) 是最早致力于 IC 行业这一快速发展分支的会议之一, 该年会的论文集成了定制 IC 发展中很有用的参考资料。当各种定制 IC 逐步形成各种不同应用时, 出现了新的 IC 术语: 专用 IC 或 ASIC。现在已有的 IEEE 国际 ASIC 会议 (International ASIC Conference) 主要跟踪 ASIC 的发展, 而不是其他类型的定制 IC。对 ASIC 给出确切定义很困难, 此处, 仅举一些例子来帮助阐明 IC 行业的从业人员对这一术语的理解。

不属于 ASIC 的 IC 的例子包括标准部件, 如: 作为商品出售的存储器芯片——ROM, DRAM, SRAM; 微处理器; SSI、MSI、LSI 等各种集成规模的 TTL 或等效 TTL IC。

属于 ASIC 的 IC 的例子包括: 会说话的玩具熊芯片; 卫星芯片; 工作站 CPU 中存储器与微处理器之间的接口芯片; 微处理器与其他逻辑一起作为一个单元的芯片。

一般来说, 可以在数据手册中查到的就不是 ASIC, 当然也会有一些例外。比如, PC 控制器芯片和调制解调器芯片既可认为是 ASIC 也可认为不是 ASIC, 它们在具体应用中都是专用的 (似乎是

ASIC), 但它们可以出售给不同的系统制造商(似乎又是标准部件)。这样的 ASIC 有时就称为专用标准产品(ASSP, application-specific standard product)。

试图决定庞大的 IC 系列中哪些是专用 IC 是很棘手的工作——毕竟, 每个 IC 都对应着一种应用。例如, 人们通常不会将专用微处理器认定是一种 ASIC。本书将描述如何设计包括微处理器这样的大单元的 ASIC, 而不去讨论微处理器本身是如何设计的。由应用来定义一个 ASIC 会使人困惑, 所以这里将用一种不同的方法对 IC 系列进行分类。最容易识别人的方法是通过人们的脸和形体特征: 高、矮、胖、瘦; 最容易理解 ASIC 特征的也是其外形, 下面将对其进行描述。了解这些区别是很重要的, 因为它们将影响诸如 ASIC 的价格以及 ASIC 设计方法等因素。

1.1 ASIC 类型

IC 制作在很薄的(几百微米厚)圆形硅圆片上, 每个圆片可以容纳数百个管芯。晶体管和连线由许多叠层制成(通常为 10 到 15 层), 每个相继的掩膜层都有一个图形, 图形用类似于玻璃照相底片的掩膜确定。大约前 6 层形成晶体管, 后 6 层形成晶体管之间的金属连线(互连)。

全定制 IC 包括一些(也可能全部)定制的逻辑单元和全部定制的掩膜层。微处理器就是一个全定制 IC——设计人员需要花费大量时间人工地节省微处理器芯片的每一平方微米的面积。例如, 以这种方式定制 IC 的各部分, 允许设计者把模拟电路、优化的存储器单元或机械结构都包括在一个 IC 上。就制造和设计而言, 全定制 IC 的花费最大。一个全定制 IC 的制造周期(只是制造 IC 所用的时间, 不包括设计时间)一般为 8 周。专门的全定制 IC 常为特殊应用而设计, 所以称其为全定制 ASIC。

下面将简单论述全定制 ASIC, 然后讨论 IC 系列中最让人感兴趣的半定制 ASIC, 因为半定制 ASIC 中所有逻辑单元是预先设计好的, 有些(也可能全部)掩膜层是需要定制的。采用单元库中预先设计好的单元可使设计人员的工作变得更轻松。这里的半定制 ASIC 将涉及两种类型: 基于标准单元的 ASIC 和基于门阵列的 ASIC。随后介绍可编程 ASIC, 其所有逻辑单元都是预先设计好的并且不需要定制任何掩膜层。可编程 ASIC 也有两种类型: 可编程逻辑器件以及 ASIC 系列中最新的一种——现场可编程门阵列。

1.1.1 全定制 ASIC

全定制 ASIC 中, 设计人员将设计若干个或所有的逻辑单元、电路以及相应的 ASIC 版图, 即设计人员不使用已预测试和预定特性的单元去进行全部或部分设计。只有当现有的单元库不适合整个设计时才使用全定制 ASIC, 这可能是由于现有的单元库速度不够快、逻辑单元不够小或功耗太大。当采用新的或专门的 ASIC 工艺因而无现存单元库或因 ASIC 太特殊必须定制设计某些电路时, 也需要使用全定制设计。由于 ASIC 的这些特殊问题, 全定制设计的 IC 越来越少了。这里, 只有模/数混合 ASIC 的全定制设计仍在增长, 下面将会进一步讨论。

精密的模拟电路历来采用双极型工艺, 其主要原因是: 在各种集成电路中, 芯片之间元件的匹配特性很差, 而同一芯片上元件之间的匹配特性就很好。这种情况在 IC 批量生产中会出现一些问题。通常将一批一起加工的硅圆片称为圆片批(Wafer Lot), 其中包含 5 至 30 个圆片。每个圆片含有几十个或几百个芯片, 芯片数量由芯片和圆片的大小确定。假定一个模/数混合 ASIC 上有晶体管 T1、T2、T3, 三个晶体管尺寸相同且以同样方式制造, 晶体管 T1 和 T2 互相毗邻, 方向相同, 但晶体管 T3 是在芯片的另一端, 且与 T1 和 T2 的方向也不同。

若对上述批量生产芯片上的 T1、T2、T3 晶体管特性进行测量, 就会发现:

- 同一 IC 上的晶体管 T1 和 T2 有完全相同的特性，也就是说，晶体管之间匹配很好或器件之间的相符性非常好；
- 同一 IC 上的晶体管 T3 与 T1、T2 匹配很好，但不及同一 IC 上 T1 与 T2 匹配的那么一致；
- 同一圆片但不同 IC 上的晶体管 T1、T2、T3 匹配尚好，其匹配程度取决于同一圆片上两个 IC 之间的距离；
- 同一圆片批但不同圆片的 IC 上晶体管之间匹配较差；
- 不同圆片批的 IC 上晶体管之间匹配很差。

许多模拟电路设计中晶体管之间的严格匹配对电路工作至关重要，在这些电路设计中使用了互相邻近的晶体管对。器件物理学指明，一对双极型晶体管的匹配精度高于尺寸相当的 CMOS 晶体管。由于其精度高，双极型工艺一直广泛用于全定制模拟电路设计中。尽管 CMOS 工艺有较差的模拟电路特性，但它在模拟功能块中的应用仍在不断增长。这有两方面的原因，一是因为 CMOS 工艺是迄今为止应用最广泛的 IC 工艺，CMOS ASIC 和 CMOS 标准产品的生产大大超过双极型 IC；二是集成度的增加要求在同一 IC 上混合模拟和数字功能，这导致设计人员要尽量采用 CMOS 工艺实现模拟功能。由于采用灵活的新技术，设计人员已成功地使用新方法设计模拟 CMOS 电路，其精度接近于双极型的模拟电路。

1.1.2 基于标准单元的 ASIC

基于单元的 ASIC (cell-based IC, 或 CBIC——日本流行的术语，念做“sea-bick”) 采用预先设计好的称为标准单元的逻辑单元 (如与门，或门，多路开关，触发器)。术语 CBIC 可用于所有采用单元设计的 IC，但通常认为基于单元的 ASIC 或 CBIC 就是指基于标准单元的 ASIC 或 CBIC。

CBIC 中的标准单元区 (也称为可变的单元块) 是由标准单元行组成——就像用砖砌成的墙。标准单元区可与预先设计好的大型单元一起使用，这些单元可以是微控制器甚至是微处理器，即所谓的百万门单元。百万门单元也称做大功能块、全定制功能块、系统级宏单元 (SLM, system-level macro)、固定功能块、核或功能标准块 (FSB, Functional Standard Block)。

ASIC 设计人员只需确定标准单元的布局以及在 CBIC 中的互连。标准单元可置放于硅芯片的任何位置，这表明 CBIC 的所有掩膜层是定制的并对特定客户来说是惟一的。CBIC 的优点是：采用了预先设计、预先测试、预定特性的标准单元库，设计人员可省时、省钱，减小风险。另外，可对每个标准单元进行个别优化。例如，设计单元库时，可选择标准单元中的每个晶体管，使其速度最快或面积最小。CBIC 的缺点是花较多的时间和费用来设计或购买标准单元库，此外，要花费较多的时间为新的 ASIC 设计制作所有掩膜层。

图 1.2 所示为一个 CBIC [比如，图 1.1(b) 中管芯的俯视图]，这种 ASIC 的主要特性如下：

- 所有掩膜层是定制的——晶体管和互连
- 可内嵌定制的功能块
- 制造周期约为 8 周

单元库中每个标准单元都采用全定制方法设计，使用这些预先设计好的具有预定特性的电路，不必做任何全定制设计。这种设计方式在获得与全定制 ASIC 同样的性能和灵活性优点时减少了设计时间，而且风险也较小。

标准单元如同砌墙的砖块，其设计应符合一致性。图 1.3 所示为一个简单的标准单元图 (简单是指密度不高，但用于显示内部结构是很理想的)。单元内的电源和地 (VDD 和 GND 或 VSS) 的金属线沿水平方向通过。

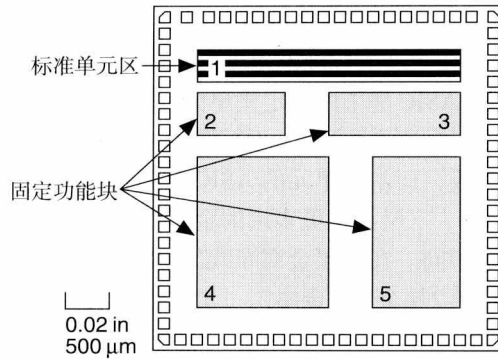


图 1.2 具有 1 个标准单元区（可变的单元块）与 4 个固定功能块的基于单元的 ASIC（CBIC）。可变的单元块包含了各种标准单元行。通过低功率显微镜俯视图 1.1(b) 的管芯可看到这些。管芯边缘的小方块是连接 ASIC 封装引脚的焊盘

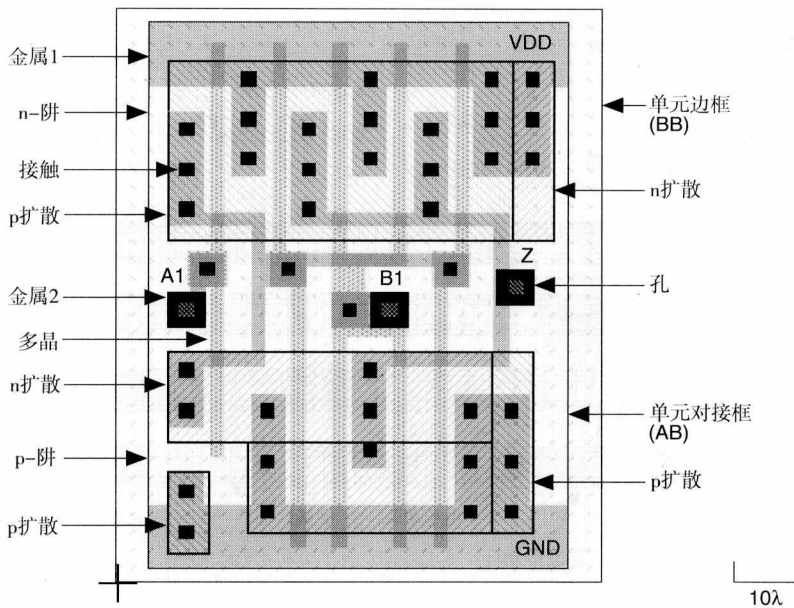


图 1.3 标准单元的版图结构。对于 $\lambda = 0.25 \mu\text{m}$ ($1 \mu\text{m}$ 是 10^{-6}m) 的 ASIC，该单元的宽度约为 $25 \mu\text{m}$ 。标准单元的安放类似于砌墙时砖块的堆放；对接框（AB，abutment box）定义了砖的“边缘”。边框（BB，bounding box）与对接框的差相当于砖与砖之间的交叠区。电源（标为 VDD 和 GND）是位于晶体管层上面的金属线，在标准单元内水平方向通过。各个不同的阴影图形和加标记的图形代表不同的层次。该标准单元的中心连接点（标为 A1，B1 和 Z 的三个小方块）可与其他单元连接。版图设计工具是 ROSE，ROSE 是 Rockwell 和 Compass 公司合作开发的符号布局编辑器，后成为 Tanner Research 公司的 L-Edit

标准单元设计可使 ASIC 版图布局过程自动化。标准单元组水平地安放，形成行，行与行垂直堆放形成可变的矩形块（设计中可以改变形状）。然后可将上述可变矩形块与其他标准单元块或全定制逻辑块相连。例如，把一个全定制接口和标准的、预先设计好的微控制器以及一些存储器连接

在一起。微控制器功能块可以是一个固定大小的百万门单元，存储器采用存储器编译器方法形成，而全定制逻辑和存储器控制器将由可变的标准单元块构成并可改变形状使其适合置入芯片的空部位。

基于单元的 ASIC 和门阵列 ASIC 都采用预定义单元，但有一个差别——基于单元的 ASIC 可改变标准单元中的晶体管尺寸以提高速度和性能，而门阵列中的器件尺寸是固定的。这导致了门阵列中性能和面积的调整是在硅片级，而基于单元的 ASIC 其面积和性能的调整是在单元库级。

现代 CMOS ASIC 采用两层、三层甚至更多层的金属互连。连线可穿越不同层，这与铜线在印刷电路板不同层上通过的方法相同。在两层金属布线的 CMOS 工艺中，标准单元输入及输出的互连接是在单元顶部和底部通过第 2 层金属（金属 2，上层金属）线实现的。在三层金属布线的 CMOS 工艺中，可在逻辑单元内部进行连接（如图 1.3 所示），这使得先进的布线程序利用额外的金属层在逻辑单元的顶部进行互连。ASIC 布线的详细介绍参见第 17 章。

当连接线需要穿过标准单元行时，可以利用跨越连接。术语跨越连接很容易使人困惑，因为它既可以指通过单元传送信号的金片，也可以指单元中待用的跨越空间。图 1.4 中所示为两个跨越连接：一个在 A.14 单元上，另一个在 A.23 单元上。

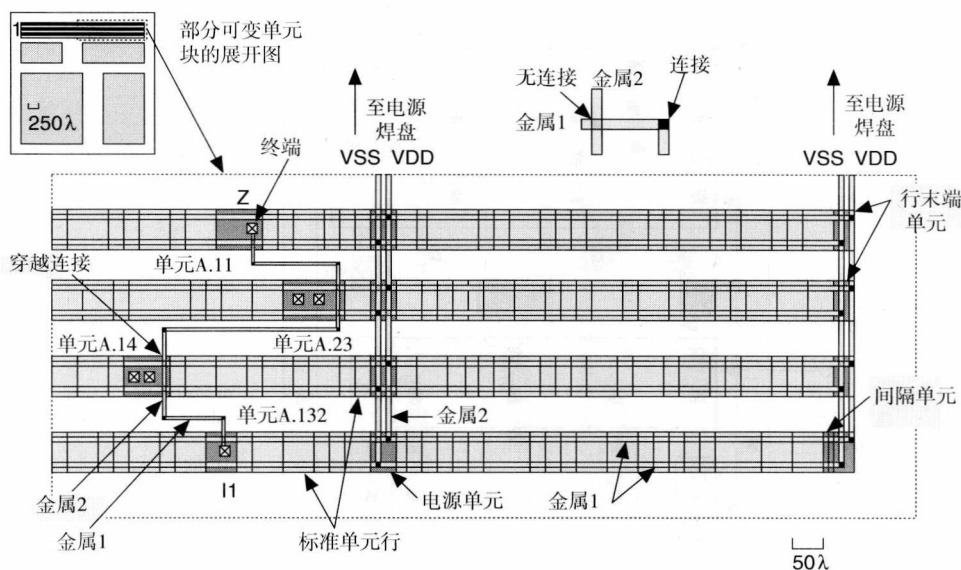


图 1.4 图 1.2 所示为 CBIC（基于单元的 IC）的布线。采用如图 1.3 所示的库中的规则形标准单元可使这类 ASIC 设计自动化。该 ASIC 使用两个独立的金属互连层（金属 1 和金属 2），互相垂直运行（如同印刷电路板上的走线）。逻辑单元间的互连使用单元行与行之间的空间（称做通道）。ASIC 也可能有三层（或更多层）金属，可使各单元行与通过单元上的互连线相连接

在两层和三层金属的工艺中，标准单元内的电源线（VDD 和 GND）通常使用最低层（最接近晶体管）金属（金属 1）。用间隔单元调整每行标准单元的宽度，使它们对齐，然后将电源总线或轨线连到行末端单元的垂直电源轨线上。如标准单元行很长，可在中间插入连接 VDD 和 GND 的特定的电源单元，其中纵向电源轨线就用金属 2。物理设计中，设计人员人工控制连接到标准单元块的垂直电源轨线的数目和宽度。图 1.4 所示为一个 CBIC 的电源分布结构图。

所有 CBIC 掩膜层都是定制的，因此百万门单元（如 SRAM，SCSI 控制器或 MPEG 解码器）可与标准单元构成一个 IC。百万门单元通常由 ASIC 公司或单元库设计公司提供，这些公司提供百万

门单元的行为级模型和某种测试方法(测试方案)。ASIC单元库设计公司也提供编译器以生成可变的 DRAM, SRAM 和 ROM 功能块。由于标准单元设计中所有掩膜层都是定制的,所以存储器设计比用门阵列设计更为有效而且密度更高。

对于多个信号通过一条数据总线[数据通路(DP, datapath)]运行的逻辑电路,使用标准单元也许不是最有效的 ASIC 设计方法。有些 ASIC 单元库设计公司提供数据通路编译器来自动生成数据通路逻辑。一个典型的数据通路库所包括的单元有加法器、减法器、乘法器和简单的算术与逻辑单元(ALU, arithmetic and logical unit)。数据通路库单元的连接互相精密匹配,便于它们的组合。一般情况下,与使用标准单元或门阵列设计方法相比,用数据通路单元组成数据通路的版图设计方法更快速且密度更高。

标准单元库和门阵列库含有数百种不同的逻辑单元,包括多输入端的组合功能(与非门,或非门,与门,或门)以及带有复位、置位和时钟选择等不同组合的锁存器和触发器。ASIC 单元库设计公司给设计人员提供了书面的或电子版形式的数据手册,其中包括每个库元件的功能描述和时序信息。

1.1.3 基于门阵列的 ASIC

在门阵列(有时缩写为 GA)或基于门阵列的 ASIC 中,晶体管在硅圆片上是预先确定的。门阵列上预先确定的晶体管图案即为基本阵列,基本阵列由最小单元重复排列组成(就像 M. C. Escher 绘图或者就像铺地砖),最小单元即为基本单元(有时称为基元)。只有上面几层用做晶体管互连的金属层由设计人员用全定制掩膜方式确定。为了区别于其他类型的门阵列,这种门阵列称为掩膜式门阵列(MGA, masked gate array)。设计人员可从门阵列单元库中选择预先设计和预定特性的逻辑单元。门阵列库中的逻辑单元常称为宏单元,因为每个逻辑单元的基本单元的版图是一样的,只有互连(单元内以及单元之间)是定制的,所以门阵列宏单元类似于软件中的宏指令。在 IBM 公司内部,门阵列宏单元被称为书(书是图书“库”的一部分),但遗憾的是,在 IBM 之外没有广泛使用该描述词。

可以将已完成扩散并形成晶体管的硅圆片储备待用(所以有时把门阵列称为预扩散阵列)。对于 MGA,只有金属互连是各不相同的,因此可把储备的硅圆片用于不同需求的客户。采用金属化之前的预制硅圆片可使制备 MGA 所需的时间(制造周期)减少到几天~两周。与全定制或基于单元的 ASIC 设计相比,由于各个客户分担了 MGA 所有初始制造步骤的费用,因此减小了 MGA 的成本。

以下为 MGA 或基于门阵列的 ASIC 的各种类型:

- 通道式门阵列
- 无通道门阵列
- 结构式门阵列

这些术语可用连字号表示其意义。比如术语“通道式门-阵列结构”即表明门阵列是通道式的。在 MGA 上晶体管排列(或阵列化)的方法有两种:通道式门阵列中,晶体管行与行之间的空间用做布线;无通道门阵列中,采用未使用的晶体管行进行布线。通道式门阵列被首先开发出来,但现在无通道式门阵列的使用更为广泛。结构式(或内嵌式)门阵列分通道式或无通道式两种,但它们都包括(或内嵌)定制块。