

中国电子教育学会高教分会推荐
EDA入门·设计·应用技术

Cadence 电路板设计入门

CADENCE PCB DESIGN PRIMER

周润景 张晨 编著



西安电子科技大学出版社
<http://www.xduph.com>

Cadence 电路板设计入门

周润景 张 晨 编著

西安电子科技大学出版社

内 容 简 介

本书以 Cadence Allegro SPB 16.6 软件为基础,从设计实践的角度出发,以具体电路为范例,以 PCB 电路板设计流程为顺序,由浅入深地讲解了元器件建库、原理图设计、信号完整性设计、布局、布线、规则设置、后处理等 PCB 设计的全过程。主要内容包括:原理图输入、元器件数据集成管理环境的使用、PCB 信号完整性设计基础知识、PCB 设计,以及后期电路设计处理需要掌握的各项技能等。无论是前端设计开发(原理图设计),还是 PCB 设计、PCB 布线实体的架构,本书都有全面详细的讲解,极具参考和学习价值。本书附带光盘,光盘中包含本书涉及的所有原理图与电路板文件。读者可以将书与光盘结合起来学习,一步步完成电路设计。

本书结构简洁明了,配有相关示例,既可作为从事 PCB 设计工作的初、中级人员的工作指导用书,也可作为电子及相关专业本科生、研究生的 PCB 设计的教材,还可以作为 PCB 设计从业人员再教育的培训用书。

图书在版编目(CIP)数据

Cadence 电路板设计入门/周润景,张晨编著. —西安:西安电子科技大学出版社,2015.8

ISBN 978-7-5606-3769-3

I. ① C… II. ① 周… ② 张… III. ① 印刷电路—计算机辅助设计 IV. ① TN410.2

中国版本图书馆 CIP 数据核字(2015)第 180628 号

策 划 刘小莉

责任编辑 阎彬 赵镁

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 陕西天意印务有限责任公司

版 次 2015 年 8 月第 1 版 2015 年 8 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 26

字 数 621 千字

印 数 1~2000 册

定 价 58.00 元(含光盘)

ISBN 978 - 7 - 5606 - 3769 - 3/TN

XDUP 4061001-1

如有印装问题可调换

前 言

在各种电子设计工具中，Cadence 集仿真、设计、分析于一体的架构，充分地考虑到了现今电子设计团队合作的方式，有非常完善的团队组织与分工模块，并且在每一模块、每一个工具的衔接上都做得非常完善到位。对于有一定电子设计基础的设计师来说，Cadence 可谓是设计工作的最优之选。

Cadence 最新的 PCB 设计解决方案 OrCAD 16.6 提供了许多新的功能，增强了设计定制化能力，并对性能作出重大改善，从而可帮助设计师在更短的设计周期内，以更可控的方式完成产品的设计。OrCAD 16.6 实现了一项重大技术突破——支持设计师从原理图设计阶段开始实现全流程的信号完整性仿真分析。这样的设计流程实现了高度自动化，改善了仿真的易学性与易用性。此外，该设计流程可以有效提高设计分析的效率，尤其对于高速数字电路的设计与仿真更为突出。

OrCAD 16.6 PCB 设计解决方案增强了用户定制功能，模拟性能提高了 20%，使用户得以更快、更有预见性地创建产品。同时，新型信号集成流引入了更高层次的自动化水平，使得快速设计所需要的预布线拓扑、约束开发和发展的性能导向数字电路模拟具有了更好的可用性和生产率。

OrCAD 16.6 PSpice 通过改善模拟集合和平均提高 20% 的模拟速度，提高了用户的生产率；通过引入多核模拟支持系统，包括大型设计、MOSFETs 和 BJT 等复杂模型支配的设计，取得了设计性能的显著提高。

OrCAD 16.6 版本的新型扩展信号集成流提供了 OrCAD Capture 和 OrCAD PCB SI 产品之间的无缝双向界面。这种新型集成实现了简化预布线拓扑、约束开发的自动化和全面的设计方法，提高生产率 100%。OrCAD 16.6 同时还扩展了 Tcl 编程功能和 OrCAD Capture 到 PSpice 的应用方法。因此，用户可以在标准的“即取即用”解决方案所能提供的范围之外扩展和定制他们的模拟数据和环境。通过 Tcl 调用模拟数据和环境，用户可以利用用户定义等方式和方程式来定制允许任何参数、map 用户参数或 PSpice 程序的模拟。

Cadence 有非常强大的功能，但限于篇幅无法全面介绍，不过本书还是在一个四层板例程的基础上对 PCB 设计的基础流程做了相对比较详细的讲解和介绍。

本书由周润景、张晨编著，其中张晨编写了第 8、9 章，其余章节由周润景编写。张丽娜、张红敏、张丽敏、贾雯、托亚、姜攀、张龙龙、张鹏飞、任冠中、丁莉、王志军、胡训智、李琳等参与了本书的编写。全书由周润景教授统稿。

由于作者的水平有限，书中不妥之处敬请广大读者批评指正。

周 润 景

2015 年 5 月

目 录

第 1 章 Cadence Allegro SPB 16.6 简介 ... 1	4.7 连接电路图..... 52
1.1 概述..... 1	4.8 添加网络组..... 57
1.2 功能特点..... 1	4.9 CIS 抓取网络元件..... 60
1.3 设计流程..... 3	习题..... 64
1.4 Cadence Allegro SPB 16.6 新功能的介绍.... 4	
第 2 章 Capture 原理图设计工作平台 ... 10	第 5 章 PCB 设计预处理..... 65
2.1 Design Entry CIS 软件功能介绍 10	5.1 编辑元器件的属性..... 65
2.2 原理图工作环境.....11	5.2 Capture 到 Allegro PCB Editor 的 信号属性分配..... 76
2.3 设置图纸参数..... 12	5.3 建立差分对..... 81
第 3 章 制作元器件及创建元器件库..... 16	5.4 Capture 中总线(Bus)的应用 84
3.1 OrCAD\Capture 元器件类型与元器件库 .. 16	5.5 元器件的自动对齐与排列..... 92
3.2 创建单个元器件..... 17	5.6 原理图绘制的后续处理..... 94
3.2.1 直接新建元器件..... 18	5.6.1 设计规则检查..... 95
3.2.2 用电子表格新建元器件..... 27	5.6.2 为元器件自动编号..... 100
3.3 创建复合封装元件..... 29	5.6.3 回注(Back Annotation)..... 102
3.4 创建其他元器件..... 30	5.6.4 自动更新元器件或网络的属性..... 103
习题..... 31	5.6.5 生成网络表..... 104
第 4 章 创建新设计..... 32	5.6.6 生成元器件清单和交互参考表..... 106
4.1 原理图设计规范..... 32	习题..... 109
4.2 Capture 基本名词术语 32	第 6 章 Allegro 的属性设置..... 110
4.3 建立新项目..... 34	6.1 Allegro 的界面介绍..... 110
4.4 放置元器件..... 35	6.2 设置工具栏..... 116
4.4.1 放置基本元器件..... 36	6.3 定制 Allegro 环境..... 117
4.4.2 对元器件的基本操作..... 39	6.4 定义和运行脚本..... 127
4.4.3 放置电源和接地符号..... 40	6.5 属性参数的输入输出..... 129
4.4.4 完成元器件放置..... 42	习题..... 131
4.5 创建分级模块..... 42	第 7 章 焊盘制作..... 132
4.6 修改元器件序号与元器件值..... 51	7.1 基本概念..... 132

7.1.1 PCB 的基本概念	132	10.3.2 反射	226
7.1.2 封装基础知识	133	10.3.3 振铃	227
7.2 热风焊盘的制作	135	10.4 PCB 布局布线注意事项	228
7.3 贯通孔焊盘的制作	137	10.4.1 元件的布局	228
7.4 贴片焊盘的制作	143	10.4.2 PCB 叠层设置	231
		10.4.3 线宽和线间距	233
第 8 章 元器件封装的制作	146		
8.1 封装符号的基本类型	146	第 11 章 设置设计规则	235
8.2 集成电路封装(IC)的制作	147	11.1 间距规则设置	235
8.3 连接器(IO)封装的制作	157	11.2 物理规则设置	238
8.4 分立元器件(DISCRETE)封装的制作	173	11.3 设定设计约束(Design Constraints)	241
8.4.1 贴片的分立元器件封装的制作	174	11.4 设置元器件/网络属性	242
8.4.2 直插的分立元器件封装的制作	178	习题	248
8.4.3 自定义焊盘封装制作	182		
8.4.4 使用合并 Shape 创建组合 几何图形	189	第 12 章 布局	249
习题	189	12.1 规划 PCB	250
		12.2 手工摆放元器件	254
第 9 章 PCB 的建立	190	12.3 按 Room 快速摆放元器件	259
9.1 建立 PCB	190	12.4 原理图与 Allegro 交互摆放	262
9.1.1 使用 PCB 向导(Board Wizard) 建立 PCB	190	12.5 交换	267
9.1.2 手工建立 PCB	193	12.6 排列对齐元件	272
9.1.3 建立 PCB 机械符号	197	12.7 使用 PCB Router 自动布局	273
9.1.4 建立 Demo 设计文件	207	习题	275
9.2 输入网络表	214		
习题	218	第 13 章 敷铜	276
		13.1 基本概念	276
第 10 章 PCB 设计基础	219	13.2 为平面层建立 Shape	278
10.1 PCB 相关问题	219	13.3 分割平面	280
10.1.1 电磁干扰与串扰问题	219	13.4 分割复杂平面	294
10.1.2 磁场与电感耦合	220	习题	298
10.1.3 回路电感	221		
10.1.4 电场与电容耦合	221	第 14 章 布线	299
10.2 地平面与地跳跃	222	14.1 布线的基本原则	299
10.2.1 地平面与地跳跃	222	14.2 布线的相关命令	300
10.2.2 地平面的分割	223	14.3 定义布线的格点	301
10.3 PCB 的电气特性	224	14.4 手工布线	302
10.3.1 特征阻抗	224	14.5 扇出(Fanout By Pick)	306
		14.6 群组布线	308
		14.7 自动布线的准备工作	311

14.8 自动布线.....	316	15.7 建立 Artwork 文件.....	365
14.9 控制并编辑线.....	323	15.8 输出底片文件.....	377
14.9.1 控制线的长度.....	323	15.9 浏览 Gerber 文件.....	377
14.9.2 差分布线.....	329	习题.....	380
14.9.3 高速网络布线.....	335	第 16 章 Allegro 其他高级功能.....	381
14.9.4 45°角布线调整(Miter By Pick).....	338	16.1 设置过孔的焊盘.....	381
14.9.5 改善布线的连接.....	340	16.2 更新元器件封装符号.....	383
14.10 优化布线(Gloss).....	345	16.3 Net 和 Xnet.....	384
习题.....	350	16.4 技术文件的处理.....	385
第 15 章 后处理.....	351	16.5 设计重用.....	390
15.1 重命名元器件序号.....	351	16.6 DFA 检查.....	397
15.2 回注(Back Annotation).....	354	16.7 修改 env 文件.....	399
15.3 文字面调整.....	356	习题.....	399
15.4 建立丝印层.....	360	附录 使用 LP Wizard 自动生成	
15.5 建立孔位图.....	362	元器件封装.....	400
15.6 建立钻孔文件.....	364		

第 1 章 Cadence Allegro SPB 16.6 简介

1.1 概 述

Cadence 新一代的 Allegro SPB 16.6 系统互连设计平台优化并加速了高性能、高密度的互连设计的能力,建立了从 IC 制造、封装到 PCB 的一整套完整的设计流程。Cadence Allegro 可提供新一代的协同设计方法,以便建立跨越整个设计链,包括 I/O 缓冲区、IC、封装及 PCB 设计人员的合作关系。

功能强大的 Allegro PCB 是业界领先的 PCB 设计系统。Allegro PCB 是一个交互的环境,用于建立和编辑复杂的多层 PCB,其丰富的功能可以满足当今世界设计和制造的需求。针对按时完成系统协同设计的不同需求,Cadence Allegro 平台能协同设计出高性能的集成电路、封装和 PCB 的互连,降低成本并加快产品上市时间。

Cadence Allegro 系统互连平台能够跨集成电路、封装和 PCB 协同设计实现高性能互连。应用平台的协同设计方法,工程师可以迅速优化 I/O 缓冲器,或者跨集成电路、封装和 PCB 的系统互连,从而避免硬件设计返工,并降低硬件成本和缩短设计周期。约束驱动的 Allegro 流程可用于设计捕捉、信号完整性和物理实现。由于得到了 Cadence Encounter 与 Virtuoso 平台的支持,Allegro 协同设计方法使得高效的设计链协同成为现实。

系统互连是信号的逻辑、物理和电气连接及功率配送的系统。目前,集成电路与系统的设计者在设计高速系统互连时面临着前所未有的挑战:一方面,由于集成电路的集成度不断增长,芯片的 I/O 和封装引脚数量也在迅速增加;另一方面,千兆赫兹速度的数据传输速率导致对极高速的 PCB 与系统需求增加,同时,PCB 尺寸不断缩小,功率配送要求也随着芯片晶体管数目的蹿升而不断提高。

解决这些复杂的问题和应对不断增长的上市时间压力的需要,使得传统的系统组件设计方法变得过时和不合时宜。在高速系统中完成工作系统互连需要新一代的设计方法,而设计团队应该把注意力集中在提高跨三个系统领域的系统互连的效率上。

1.2 功能特点

Cadence 公司的 Allegro SPB 16.6 系统针对 PCB 板级的电路系统设计流程提供了完整的输入、分析、版图编辑和制造的全线 EDA 辅助设计工具,这些辅助设计工具可以完成原理图输入,数字、模拟及混合电路仿真,FPGA 可编程逻辑器件设计,自动布局、布线,PCB 版图及生产制造数据输出,以及针对高速 PCB 的信号完整性分析与电源完整性分析等。

整个 Allegro SPB 16.6 系统主要分为 25 个功能模块:

(1) **Allegro PCB Planner:** 一款可为网络和元器件添加约束规则的 PCB 设计工具。设计者可以通过热分析, SI、PI 工具为元器件和网络添加约束规则。当与设计创作工具同时使用时, 它可以让设计者在设计数据库时描述约束的设计意图。同时该工具还具有布线规划与 PCB 数据的编辑、查看能力, 可让设计者轻松快速地对不同布局策略的效果做出评估。

(2) **Cadence Help:** Cadence 的帮助工具, 对 Cadence 的各个部分都有详细的讲解。

(3) **Design Entry CIS:** 世界上领先的在 Windows 操作系统上实现原理图输入的解决方案, 直观、简单易用且具有先进的部件搜索机制, 可迅速选择设计捕捉工具。Design Entry CIS 较以前的 Capture 和 Capture CIS, 其设计快捷方便, 图形美观, 能与 Allegro 实现无缝链接。

(4) **Design Entry HDL Rules Checker:** Design Entry HDL 的规则检查工具。

(5) **Design Entry HDL:** 提供了一个原理图输入和分析环境。它与扩展模拟(数字电路和模拟电路)以及 PCB 版图设计解决方案集成在一起, 可作为所有与系统和高速设计流程相关的满足 CAE 要求的任务中心。Design Entry HDL 可使得设计的每一个阶段流水线化。

(6) **FPGA System Planner:** 也称 FPGA 系统设计平台, 其提供了一套完整的、可扩展的 FPGA-PCB 协同式设计解决方案, 用于板级 FPGA 设计。它能够自动对引脚配置进行“芯片规则算法”的综合优化, 取代了易出错的手动引脚配置方式, 并以独特的布局解决方案, 减少了不必要的设计迭代, 可节省创建最优化引脚配置方案的时间, 从而提高设计效率。

(7) **Library Explorer:** 管理数字设计库的软件, 可以调用 Design Entry HDL、PCB Librarian、PCB Designer、Allegro System Architect 等工具建立元器件符号和模型。

(8) **License Client Configuration Utility:** Cadence 证书和证书服务的检查工具。

(9) **OrCAD Capture CIS:** 集成了强大的原理图设计功能, 主要特点是具有快捷的元件信息管理系统(CIS), 并具有通用 PCB 设计入口。其扩展的 CIS 功能可以方便地访问本地元件优选数据库和元件信息, 并可通过减少重新搜索元器件信息或重复建库、手动输入元件信息、维护元件数据的时间等方法来提高设计效率。

(10) **OrCAD Capture:** 一款多功能的 PCB 原理图输入工具。OrCAD Capture 提供了完整的、可调整的原理图设计方法, 能够有效地应用于 PCB 的设计创建、管理和重用。OrCAD Capture 与 OrCAD PCB Editor 的无缝数据连接, 可以很容易地实现物理 PCB 的设计。其与 Cadence PSpice A/D 的高度集成, 可以实现电路的数模混合信号仿真。

(11) **Package Designer:** 芯片和封装的设计分析软件。它把芯片级的 I/O 可行性和规划功能与业界领先的集成电路封装设计工具组合到一起, 提供了一种强大的协同设计方法。该产品家族包括一个嵌入式、经过验证的 3D 场计算器, 允许工程师在电气与物理设计要求之间做出折中选择, 以满足成本和性能目标。

(12) **PCB Editor:** 一个完整的高性能 PCB 设计软件, 通过顶尖的技术, 为创建和编辑复杂、多层、高速、高密度的 PCB 设计提供了一个交互式、约束驱动的设计环境。它允许用户在设计过程的任意阶段定义、管理和验证关键的高速信号, 并能抓住最关键的设计问题。

(13) **PCB Router:** CCT 布线器。

(14) **PCB SI:** 提供了一个集成的高速设计与分析环境。它能完成高速数字 PCB 系统和高级集成电路封装设计, 方便电气工程师在设计周期的所有阶段探究、优化和解决与电气性

能相关的问题。约束驱动的设计流程提高了首次成功的概率，并降低了产品的整体成本。

(15) **Physical Viewer:** Allegro 浏览器模块。

(16) **Project Manager:** Cadence 的项目管理器，用于 Cadence 中项目和元件库的交互与管理，提供树形图的交互方式。

(17) **Pspice AD:** 模拟和数模混合信号仿真器，为用户提供一整套完整的电路仿真、验证解决方案。

(18) **PSpice Advanced Analysis:** PSpice 的高级仿真工具，它融合了很多技术，用以改善设计性能，提高成本效益和可靠性。这些技术包括信号灵敏度、多引擎的优化器以及应力分析和蒙特卡罗分析。

(19) **Cadence SiP Digital Architect:** 利用互连管理与驱动协同设计方法论为设计的早期探索、评估与权衡提供一个横跨芯片抽象、封装衬底和 PCB 系统间的 SiP 概念原型环境。SiP Digital Architect 可以为架构工程师提供独特的环境来浏览和定义系统连接关系与功能，使得同步协同设计可以在 IC、SiP 封装衬底以及目标 PCB 系统间进行优化。工程人员能进行快速的“假设”可行性研究，以确保最大化的器件功能密度性能，同时使功耗最小化。它具有交叉结构工程变更单(ECO)和版图原理图对比确认功能，完全支持 IC 驱动或封装/电路板衬底驱动的设计流程。

(20) **SIP(System-In-Package):** 系统级封装的设计工具。

(21) **System Architect:** 复杂高速 PCB 设计工具，具有传统原理图、HDL 语言和电子数据表三种设计输入方式。

(22) **AMS Simulator:** 工业标准的模拟、数字及模拟/数字混合信号仿真系统，具有仿真速度快、精度高、功能强大等特点。其仿真库内所含元器件种类丰富，数量众多。

(23) **PCB Editor Utilities:** 包含 Pad Designer、DB Doctor 和 Batch DRC 等工具。

(24) **PCB SI Utilities:** PCB 信号完整性分析实用工具。

(25) **PSpice Accessories:** PSpice 相关附件工具。

1.3 设计流程

整个 PCB 的设计流程可分为以下三个主要部分。

1. 前处理

前处理是指开始 PCB 设计前的所有准备工作。具体工作如下：

(1) 原理图的设计。设计者根据设计要求用 Capture 软件绘制电路原理图。

(2) 创建网络表。绘制好的原理图经检查无误后，可以生成送往 Allegro 的网络表。网络表文件包含 pstxnet.dat、pstxprt.dat 和 pstchip.dat。

(3) 建立元器件封装库。在创建网络表之前，每个元器件都必须有封装。由于实际元器件的封装是多种多样的，如果元器件的封装库中没有所需的封装，就必须自己动手创建元器件封装，并将其存放在指定目录下。

(4) 创建机械设计图。设置 PCB 外框及高度限制等相关信息，产生新的机械图文件 (Mechanical Drawing) 并存储到指定目录下。

2. 中处理

中处理是整个 PCB 设计中最重要的工作部分。具体工作如下：

- (1) 读取原理图的网络表。将创建好的网络表导入 Allegro 软件，取得元器件的相关信息。
- (2) 摆放机械图和元器件。先摆放创建好的机械图；其次摆放比较重要的或较大的元器件，如 I/O 端口器件、集成电路；最后摆放小型的元器件，如电阻、电容等。
- (3) 设置 PCB 的层面。对于多层 PCB，需要添加 PCB 的层面，如添加 Vcc、Gnd 层等。
- (4) 进行布线(手工布线和自动布线)。手工布线可以考虑到整个 PCB 的布局，使布线最优化，但缺点是布线时间较长；自动布线可以使布线速度加快，但会使用较多的过孔。有时自动布线的路径不一定是最佳的，故经常需要把这两种方法结合起来使用。
- (5) 放置测试点。放置测试点的目的是检查该 PCB 能否正常工作。

3. 后处理

后处理是输出 PCB 的最后工作。具体工作如下：

- (1) 文字面处理。为了使绘制的电路图清晰易懂，需要对整个电路图的元器件序号进行重新排列，并使用回注(Back Annotation)命令，使修改的元器件序号在原理图中得到更新。
- (2) 底片处理。设计者必须设定每一张底片是由哪些设计层面组合而成的，再将底片的内容输出至文件，然后再将这些文件送至 PCB 生产车间制作 PCB。
- (3) 报表处理。产生该 PCB 的相关报表，然后将相关信息提供给后续的工作人员。常用的报表有元器件报表(Bill of Material Report)、元器件坐标报表(Component Location Report)、网表报表(Net List Report)、测试点报表(Testpin Report)等。

1.4 Cadence Allegro SPB 16.6 新功能的介绍

1. 原理图更改存储标识(Save Function for Design and Library)

在 Cadence OrCAD Capture 16.6(以下简称 16.6)系统中，每当工程、原理图页、元件等被编辑或更改后，在 Project Manager 中都会用“*”加以标记，如图 1-4-1 所示。

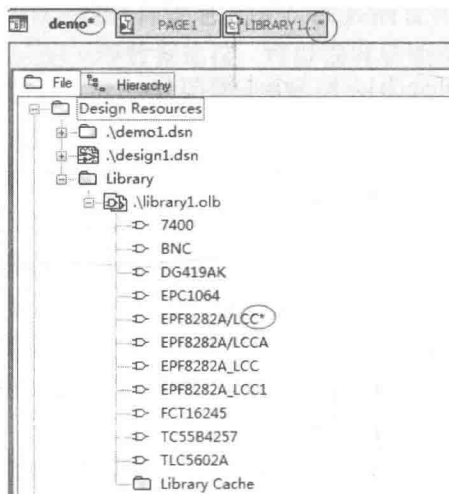


图 1-4-1 更改标注

2. 新的查找功能特性(Find Function)

在 16.6 系统的查找工具栏中新增加了两个特性，如图 1-4-2 所示。

➤ Property Name=Value: 特定属性查找。例如查找 PCB Footprint 属性为 dip2 的元器件，可输入 PCB Footprint=dip2*。

➤ Regular Expressions: 特定属性表达式查找。选择此项必须选择“Property Name = Value”。例如查找元器件编号在 2 到 9 的电阻和电容，可输入 Part Reference = (C|R)[2-9]。

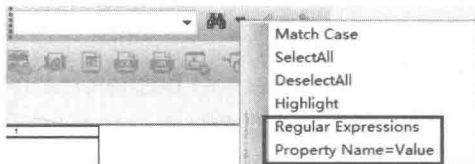


图 1-4-2 查找工具新特性

3. 全局分页连接器替换(Global Replace for OffPage)

在“Editor”→“Global Replace”全局替换和查找中增加了分页连接器的替换，如图 1-4-3 所示。

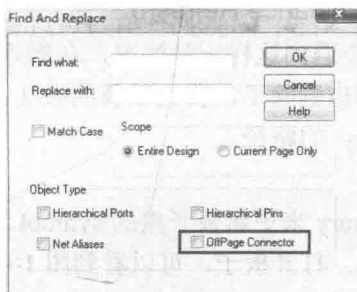


图 1-4-3 “分页连接器替换”

4. 器件对齐功能(Component Alignment Enhancements)

在 16.6 系统中提升了器件对齐功能。在“Allegro PCB Design GXL”中打开“demo_placed.brd”，如图 1-4-4 所示。单击右键选择“Application Mode”→“Placement Edit”，然后框选图中 D1~D4，再单击右键选择“Align Components”，元器件如图 1-4-5 所示对齐排列。“Options”页面如图 1-4-6 所示。

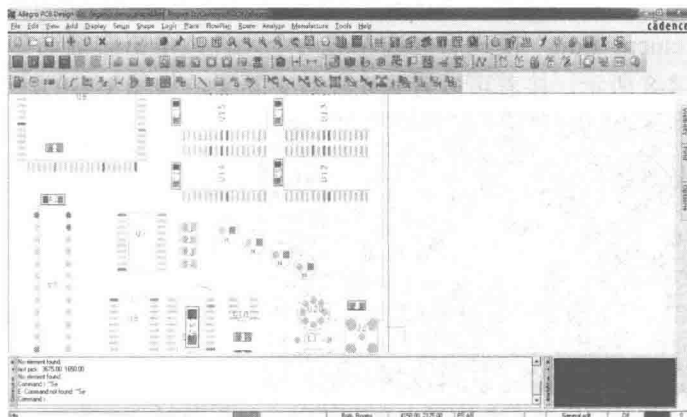


图 1-4-4 “demo_placed.brd”

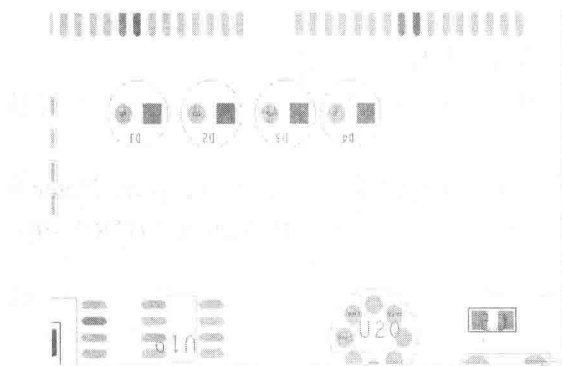


图 1-4-5 “对齐元器件”

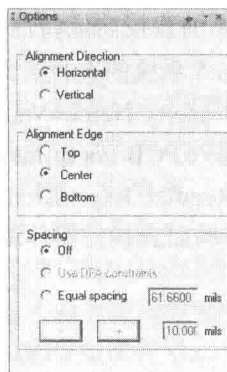


图 1-4-6 “Options” 页面

- Alignment Direction: 排列方向。软件会根据元件原有排列自动选择。
- Alignment Edge: 排列对齐方式。
- Spacing: 元件间距。选择“Equal spacing”(等间距)后可通过“+”和“-”来调整元器件间距。

5. 更新器件符号(Symbol Instance Refresh)

相信大家在平时使用中都会遇到这样一种情况，在删除某些线段或其他东西时，不小心将 Symbol 的 Ref 或丝印层等也删除了。我们以前的做法是：

- ① 在 setup 里设置好 library 的路径；
- ② Place→update symbol。

这种方法是利用已有的 library 来更新板子里的 symbol。在 16.6 系统中，我们可以非常简单轻松地实现 Update symbol。打开板子，可以看到图 1-4-7 中左边两个器件的丝印框以及 Ref 都被删除了。

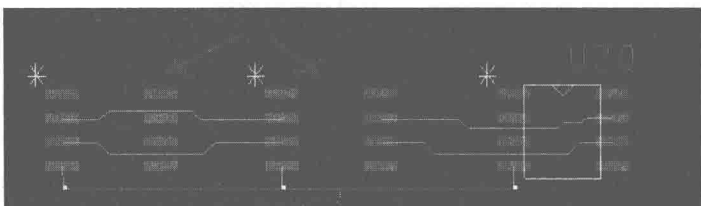


图 1-4-7 删除了丝印框和“Ref”的器件

在进入“Placement Edit”模式后框选左边两个元件，单击右键选择“Refresh symbol instance”，如图 1-4-8 所示，接着可以看到元件被更新了，如图 1-4-9 所示。

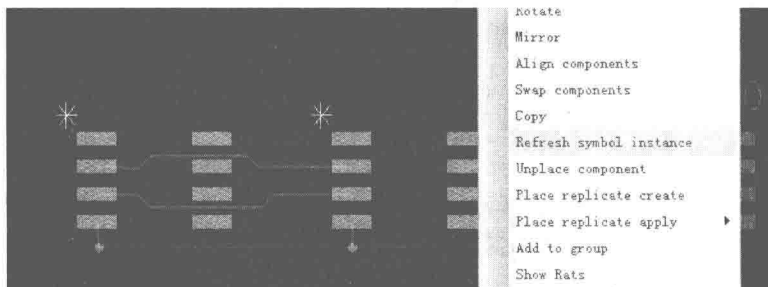


图 1-4-8 “Refresh Symbol Instance” 选项

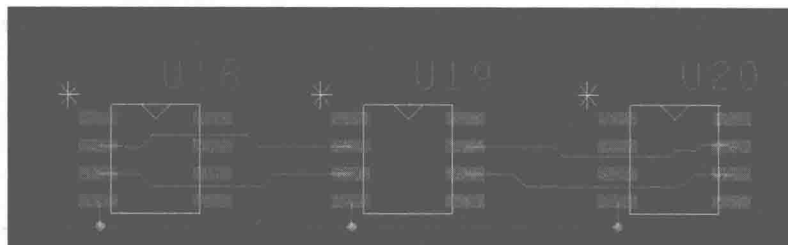



图 1-4-9 更新后的元件

6. 参数化图形绘制(Parameterized Cornering for Rectangular Shapes)

在 16.6 系统中，我们可以通过设置参数来绘制矩形。单击图标  或单击“Shape”→“Rectangular”，“Options”页面如图 1-4-10 所示。

放置完矩形后，在“General Edit”模式下，选中矩形后点击鼠标右键，选择“Expand/Contract”，在“Options”页面可改变矩形的大小，如图 1-4-11 所示。

绘制圆时，在“Options”页面的“Circular Shape Creation”中同样选择“Place Circle”来指定半径放置圆形。此时的“Center/Radius”可用来指定圆的半径和坐标，如图 1-4-12 所示。在绘制完成的圆上，同样也可以在“General Edit”模式下通过“Expand/Contract”来调整圆的大小。

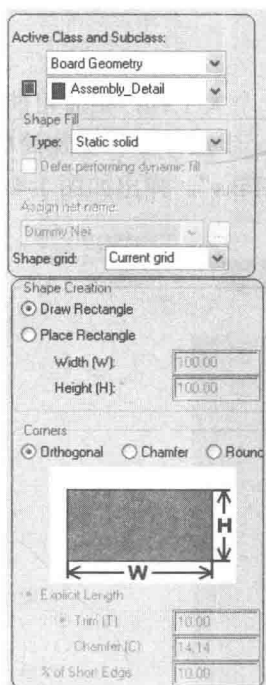


图 1-4-10 “Options” 页面

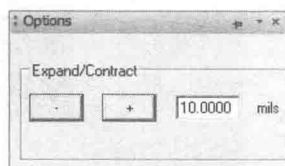


图 1-4-11 “Expand/Contract”

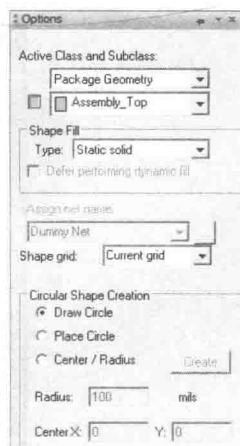


图 1-4-12 “Options” 页面

7. 网络名称显示(Embedded Net Name Display)

16.6 系统中我们可以自定义设置是否让网络名在走线、Shape 及 Pin 上显示出来。单击“Setup”→“Design Parameters Editor”→“Display”，如图 1-4-13 所示，在“Display net names”中可以设置是否显示网络名。

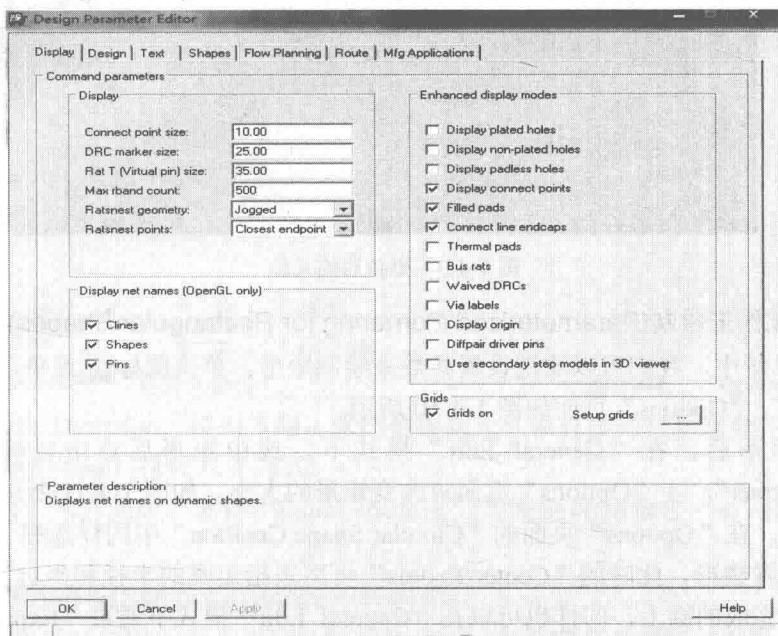


图 1-4-13 “Design Parameters Editor” 对话框

8. 引脚重编号(Renumber Symbol Pins)

当新建好封装库后，需要修改 Pin number，这在以前将又是一个大工程，很有可能会将所有的 Pin 全部删除或重新摆放。现在 Allegro SPB 16.6 系统使这一步操作变得更加简单。任意打开一个 BGA 封装，执行菜单命令“Layout”→“Renumber Pins”，弹出如图 1-4-14 所示的对话框。

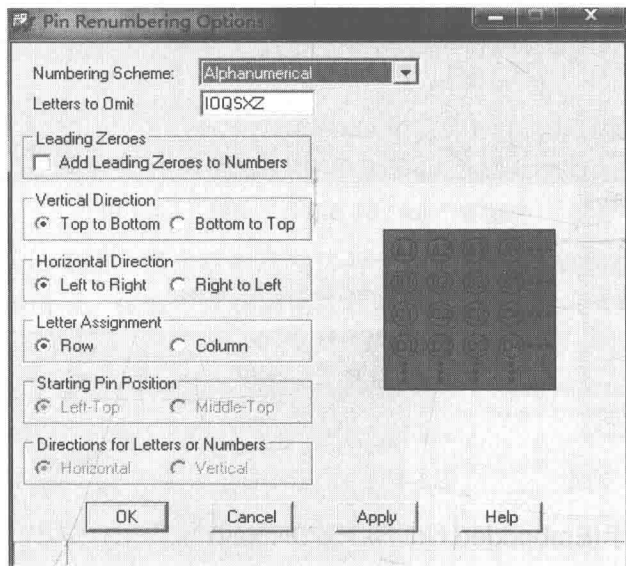


图 1-4-14 “Pin Renumbering Options” 对话框

之后为 Pin 标号的方向设置在此不再复述。

9. 通过导入表格来编辑器件(Symbol Editor→Import .CSV pin files)

16.6 系统支持通过 import/export 导入含有 Pin 信息的 CSV 文件来编辑修改封装。文件格式支持 Pin Number、Padstack name、x position、y position、rotation、textOffset X、textOffsety、textRotate、textMirror。图 1-4-15 就是已经做好的一个 CSV 表格及 PCB Footprint。

#PinNum	Padstack	x	y	rotation	textOffsetX	textOffsetY	textRotate	textMirror
48	S060X014RCT	150	226.38	0	0	0	0	0
47	S060X014RCT	150	206.69	0	0	0	0	0
46	S060X014RCT	150	187.01	0	0	0	0	0
45	S060X014RCT	150	167.32	0	0	0	0	0
44	S060X014RCT	150	147.64	0	0	0	0	0
43	S060X014RCT	150	127.95	0	0	0	0	0
42	S060X014RCT	150	108.27	0	0	0	0	0
41	S060X014RCT	150	88.58	0	0	0	0	0
40	S060X014RCT	150	68.9	0	0	0	0	0
39	S060X014RCT	150	49.21	0	0	0	0	0
38	S060X014RCT	150	29.53	0	0	0	0	0

图 1-4-15 “CSV”表格及“PCB Footprint”

从图 1-4-15 中可以看到 Pin 的 x 方向是 150, -150。所以 Pin Dist 为 300 mil。如果在 CSV 文件里面将 x 坐标分别调整为 200, -200, 如图 1-4-16 所示, 这样 Pin pitch 将会变为 400 mil。之后如图 1-4-17 所示将 CSV 文件导入, 导入后结果如图 1-4-18 所示。

31	S060X014RCT	200	-108.27	0
30	S060X014RCT	200	-127.95	0
29	S060X014RCT	200	-147.64	0
28	S060X014RCT	200	-167.32	0
27	S060X014RCT	200	-187.01	0
26	S060X014RCT	200	-206.69	0
25	S060X014RCT	200	-226.38	0
24	S060X014RCT	-200	-226.38	0
23	S060X014RCT	-200	-206.69	0
22	S060X014RCT	-200	-187.01	0
21	S060X014RCT	-200	-167.32	0
20	S060X014RCT	-200	-147.64	0

图 1-4-16 “CSV”表格

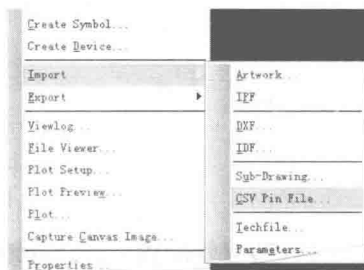


图 1-4-17 导入“CSV”

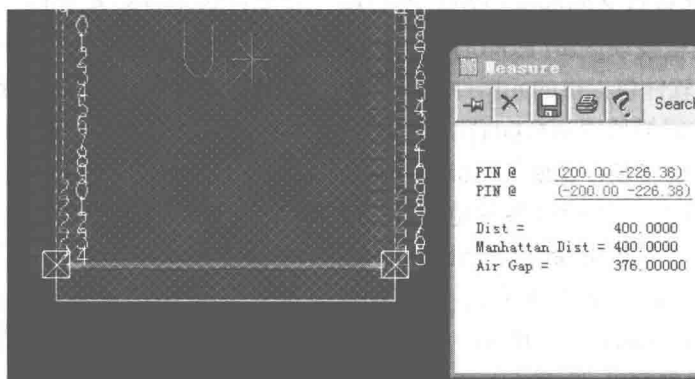


图 1-4-18 更新后的“PCB”