



中国电子教育学会高教分会推荐  
普通高等教育电子信息类“十三五”课改规划教材  
上海理工大学“精品本科”系列教材

11010.....  
0010100101.....  
11001.....

11010.....  
0010101.....  
1001.....  
1010.....



# 数字电子技术 实验与仿真

主编 顾秋洁 谭爱国 孙 浩  
参编 沈 易 杨一波 何杏宁 沈霓 李磊



西安电子科技大学出版社  
<http://www.xdph.com>

中国电子教育学会高教分会推荐  
普通高等教育电子信息类“十三五”课改规划教材  
上海理工大学“精品本科”系列教材

# 数字电子技术实验与仿真

主 编 顾秋洁 谭爱国 孙 浩

参 编 沈 易 杨一波 何杏宇 江 霓 李 磊

## 内 容 简 介

本书是高等院校本科数字电子技术课程的实验教材。全书分为四章,内容包括数字电子技术实验基础知识、数字电子技术基础实验、数字电子技术综合设计实验以及数字电子技术软件仿真实验。附录介绍了常用仪器仪表的使用和常用集成芯片引脚图。

本书可作为高等院校电气、电子信息、计算机、医疗器械和机电一体化等专业的实验教材,也可作为课程设计、电子设计竞赛和开放性实验的实践教材,同时可供从事电子工程设计和研制工作的技术人员参考。

## 图书在版编目(CIP)数据

数字电子技术实验与仿真/顾秋洁,谭爱国,孙浩主编.

—西安:西安电子科技大学出版社,2016.2

普通高等教育电子信息类“十三五”课改规划教材

ISBN 978-7-5606-3953-6

I. ① 数… II. ① 顾… ② 谭… ③ 孙… III. ① 数字电路—电子技术—实验—高等学校—教材 ② 数字电路—电子技术—计算机仿真—高等学校—教材  
IV. ① TN79

中国版本图书馆 CIP 数据核字(2016)第 011629 号

策划编辑 毛红兵

责任编辑 刘玉芳 毛红兵

出版发行 西安电子科技大学出版社(西安市太白南路2号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 陕西大江印务有限公司

版 次 2016年2月第1版 2016年2月第1次印刷

开 本 787毫米×1092毫米 1/16 印张 7

字 数 159千字

印 数 1~3000册

定 价 14.00元

ISBN 978-7-5606-3953-6/TN

**XDUP 4245001-1**

\*\*\* 如有印装问题可调换 \*\*\*

# 前 言

数字电子技术是高等院校电类专业本科教学中一门重要的、实践性强的专业基础课程,本书是为该课程的教学特意编写的实践教材,旨在通过实践环节的锻炼,巩固、加深学生对所学理论知识的理解,加强对学生基本技能的训练,培养学生的实际动手能力、工程设计能力以及应用创新能力。

本书介绍了实验原理、实验内容和测试方法、计算机仿真软件与仿真实验的开发,拓展了综合设计性实验内容。通过实践技能训练与理论知识的相融合,同时配合计算机仿真,本书力图对学生的实践技能进行多层次、渐进式的培养,充分提高学生系统开发的综合实践能力。

本书由上海理工大学电工电子实验中心的孙浩编写第1章;顾秋洁编写第2章的第1节和第2节、第3章的第5节~第7节、第4章和附录;谭爱国编写第2章的第9节、第11节、第3章的第8节;沈易编写第2章的第5节~第7节、第3章的第1节;杨一波编写第3章的第3节和第4节;何杏宇编写第2章的第4节和第3章的第2节;江霓编写第2章的第3节和第10节;李磊编写第2章的第8节。顾秋洁、孙浩负责全书的统稿工作。

感谢上海理工大学的陈静媚、沈龙妹两位老师为本书出版所做的前期工作,感谢上海理工大学电工电子实验中心全体教师在本书编写过程中所给予的支持,也感谢在编写过程中给予帮助的其他老师和同行。在编写过程中我们参考了许多资料,在此向这些资料的作者致谢。

由于编者水平有限,书中难免存在不妥之处,恳请读者提出批评与改进意见。

编 者

2015年10月

# 目 录

|                                |    |
|--------------------------------|----|
| 第1章 数字电子技术实验基础知识 .....         | 1  |
| 1.1 数字集成电路 .....               | 1  |
| 1.2 数字电路的测试与检测 .....           | 3  |
| 1.3 数字电子技术实验要求 .....           | 4  |
| 第2章 数字电子技术基础实验 .....           | 5  |
| 2.1 TTL 集成逻辑门的逻辑功能与参数测试 .....  | 5  |
| 2.2 CMOS 集成逻辑门的逻辑功能与参数测试 ..... | 9  |
| 2.3 组合逻辑电路的测试 .....            | 14 |
| 2.4 数据选择器的测试与应用 .....          | 19 |
| 2.5 数据比较器的测试与应用 .....          | 22 |
| 2.6 编码器的测试与应用 .....            | 24 |
| 2.7 译码器的测试与应用 .....            | 27 |
| 2.8 移位寄存器的测试与应用 .....          | 30 |
| 2.9 触发器的测试与应用 .....            | 34 |
| 2.10 异步时序逻辑电路的应用 .....         | 37 |
| 2.11 计数器的测试与应用 .....           | 40 |
| 第3章 数字电子技术综合设计实验 .....         | 43 |
| 3.1 译码驱动电路的设计 .....            | 43 |
| 3.2 四位串行加法电路的设计 .....          | 46 |
| 3.3 单稳态触发器电路的设计 .....          | 48 |
| 3.4 555 定时器电路的设计 .....         | 51 |
| 3.5 计数脉冲信号发生器的设计 .....         | 55 |
| 3.6 机床自动进给量模拟控制电路的设计 .....     | 56 |
| 3.7 倒计时报警电路的设计 .....           | 60 |
| 3.8 D/A、A/D 转换电路的设计 .....      | 61 |
| 第4章 数字电子技术软件仿真实验 .....         | 67 |
| 4.1 Multisim 软件的介绍与使用 .....    | 67 |
| 4.2 逻辑门电路的仿真 .....             | 74 |
| 4.3 组合逻辑电路的仿真 .....            | 76 |
| 4.4 译码器电路的仿真 .....             | 78 |
| 4.5 集成触发器电路的仿真 .....           | 80 |
| 4.6 时序逻辑电路的仿真 .....            | 82 |
| 4.7 模拟声音发生器的仿真 .....           | 84 |
| 4.8 A/D 和 D/A 转换器的仿真 .....     | 85 |

|      |                                |     |
|------|--------------------------------|-----|
| 附录 A | DG1022 型双通道函数/任意波形发生器的使用 ..... | 87  |
| 附录 B | DS1000 系列双踪数字示波器的使用 .....      | 95  |
| 附录 C | YB2173F 双路智能数字交流毫伏表的使用 .....   | 101 |
| 附录 D | 常用集成芯片引脚排列 .....               | 103 |
| 参考文献 | .....                          | 105 |

# 第1章 数字电子技术实验基础知识

## 1.1 数字集成电路

电子电路按其功能分为模拟电路和数字电路。数字电路是运用数字电子技术实现某种功能的电子电路系统,主要研究输出信号与输入信号之间的逻辑关系,其主要的分析工具是逻辑代数,所以数字电路又称为逻辑电路。

数字电路的发展经历了由电子管、半导体分立器件到集成电路的过程。数字集成电路(Integrated Circuit, IC)是将一个复杂的数字系统制作在一块半导体芯片上,构成体积小、重量轻、功耗低、速度高、成本低且具有保密性的系统级芯片。

### 一、数字集成电路的识别

从集成度来说,数字集成电路可分为小规模 SSI、中规模 MSI、大规模 LSI、超大规模 VLSI 和甚大规模 ULSI 五类。逻辑门是数字集成电路的主要单元电路,按照结构和工艺分为双极型、MOS 型和双极-MOS 型。随着 CMOS 工艺的发展,TTL 的主导地位已被 CMOS 器件所取代。因此,根据结构工艺规格的不同,数字集成电路有不同的型号和命名。

#### 1. TTL 集成电路

TTL 数字集成电路的工作电压为 5 V,其型号中的 C 表示产地为中国;T 表示器件类型为 TTL 集成电路;其编号一般以 74/54 开头,74 编号是民用规格,54 编号是军用规格。基本分类有:TTL,中速或标准系列(工作频率达 20 MHz);STTL,肖特基 TTL(抗饱和型);LSTTL,低功耗肖特基 TTL(工作频率达 50 MHz);ALSTTL,先进的低功耗肖特基系列。

#### 2. CMOS 集成电路

CMOS 集成电路由于价格低廉、集成度高,是目前使用最广泛的一种集成电路。基本分类有:PMOS(P 沟道型 MOS 集成电路);NMOS(N 沟道型 MOS 集成电路);CMOS(互补型 MOS 集成电路),其又包括 4000 系列、HCMOS 系列、HCT 系列。

#### 3. ECL 集成电路

ECL 数字集成电路具有工作速度快、扇出能力强、噪声小等优点,但其缺点是功耗大、输出电平稳定性差和噪声容限比较低。基本分类有:PECL(Positive ECL,  $U_{EE}$  接地,  $U_{CC}$  接正电压);NECL(Negative ECL,  $U_{CC}$  接地,  $U_{EE}$  接负电压)。

### 二、数字集成电路的使用

数字集成电路芯片在使用时应注意以下几项。

(1) 检查集成芯片引脚是否完好,并看清器件型号,不要搞错。接插集成芯片时,要认清集成芯片的定位标记,不得插反。

(2) 集成芯片应工作在允许的电源电压范围内, 否则会使电路的逻辑功能出错, 严重时损坏芯片。TTL 集成电路的电源电压使用范围为  $+4.5 \sim +5.5 \text{ V}$ , 实验中要求使用  $U_{\text{CC}} = +5 \text{ V}$ , 且电源极性不能接反。CMOS 电路的电源电压和极性是随着电路的类型而变化的, 如 PMOS 电路一般使用  $-20 \text{ V}$ , NMOS 电路一般使用  $+5 \text{ V}$ ; CMOS 电路芯片的  $U_{\text{DD}}$  接正电源, 其电压标准为  $+5 \text{ V}$ 、 $+10 \text{ V}$ 、 $+15 \text{ V}$  三种,  $U_{\text{SS}}$  接负电源或接地。

(3) 数字集成电路一般以高频电路处理。为防止低、高频的干扰, 可在芯片附近的电源与地端接入去耦电容, 即并入一个  $10 \sim 100 \mu\text{F}$  的电容以防止低频干扰, 并入一个  $0.01 \sim 0.1 \mu\text{F}$  的电容以防止高频干扰。

(4) 集成芯片的输入端(指控制信号端)不允许开路, 一定要接入合适的电平, 否则电路的逻辑功能有可能无法实现。对于闲置输入端的处理应根据集成芯片系列的不同而有所不同。TTL 系列的小规模集成电路的输入端悬空相当于正逻辑“1”, 实验时允许悬空处理, 但易受到外界干扰, 导致电路的逻辑功能不正常。因此, 中规模以上的 TTL 集成电路或较复杂的集成电路, 其所有控制输入端必须按逻辑要求接入电路, 不允许悬空。MOS 管的输入阻抗很高, 因此 CMOS 电路中多余不用的输入引脚不允许悬空, 否则容易受到静电或工作区域中工频电磁场引入电荷的影响, 输出将会是随机状态, 从而引起电路逻辑功能的混乱。根据逻辑要求, TTL 电路中的与门或与非门的多余输入端通过串入一个  $1 \sim 3 \text{ k}\Omega$  的固定电阻或直接接电源正端, 或者接至某一固定电源电压 ( $2.4 \text{ V} \leq U \leq 4.5 \text{ V}$ ) 上。对 CMOS 电路来说, 多余输入端可以直接连接电源。或门或者或非门的多余输入端接地, 还可以与其他输入端并接在一起, 但对于高速电路的设计, 这样则会增加输入端的等效电容性负载, 从而使信号的传输速度下降, 因此多余输入端的处理也要视具体电路而定。多余输入端的处理如图 1-1-1 所示。

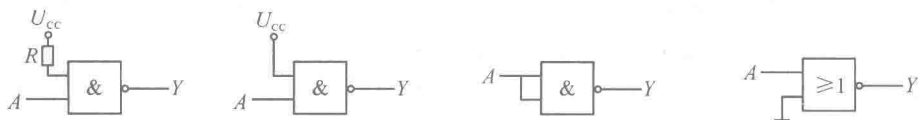


图 1-1-1 多余输入端的处理

(5) 对于集成逻辑门电路而言, 输入端经过一个电阻接地, 该输入信号的状态不同则电路处理方式不同。对于 TTL 来说, 该电阻小于  $0.9 \text{ k}\Omega$  时的输入相当于逻辑“0”, 电阻大于  $2.5 \text{ k}\Omega$  时输入相当于逻辑“1”。而对于 CMOS 门电路而言, 由于其输入端不取用输入电流, 因此不管接地电阻的取值是多大, 对输入端来说始终为逻辑“0”。

(6) 一般情况下, 在一个电子电路中通常采用同一系列的数字集成电路, 但有时也有混用的情况, 此时应注意两者电源电压、输入输出高低电平及输入输出电流等的匹配问题。例如, 若用 CMOS 电路驱动 TTL 门电路, 两者的电压参数是兼容的, 所以可直接连接, 仅需考虑其输出电流大小及能驱动几个负载门的问题。若 TTL 电路驱动 CMOS 门电路, 当 TTL 电路的输出为高电平时, 某些系列参数不兼容, TTL 的 74LS 系列  $U_{\text{OH}}(\text{min}) = 2.7 \text{ V}$ , 而 CMOS 的 HC 系列  $U_{\text{IH}}(\text{min}) = 3.5 \text{ V}$ , 这种情况下 TTL 电路显然不能驱动 CMOS 电路, 应在 TTL 的输出端与电源之间接一个上拉电阻, 上拉电阻值取决于负载器件的数目以及 TTL 和 CMOS 的电流参数。

(7) 除集电极开路门(OC 门)和三态输出门外,其他电路的输出端不允许并联使用,否则不仅会使电路的逻辑混乱,并且会导致器件损坏。输出端不允许直接接地或直接接到电源上,否则将会损坏器件。

## 1.2 数字电路的测试与检测

### 一、数字电路的测试方法

任何一个电路,按照设计的电路图安装完毕后,都不代表能完全投入使用,必须对安装好的电路进行测试。数字电路测试的目的是验证其逻辑功能是否符合设计要求,即验证其输入与输出的关系是否与真值表相符。

在数字电路的测试过程中,按照“先观察电路,后通电源,先静态测试,后动态测试”的原则进行测试。先对照电路图检查电路元器件的连线是否正确、元器件引线端子与极性是否正确、电源是否符合要求以及电源极性是否正确等,这些连接都正确之后进行静态测试。静态测试主要测试电路在静态状态下输入与输出的关系。将输入端按要求接逻辑电平,用电平分别显示各输出端的状态。按真值表将输入信号逐一送入被测电路,测出相应的输出,并与真值表相比较,判断出此数字电路的静态工作是否正常。有时序变化的电路可进行动态测试。动态测试是指在电路的输入端加上脉冲信号,使电路处于变化的交流工作状态,用示波器观察各输出端的信号波形,从而检查数字电路输入、输出信号之间的逻辑关系,以及时序关系是否正确。

较复杂的数字电路有集成电路应用较多、引脚密集且连线较多的特点,出现故障后也不易查找原因,因此在测试中应注意区分元器件的类型、功能,确定相应的电源电压、电平转换、负载电路等。时序电路中要先熟悉各单元电路间的时序关系,对照时序图测试各点的波形。注意区分各触发器的触发沿是上升沿还是下降沿,以及其时钟信号与振荡器输出的时钟信号之间的关系,逐一测试以保证数字电路顺利进入正常工作状态。

### 二、数字电路的故障检测与排除

#### 1. 数字电路的故障

(1) 电路设计问题。若没有按照设计要求设计电路,那么所实现的电路功能必定是错误的。这种故障一般情况下不容易出现,但一旦出现则不易排查出。

(2) 元器件引起的故障。电路中的电阻、电容、电感、晶体管、集成电路等元器件由于质量问题或使用时间过长等而导致性能下降甚至损坏。这类故障常使数字电路有输入信号却没有输出信号。

(3) 接线安装的故障。在安装接线过程中元器件的错误选择,连接线的断开、错接、漏接、多接,粗心引起的短路等故障将导致电路无法正常工作。元器件线路上的错焊、漏焊、虚焊也是安装过程中的一种故障。

#### 2. 数字电路的故障排除

数字电路的故障类型较多,产生原因也各不相同,因此,排查故障的方法也不一样。当

电路发生故障时,根据故障现象,通过检查、测试、分析故障产生原因确定故障的部位。

实验前需要检查实验所用的集成芯片的逻辑功能是否完好,否则不能进行实验。实验中测试不出电路功能时,应首先检查待查电路的供电情况,如电源是否正确接入到电路中,若电源已加上则检查电源的电压值和极性是否符合要求。检查输入信号、时钟脉冲等是否加入到电路中,逻辑开关或单次脉冲有无输出,排除开关接触不良或脉冲内部电路损坏等硬件故障。直接观察待查元器件表面或线路是否被烧坏,是否有冒烟异味、过热等现象,连接线与元器件是否有脱落、松动,有无接错、漏接等情况。这种检查方法属于静态观察,适用于对故障的初步检查,可以发现一些较明显的故障。

排除明显故障后,可根据需要在电路输入端加入符合要求的信号,按照信号流经的路线从前级到后级或者从后级到前级,用万用表或示波器等仪器逐级检查信号在电路内各部分的传输情况,测量电路中各点的电压值或波形,分析电路的功能是否正常,判断是否是由底板、集成块引脚、连接线、多余引脚的处理等原因造成的故障。这种检查方法属于仪表排查,可以发现不明显的故障。

故障排查、分析与定位方法很多,实际应用中应根据具体的故障现象、电路复杂程度、可使用的仪器设备,以及数字电路的原理和实际经验进行综合判断。

### 1.3 数字电子技术实验要求

每次实验前应认真预习。预习的好坏不仅关系到实验能否顺利进行,而且直接影响着实验效果。按本书的实验要求进行,复习有关实验的基本原理,掌握有关元器件的使用方法,完成预习报告,其主要内容包括:

- (1) 实验目的;
- (2) 实验内容、实验方法和步骤;
- (3) 实验相关的逻辑表达式、真值表或状态图;
- (4) 画出设计好的实验电路图,要求是逻辑图,并在图上标注器件型号、使用引脚,必要时还需文字说明;
- (5) 拟好记录实验数据的表格或波形坐标,并记录预习的理论值。

在实验过程中,按实验室的操作规程使用各种仪器设备。测量时需正确读数,实事求是地记录各种测量数据,并将其记录到报告中。多注意观察、多动脑,在老师的指导下,尽可能通过自己的实践去解决所遇到的故障和问题。

实验结束后,按要求整理实验器材、实验数据,填入预习报告上的表格中,回答实验思考题,分析实验结果,即可作为一份内容完整、条理清楚、图表工整的实验报告,并按时递交。

## 第2章 数字电子技术基础实验

### 2.1 TTL 集成逻辑门的逻辑功能与参数测试

#### 一、实验目的

1. 掌握 TTL 集成与非门的逻辑功能和主要参数的测试方法。
2. 掌握 TTL 器件的使用规则。
3. 熟悉数字电路实验装置的结构、基本功能和使用方法。

#### 二、实验预习

1. 复习 TTL 集成与非门的逻辑功能。
2. 学习与非门的主要参数要求。

#### 三、实验原理

本实验采用 2 输入四与非门的 74LS00 集成芯片，即在一块集成芯片内有 4 个互相独立的与非门，可单独使用，但共用一个电源引脚和一个接地引脚，每个与非门有 2 个输入端，其电路图如图 2-1-1 所示。 $V_1$  是多发射极晶体管，构成 2 输入 TTL 与非门，当任一输入端为低电平时， $V_1$  的发射极将正向偏置导通，其基极电压为  $U_{B1} = 0.9\text{ V}$ ，所以  $V_2$ 、 $V_4$  都截止， $V_2$  的集电极电位接近于  $+5\text{ V}$ ， $V_3$  因而导通，输出端的电位为高电平。当全部输入端为高电平时， $V_1$  将转入倒置放大状态， $V_2$  和  $V_3$  均饱和，输出低电平。图 2-1-2 所示为与非门逻辑符号和 74LS00 的引脚排列。

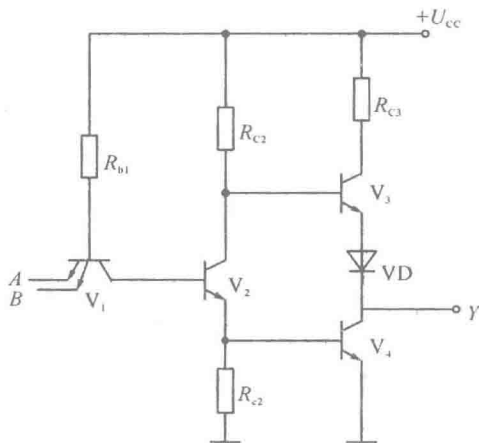


图 2-1-1 与非门电路

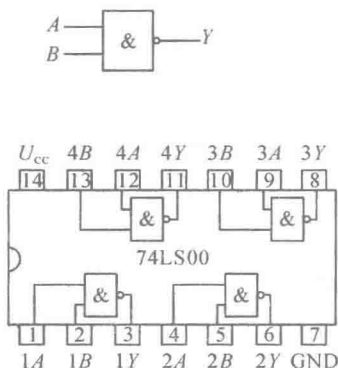


图 2-1-2 与非门逻辑符号和引脚排列

## 1. 与非门逻辑功能

与非门的逻辑功能是当输入端有一个或一个以上是低电平时, 输出端为高电平。只有当输入端全部为高电平时, 输出端才是低电平, 即有“0”出“1”, 全“1”出“0”。2 输入与非门的逻辑表达式为  $Y = \overline{AB}$ 。

## 2. TTL 与非门的主要参数

1) 高电平输出电源电流  $I_{CCH}$  和低电平输出电源电流  $I_{CCL}$

与非门处于不同的工作状态时, 电源提供的电流是不同的。 $I_{CCH}$  是指输出端空载, 与非门有一个以上的输入端接地, 其余输入端悬空时电源提供给器件的电流, 如图 2-1-3 所示。 $I_{CCL}$  是指输出端空载, 所有输入端悬空时电源提供给器件的电流, 如图 2-1-4 所示。通常  $I_{CCL} > I_{CCH}$ , 它们的数值标志着器件静态功耗的大小。静态功耗是指当电路的输出没有状态转换时的功耗。器件的最大功耗为  $P_{CCL} = U_{CC} I_{CCL}$ 。

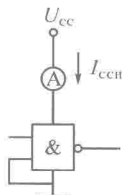


图 2-1-3  $I_{CCH}$  测试电路

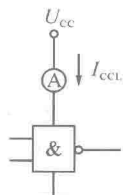


图 2-1-4  $I_{CCL}$  测试电路

2) 输入高电平电流  $I_{IH}$  和输入低电平电流  $I_{IL}$

当某一输入端接高电平, 其余输入端接低电平时, 流入该输入端的电流称为输入高电平电流  $I_{IH}$ , 如图 2-1-5 所示。在多级门电路中,  $I_{IH}$  相当于前级门输出高电平时前级门的拉电流负载, 其大小关系到前级门的拉电流负载能力。 $I_{IH}$  较小, 较难测量。

当某一输入端接低电平, 其余端悬空或接高电平时, 从该输入端流出的电流称为输入低电平电流  $I_{IL}$ , 如图 2-1-6 所示。在多级门电路中,  $I_{IL}$  相当于前级门输出低电平时后级向前级门灌入的电流, 其大小关系到前级门的灌入电流负载能力, 即直接影响前级门电路带负载的个数。

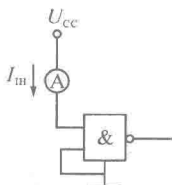


图 2-1-5  $I_{IH}$  测试电路

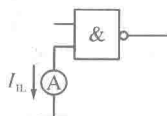


图 2-1-6  $I_{IL}$  测试电路

3) 扇出系数  $N_O$

门电路的扇入数  $N_I$  取决于它输入端的个数, 例如 2 输入的与非门, 其扇入数  $N_I = 2$ 。门电路的扇出系数  $N_O$  是指门电路在正常工作情况下, 所能带的同类门电路的最大数目, 它是衡量门电路负载能力的一个参数。TTL 与非门有两种不同性质的负载: 一种是负载电流从驱动门流向外电路, 称为拉电流负载, 如图 2-1-7 所示; 另一种是负载电流从外电路

流入驱动门,称为灌电流负载,如图2-1-8所示,左边为驱动门,右边为负载。当驱动门的输出端为高电平时,将有电流 $I_{OH}$ 从驱动门拉出而流入负载门,负载门的输入电流为 $I_{IH}$ 。输出为高电平时的扇出系数为 $N_{OH}=I_{OH}/I_{IH}$ 。当驱动门的输出端为低电平时,负载电流 $I_{OL}$ 流入驱动门,它是负载门的输入端电流 $I_{IL}$ 。输出为低电平时的扇出系数为 $N_{OL}=I_{OL}/I_{IL}$ 。

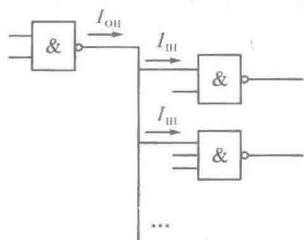


图 2-1-7 拉电流负载

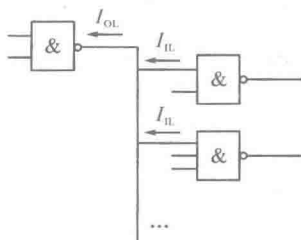
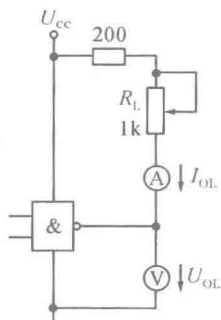


图 2-1-8 灌电流负载

图 2-1-9  $N_{OL}$  测试电路

一般逻辑器件数据手册中并不提供扇出系数,必须通过计算或实验方法求得。在实际工程设计中,如果输出高电平电流 $I_{OH}$ 与输出低电平电流 $I_{OL}$ 不相等,则 $N_{OL} \neq N_{OH}$ ,常取二者中的最小值,一般用 $N_{OL}$ 作为扇出系数。 $N_{OL}$ 测试电路如图2-1-9所示。与非门的输入端全部悬空,输出端接灌电流负载 $R_L$ ,调节 $R_L$ 使 $I_{OL}$ 增大, $U_{OL}$ 随之增高,当 $U_{OL}$ 达到 $U_{OL,max}$ 时,此时的 $I_{OL}$ 就是灌入的最大负载电流。通常 $N_{OL} \geq 8$ 。

#### 4) 电压传输特性

电压传输特性是指 TTL 门的输出电压 $U_O$ 与输入电压 $U_I$ 之间的关系,即门电路的输出电压 $U_O$ 随输入电压 $U_I$ 变化而变化的曲线 $U_O=f(U_I)$ 。电压传输特性测试电路如图2-1-10所示。调节 $R_w$ 阻值,设置不同的输入电压 $U_I$ ,逐点测得相应的输出电压 $U_O$ ,然后绘制曲线如图2-1-11所示。从中可得到门电路的一些重要参数,如输出高电平电压 $U_{OH}$ 对应于AB段的输出电压;输出低电平电压 $U_{OL}$ 对应于CD段的输出电压,它是在额定负载下测出的。对于通用的 TTL 与非门, $U_{OH} \geq 2.4\text{ V}$ , $U_{OL} \leq 0.4\text{ V}$ 。

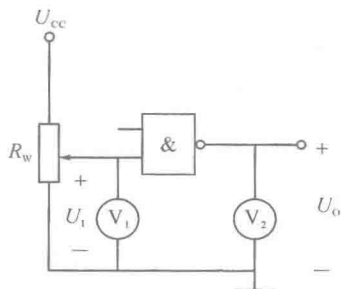


图 2-1-10 电压传输特性测试电路

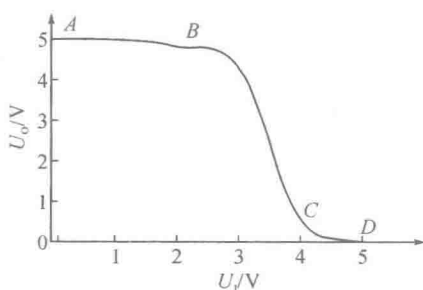


图 2-1-11 电压传输特性曲线

#### 5) 传输延迟时间

传输延迟时间是表征门电路开关速度的参数。在与非门输入端加上一个脉冲电压,其输出电压将有一定的时间延迟,波形图如图2-1-12所示。从输入脉冲上升沿的50%处

起到输出脉冲下降沿的 50% 处的时间, 称为上升延迟时间  $t_{\text{pdL}}$ ; 从输入脉冲下降沿的 50% 处到输出脉冲上升沿的 50% 处的时间, 称为下降沿延迟时间  $t_{\text{pdH}}$ ; 平均传输延迟时间为  $t_{\text{pd}} = \frac{t_{\text{pdL}} + t_{\text{pdH}}}{2}$ 。平均传输延迟时间的测试电路如图 2-1-13 所示, 由奇数个与非门组成环形振荡器, 在接通电源后的某一瞬间, 电路中的  $U_{\text{O1}}$  点为逻辑“1”, 经过三级门的延迟后,  $U_{\text{O1}}$  由原来的逻辑“1”变为逻辑“0”, 再经过三级门的延迟后,  $U_{\text{O1}}$  电平又重新回到逻辑“1”。电路中其他各点的电平也随之变化。一个振荡周期必须经过六级门的延迟时间, 因此平均传输延迟时间  $t_{\text{pd}} = \frac{T}{6}$ 。TTL 电路的  $t_{\text{pd}}$  一般为  $10 \sim 40 \mu\text{s}$ 。

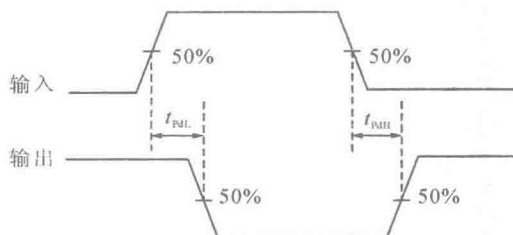


图 2-1-12 门电路传输延迟波形图

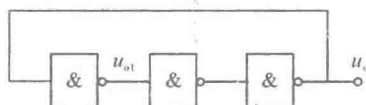


图 2-1-13 平均传输延迟时间的测试电路

## 四、实验内容

### 1. 验证 TTL 集成与非门 74LS00 的逻辑功能。

实验中所用到的集成芯片都是双列直插式, 其引脚排列规则见图 2-1-2。识别方法是: 正对集成电路型号(如 74LS00)并看清标记(左边的缺口或小圆点标记), 从左下角开始逆时针方向以 1、2、3、…依次排列。如 74LS00 为 14 脚芯片, 14 引脚为电源  $U_{\text{CC}}$ , 7 引脚为接地端 GND。若集成芯片引脚上的功能标号为 NC, 则表示该引脚为空脚, 与内部电路无连接。逐个测试集成块中 4 个与非门的逻辑功能, 填写如表 2-1-1 所示的与非门真值表。

表 2-1-1 与非门真值表

| 输 入 |   | 输 出 |    |
|-----|---|-----|----|
| A   | B | Y   | 电平 |
| 0   | 0 |     |    |
| 0   | 1 |     |    |
| 1   | 0 |     |    |
| 1   | 1 |     |    |

### 2. 与非门 74LS00 主要参数测试。

(1) 分别按图 2-1-3、图 2-1-4、图 2-1-6、图 2-1-9 连接电路, 对各电流进行测试, 将测量值记入表 2-1-2 中。

表 2-1-2 各电流参数测量

| $I_{CCH}$ | $I_{CCL}$ | $I_{IL}$ | $I_{OL}$ | $N_{OL} = \frac{I_{OL}}{I_{IL}}$ |
|-----------|-----------|----------|----------|----------------------------------|
|           |           |          |          |                                  |

(2) 按图 2-1-10 连接电路, 电位器  $R_w = 10\text{ k}\Omega$ , 调节  $R_w$  使  $U_i$  变化, 逐点测量对应的输出电压  $U_o$ , 记入表 2-1-3 中, 并绘制电压传输特性曲线。

表 2-1-3 电压传输特性测试

| $U_i/\text{V}$ | 0 | 0.2 | 0.4 | 0.6 | 0.8 | 1.0 | 1.5 | 2.0 | 2.5 | 3.0 | 3.5 | 4.0 | 4.5 |
|----------------|---|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| $U_o/\text{V}$ |   |     |     |     |     |     |     |     |     |     |     |     |     |

(3) 连接平均传输延迟时间测试电路, 观察  $U_{oi}$  的波形, 测量周期  $T$ , 计算平均传输延迟时间  $t_{pd}$ , 记入表 2-1-4 中。

表 2-1-4 平均传输延迟时间测量

| 测量周期 $T$ | $t_{pd} = \frac{T}{6}$ |
|----------|------------------------|
|          |                        |

## 五、实验思考

1. 根据表 2-1-3 中测量得到的实验数据, 画出实验电路的电压传输特性曲线  $U_o = f(U_i)$ 。
2. 实验中, TTL 与非门的输入端悬空, 表示逻辑“0”还是逻辑“1”?
3. 根据实验测量数据, 计算所用的集成芯片最多可以驱动的后级门电路的个数。

## 2.2 CMOS 集成逻辑门的逻辑功能与参数测试

### 一、实验目的

1. 掌握 CMOS 集成逻辑门的使用规则。
2. 掌握 CMOS 集成与非门的逻辑功能和主要参数的测试方法。

### 二、实验预习

1. 复习 CMOS 集成与非门的逻辑功能。
2. 学习与非门的主要参数要求。

### 三、实验原理

CMOS 集成电路由互补对称场效应管构成, 具有逻辑电平摆幅大、输入阻抗高、功耗低、抗干扰能力强等优点。实际的 CMOS 逻辑电路大多数都带有输入保护电路和缓冲电路。CMOS 系列逻辑门电路中的与非门电路如图 2-2-1 所示, 为 2 输入端的 CMOS 与非门电路。其中, 驱动管  $T_1$  和  $T_2$  为 N 沟道增强型管, 两者串联; 负载管  $T_3$  和  $T_4$  为 P 沟道增强型管, 两者并联。负载管整体与驱动管相串联。当输入端 A、B 其中一个为低电平时,

就会使串联的驱动管  $T_1$ 、 $T_2$  截止，而相应的负载管  $T_3$ 、 $T_4$  导通，输出为高电平；仅当  $A$ 、 $B$  全为高电平时，驱动管  $T_1$  和  $T_2$  导通，负载管  $T_3$  和  $T_4$  截止，输出为低电平，逻辑表达式为  $Y = \overline{AB}$ 。本实验采用 2 输入四与非门 CC4011 集成 CMOS 芯片，即在一块集成芯片内有 4 个互相独立的与非门，可单独使用，但共用电源引脚，每个与非门有 2 个输入端。图 2-2-2 所示为 CC4011 与非门逻辑符号及其引脚排列图。

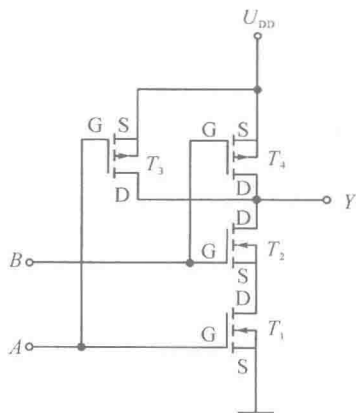


图 2-2-1 与非门电路

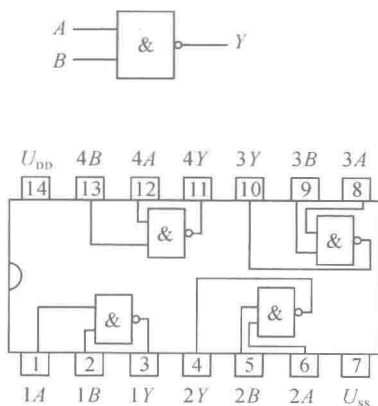


图 2-2-2 CC4011 与非门逻辑符号及其引脚排列图

CMOS 器件静态参数测量与 TTL 器件静态参数测量的电路基本相同，但要注意 CMOS 器件和 TTL 器件有不同的使用规则，对各引脚的处理要注意符合逻辑关系。不使用的输入端不能悬空，应按实际的逻辑功能接  $U_{DD}$  或  $U_{SS}$ ；多余输入端最好不要并联，否则会降低器件的工作速度；在未加电源电压之前，不允许加输入信号，否则将损坏输入端的保护二极管。

### 1. 输出低电平时的灌电流 $I_{OLmax}$

与非门的输入端接高电平，输出端接灌电流负载，此时输出为低电平，如图 2-2-3 所示。调整电位器，使  $I_{OL}$  增大，同时  $U_O$  也相应升高，当  $U_O$  达到  $U_{OLmax}$  时，此时的电流即为 CMOS 与非门允许灌入的最大电流  $I_{OLmax}$ 。

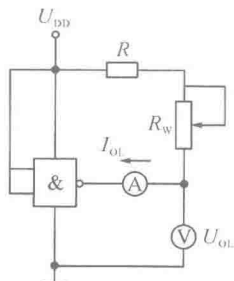


图 2-2-3 输出端接灌电流负载

### 2. 输出高电平时的拉电流 $I_{OHmin}$

与非门的某一输入端接低电平，其他输入端接高电平，输出端接拉电流负载，此时输出为高电平，如图 2-2-4 所示。调整电位器，使  $I_{OH}$  增大，同时  $U_O$  降低，当  $U_O$  达到

$U_{OHmin}$  时, 此时的  $I_{OH}$  即为允许的最大电流  $I_{OHmax}$ 。

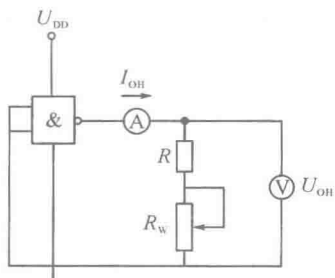


图 2-2-4 输出端接拉电流负载

### 3. 电压传输特性

CMOS 与非门的电源电压  $U_{DD}=5\text{ V}$ , 如图 2-2-5 所示为电压传输特性测试电路。电压传输特性曲线如图 2-2-6 所示, 其电压传输特性分三个工作区:  $AB$  段, 驱动管  $T_1$  和  $T_2$  截止并工作在高内阻区, 负载管  $T_3$  和  $T_4$  处于导通状态, 电阻很低, 这时电源电压主要降落在  $T_1$  和  $T_2$  上,  $u_o \approx U_{DD}$ ;  $BC$  段, 驱动管和负载管总工作在饱和区或可变电阻区, 此时输出电流比较大, 传输特性变化较快;  $CD$  段, 由两个输入端  $u_i > U_{DD} - |U_{GS(th)}|$ ,  $T_1$  和  $T_2$  导通并工作在低内阻区,  $T_3$  和  $T_4$  处于截止状态, 电阻很高, 电源电压主要降落在  $T_3$  和  $T_4$  上,  $u_o \approx 0\text{ V}$ 。

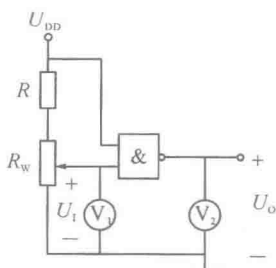


图 2-2-5 电压传输特性测试电路

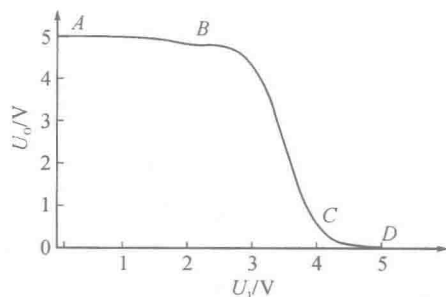


图 2-2-6 电压传输特性曲线

### 4. 平均传输延迟时间 $t_{pd}$

奇数个门环形连在一起时, 电路会产生一定频率的自激振荡。图 2-2-7 所示是由 3 个与非门组成的环形振荡器, 可用示波器读出振荡周期  $T$ 。平均传输延迟时间  $t_{pd} = T/2n$ , 式中,  $n$  是连接成环形的门的个数。

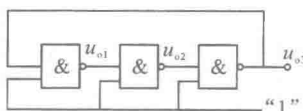


图 2-2-7 环形振荡器

### 5. 电路驱动

#### 1) CMOS 电路驱动 TTL 电路

如图 2-2-8 所示为 CMOS 电路驱动 TTL 电路。CMOS 电路的输出电平能满足 TTL