



世纪高职高专规划教材

高等职业教育规划教材编委会专家审定

DSP YUANLI YU YINGYONG

DSP 原理与应用

(第2版)

主 编 马永军
副主编 蔡卫平



北京邮电大学出版社
www.buptpress.com



21 世纪高职高专规划教材

高等职业教育规划教材编委会专家审定

DSP 原理与应用

(第 2 版)

主 编 马永军

副主编 蔡卫平



北京邮电大学出版社
www.buptpress.com

内 容 简 介

本书以 TI 公司的 TMS320C54x DSP 为例,介绍了 DSP 的内部结构和工作原理,重点介绍了指令系统、汇编语言设计、仿真集成环境 CCS 以及 DSP 片内外设的原理和应用。本书最后介绍了 DSP 的常用软件实验和硬件实训,并给出了详细的源程序,便于读者在实践中掌握 DSP 的基本应用。本书可作为高等职业技术学院、高等专科学校的电子、信息和通信类专业学生学习的教材,也可供广大工程技术人员作为 DSP 技术入门的参考书籍。

图书在版编目(CIP)数据

DSP 原理与应用 / 马永军主编. --2 版. --北京:北京邮电大学出版社,2016.1
ISBN 978-7-5635-4311-3

I. ①D… II. ①马… III. ①数字信号处理—教材 IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2015)第 060305 号

书 名: DSP 原理与应用(第 2 版)

著作责任者: 马永军 主编

责任编辑: 马晓仟

出版发行: 北京邮电大学出版社

社 址: 北京市海淀区西土城路 10 号(邮编:100876)

发 行 部: 电话: 010-62282185 传真: 010-62283578

E-mail: publish@bupt.edu.cn

经 销: 各地新华书店

印 刷: 北京睿和名扬印刷有限公司

开 本: 787 mm×1 092 mm 1/16

印 张: 12.25

字 数: 314 千字

版 次: 2008 年 6 月第 1 版 2016 年 1 月第 2 版 2016 年 1 月第 1 次印刷

ISBN 978-7-5635-4311-3

定 价: 26.00 元

• 如有印装质量问题,请与北京邮电大学出版社发行部联系 •

前 言

数字信号处理器(DSP, Digital Signal Processor)自 20 世纪 70 年代末问世以来以其独特的硬件结构和快速实现各种数字信号处理的突出优点,发展十分迅速,并在通信、雷达、声呐、语音合成和识别、图像处理、高速控制、仪器仪表、医疗设备、家用电器等众多领域得到了广泛的应用。

本书以 TI 公司的定点 16 位 TMS320C54x 系列 DSP 芯片为例,对 DSP 的原理及应用进行了介绍。本书突出高等职业教育的特色,强调了 DSP 应用技术的基本概念和方法,侧重于通过练习达到学习 DSP 应用技术的目的。第 2 版修订和更新了部分内容并增加了 FIR 滤波器的 C54x 的实现与仿真。

本书共分 8 章。

第 1 章介绍了 DSP 的基本概念,数字信号处理实现的方法,DSP 芯片的特点、发展现状以及应用方向。

第 2 章介绍了 TMS320C54x DSP 的硬件结构和工作原理,重点介绍了 CPU、总线结构、存储器以及片内外设的原理和特点。

第 3 章介绍了 DSP 的 7 种基本数据寻址方式以及汇编语言指令系统,并给出了常用指令的实例说明。

第 4 章介绍了 DSP 的软件设计流程以及汇编语言的编写方法,并给出了具体的应用实例。

第 5 章介绍了 TI 公司的 CCS(Code Composer Studio)集成开发环境的操作与应用。

第 6 章是 FIR 滤波器的 C54x 的实现与仿真,主要介绍 FIR 滤波器的 C54x 编程实现及其 CCS 仿真方法。

第 7 章是 DSP 的片内外设,介绍了中断、定时器、通用 I/O 引脚、主机接口、多通道缓冲串口等常用片内外设的工作原理和使用方法,并给出了具体应用实例。

第 8 章是 DSP 实验和实训,给出了常用的软件实验和硬件实训,并给出了详细的操作步骤和汇编语言源程序。

本书适合于高等职业技术学院、高等专科学校的电子、信息和通信类专业学生选作 DSP 教材,作为一本 DSP 技术的基础教材,本书也可供广大工程技术人员作为 DSP 技术入门的参考。

本书由马永军任主编,蔡卫平任副主编,参与编写的还有黄默、李志敏、华有斌、张莹,全书由马永军负责统稿。

由于编者的水平和所掌握的资料有限,书中的错误和不足在所难免,恳请读者批评指正。

目 录

第 1 章 绪论	1
1.1 数字信号处理概述	1
1.2 可编程 DSP 芯片	2
1.3 DSP 芯片的发展及应用	5
本章小结	6
思考题	6
第 2 章 TMS320C54x 硬件系统	7
2.1 TMS320C54x 硬件结构特性	7
2.1.1 TMS320C54x 的硬件结构	7
2.1.2 TMS320C54x DSP 的主要特性	8
2.2 总线结构	10
2.3 中央处理单元	10
2.4 存储器和 I/O 空间	13
2.5 硬件复位操作	17
2.6 TMS320VC5402 引脚及说明	18
本章小结	21
思考题	21
第 3 章 TMS320C54x 指令系统	22
3.1 寻址方式	22
3.1.1 立即数寻址	22
3.1.2 绝对寻址	23
3.1.3 累加器寻址	24
3.1.4 直接寻址	24
3.1.5 间接寻址	25
3.1.6 存储器映射寄存器寻址	29
3.1.7 堆栈寻址	29
3.2 指令系统	30
3.2.1 数据传送指令	33
3.2.2 算术运算指令	39
3.2.3 逻辑运算指令	46
3.2.4 分支转移指令	49

本章小结	52
思考题	52
第 4 章 TMS320C54x 的软件开发	53
4.1 TMS320C54x 软件开发过程	53
4.2 汇编语言程序的编写方法	54
4.2.1 汇编语言源程序格式	55
4.2.2 链接命令文件	58
4.2.3 汇编语言中的常数和运算符	59
4.2.4 堆栈的使用	60
4.3 汇编语言程序设计实例	61
4.3.1 程序的控制与转移	61
4.3.2 重复操作	63
4.3.3 数据块传送	64
4.3.4 双操作数乘法	66
4.3.5 长字运算和并行运算	67
4.3.6 浮点运算	69
4.4 软件编程时需注意的几个问题	72
本章小结	73
思考题	74
第 5 章 CCS 集成开发软件	75
5.1 CCS 主要功能	75
5.2 CCS 的安装和设置	76
5.3 CCS 的使用	79
5.4 用 CCS 实现简单程序开发	87
5.5 CCS 工程文件的调试	89
5.6 CCS 的图形显示功能	93
5.7 CCS 中的其他问题	97
本章小结	97
思考题	98
第 6 章 FIR 滤波器的 C54x 实现与仿真	99
6.1 FIR 滤波器结构	99
6.2 用循环缓冲区法实现延时	100
6.3 FIR 滤波器的 C54x 实现方法	101
6.4 FIR 滤波器的 CCS 仿真	104
6.4.1 CCS 中的探针	104
6.4.2 数据类型的转换	104
6.4.3 在 FIR 滤波器程序中利用探针读写数据	105

本章小结.....	110
思考题.....	110
第 7 章 TMS320C54x 片内外设	111
7.1 TMS320C54x 中断系统	111
7.2 定时器	116
7.3 时钟发生器	118
7.4 软件可编程等待状态发生器	119
7.5 可编程分区切换逻辑	120
7.6 通用 I/O 引脚	122
7.7 主机接口(HPI)	122
7.7.1 HPI-8 接口的结构	122
7.7.2 HPI-8 控制寄存器和接口信号	123
7.7.3 HPI-8 与主机的接口	125
7.7.4 应用举例	126
7.8 串行接口	127
7.8.1 串行接口概述	127
7.8.2 多通道缓冲串行接口	128
本章小结.....	138
思考题.....	138
第 8 章 DSP 实验与实训	139
8.1 DSP 实验	139
8.1.1 循环操作	139
8.1.2 双操作数乘法	140
8.1.3 并行运算	142
8.1.4 小数运算	143
8.1.5 长字运算	145
8.1.6 浮点运算	146
8.2 DSP 实训	147
8.2.1 中断与定时器应用	147
8.2.2 高精度音频 A/D 与 D/A 转换	151
参考程序.....	165
附录 TMS320C54x 指令速查表	174
参考文献.....	185

第1章 绪 论

1.1 数字信号处理概述

数字信号处理(DSP, Digital Signal Processing)是一门涉及多门学科并广泛应用于很多科学和工程领域的新兴学科。数字信号处理是利用计算机或专用处理设备,以数字的形式对信号进行分析、采集、合成、变换、滤波、估算、压缩等加工处理,以便提取有用的信息并进行有效的传输与应用的理论和技术。与模拟信号处理相比,数字信号处理具有精确、灵活、抗干扰能力强、可靠性高、体积小、易于大规模集成等优点。进入 21 世纪以后,信息社会已经进入了数字化时代,DSP 技术已成为数字化社会最重要的技术之一。

DSP 可以代表数字信号处理技术(Digital Signal Processing),也可以代表数字信号处理器(Digital Signal Processor),其实两者是不可分割的。前者是理论和计算方法上的技术,后者是指实现这些技术的通用或专用可编程微处理器芯片。随着 DSP 芯片的快速发展,应用越来越广泛,DSP 这一英文缩写已被大家公认为是数字信号处理器的代名词。

从理论上讲,只要有了算法,任何具有计算能力的设备都可以用来实现数字信号处理。但在实际应用中,信号处理需要及时完成,要求具有实时性,需要有很强的计算能力和很快的计算速度来完成复杂算法。数字信号处理主要有以下几种实现方法。

1. PC 机软件实现(C 语言、MATLAB 语言等)

主要用于 DSP 算法的模拟与仿真,验证算法的正确性和性能。优点是灵活方便,缺点是速度较慢。

2. PC 机+专用处理机实现

专用性强,应用受到很大的限制,不便于系统的独立运行。

3. 通用单片机(51、96 系列等)实现

适用于简单的 DSP 算法,完成一些不太复杂的数字信号处理任务,如数字控制等。

4. 专用 DSP 芯片实现

这种芯片将相应的信号处理算法〔如快速傅里叶变换(FFT, Fast Fourier Transformation)、数字滤波、卷积、相关等算法〕在芯片内部用硬件实现,无须进行编程。处理速度极高,但专用性强,应用受到限制。

5. 通用可编程 DSP 芯片

具有更加适合于数字信号处理的软件和硬件资源,可用于复杂的数字信号处理算法,特点是灵活、速度快,可实时处理。

本课程主要讨论数字信号处理的软硬件实现方法,即利用数字信号处理器(DSP 芯片),通过配置硬件和编程,实现所要求的数字信号处理任务。

1.2 可编程 DSP 芯片

1. DSP 芯片的特点

实时数字信号处理技术的核心和标志是数字信号处理器。数字信号处理有别于普通的科学计算与分析,它强调运算处理的实时性,因此 DSP 除了具备普通微处理器所强调的高速运算、控制功能外,还针对实时数字信号处理,在处理器结构、指令系统、指令流程上作了很大的改动,其结构特点如下。

(1) 采用哈佛结构

DSP 芯片普遍采用数据总线 and 程序总线分离的哈佛结构或改进的哈佛结构,比传统处理器的冯·诺依曼结构有更快的指令执行速度。

1) 冯·诺依曼(Von Neuman)结构

该结构采用单存储空间,即程序指令和数据公用一个存储空间,使用单一的地址和数据总线,取指令和取操作数都是通过一条总线分时进行的。当进行高速运算时,不但不能同时进行取指令和取操作数,而且还会造成数据传输通道的瓶颈现象,其工作速度较慢。

2) 哈佛(Harvard)结构

该结构采用双存储器空间,程序存储器和数据存储器分开,有各自独立的程序总线 and 数据总线,可独立编址和独立访问,可对程序和数据进行独立传输,使取指令操作,指令执行操作,数据吞吐并行完成,大大提高了数据处理能力和指令的执行速度,非常适合于实时的数字信号处理。

3) 改进型的哈佛结构

改进型的哈佛结构是采用双存储空间和数条总线,即一条程序总线和多条数据总线。其特点如下。

- ① 允许在程序空间和数据空间之间相互传送数据,使这些数据可以由算术运算指令直接调用,增强了芯片的灵活性。
- ② 提供了存储指令的高速缓冲器(Cache)和相应的指令,当重复执行这些指令时,只需读入一次就可连续使用,不需要再次从程序存储器中读出,从而减少了指令执行所需要的时间。

以上 3 种结构示意图如图 1-1 所示。

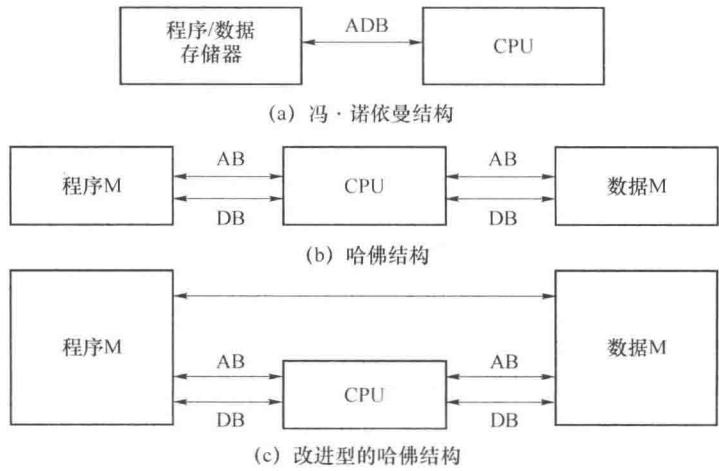


图 1-1 3 种结构示意图

(2) 多总线结构

多总线结构可以保证在一个机器周期内可以多次访问程序空间和数据空间。如 TMS320C54xx 内部有一组程序总线 PB、三组数据总线 CB、DB 和 EB 以及相应的 4 条地址总线 PAB、CAB、DAB 和 EAB,可以在一个机器周期内从程序存储器取 1 条指令、从数据存储器读 2 个操作数和向数据存储器写 1 个操作数,大大提高了 DSP 的运行速度。因此,对 DSP 来说,内部总线是个十分重要的资源,总线越多,可以完成的功能就越复杂。

(3) 流水线结构

DSP 执行一条指令,需要通过取指、译码、取操作数和执行等几个阶段。在 DSP 中,采用流水线结构,在程序运行过程中这几个阶段是重叠的,如 4 级流水线的操作,即在执行本条指令的同时,还依次完成了后面 3 条指令的取操作数、译码和取指,从而在不提高时钟频率的条件下减少了每条指令的执行时间,将指令周期降低到最小值。

(4) 专用的硬件乘法器

在通用微处理器中,乘法是由软件完成的,即通过加法和移位实现,需要多个指令周期才能完成。在数字信号处理过程中用得最多的是乘法和加法运算,DSP 芯片中有专用的硬件乘法器,使得乘法累加运算能在单个周期内完成。

(5) 特殊的 DSP 指令

为了更好地满足数字信号处理应用的需要,在 DSP 的指令系统中,设计了一些特殊的 DSP 指令。例如,TMS320C54x 中的 MACD(乘法、累加和数据移动)指令,具有执行 LT、DMOV、MPY 和 APAC 4 条指令的功能。

(6) 指令周期短

早期的 DSP 的指令周期约为 400 ns。随着集成电路工艺的发展,DSP 广泛采用亚微米 CMOS 制造工艺,其运行速度越来越快。以 TMS320VC5402 为例,其运算速度可达 100 MIPS(即每秒执行百万条指令,million instructions per second)。快速的指令周期使得 DSP 芯片能够实时实现许多数字信号处理应用。

(7) 硬件配置强

新一代 DSP 的接口功能越来越强,片内具有串行口、主机接口(HPI)、DMA 控制器、软件控制的等待状态寄存器、锁相环时钟产生器以及实现在线仿真符合 IEEE 1149.1 标准的测试访问口,更易于完成系统设计。许多 DSP 芯片都可以工作在省电方式下,使系统功耗降低。

(8) 多处理器结构

尽管当前的 DSP 芯片已达到较高的水平,但在一些实时性要求很高的场合,单片 DSP 的处理能力还不能满足要求。如在图像压缩、雷达定位等应用中,若采用单处理器将无法胜任。因此,支持多处理器系统就成为提高 DSP 应用性能的重要途径之一。为了满足多处理器系统的设计,许多 DSP 芯片都采用支持多处理器的结构。如 TMS320C40 提供了 6 个用于处理器间高速通信的 32 位专用通信接口,使处理器之间可直接对通,应用灵活、使用方便。TMS320C80 是一个多处理器芯片,其内部有 5 个微处理器,通过共享数据存储空间来交换信息。由于支持多处理器结构,可以实现完成巨大运算量的多处理器系统,即将算法划分给多个处理器,借助高速通信接口来实现计算任务并行处理的多处理器阵列。

DSP 芯片的上述特点,使其在各个领域得到越来越广泛的应用。

2. 与 CPU、MCU、FPGA/CPLD 的比较

(1) 与 CPU 的比较

作为计算机核心的微处理器 CPU 是目前处理器性能的最高水平:千万个晶体管,超过

1 000 MHz的工作频率,非常完善的开发手段,非常丰富的软件支持,各种用途的整机、板卡应有尽有。在这些方面,DSP是无法与之相比的。

但相对于 DSP,它也有明显的不足。微处理器并非针对实时信号处理而设计的,其数据输入/输出能力相对于其处理能力要低得多,使得无论是基于 DOS 还是基于 Windows 的处理软件,其响应速度或响应延迟不能满足实时处理要求。在相同的工作频率下,微处理器进行乘加、FFT、编解码等常用数字信号处理的速度要比 DSP 低得多。尽管微处理器集成度很高,但仍需要较多的外围电路,使得其性价比、体积、功耗都比 DSP 大得多。

(2) 与 MCU 的比较

与单片机 MCU 比较,DSP 技术特殊之处就在于其所负担的复杂数字计算任务,实际上单片机系统也是一个数字信号处理系统,只不过一般的单片机所具有的计算能力有限,因此在一般的应用领域所涉及的计算理论较少。DSP 比单片机推出的时间晚,而复杂度、性能要高得多。以最简单的性能指标 MIPS(百万条指令每秒)为例,单片机为 1~10 MIPS,DSP 为 50~200 MIPS。单片机只有单总线,且片外地址、数据线复用;而 DSP 片内有多总线,片外的地址、数据总线分开,还有比异步串口(UART)速度高得多的同步串口,因此数据输入/输出能力很强。DSP 数据位宽,有大容量的片内存储器,进行数字信号处理时不仅速度快,精度也高。

但单片机的控制接口种类比 DSP 多,适用于以控制为主的模数混合设计,同时在成本上单片机的价格也低得多。

(3) 与 FPGA/CPLD 的比较

FPGA/CPLD 可编程逻辑器件与专用 DSP 一样,是用硬件完成数字信号处理运算的,其单一运算的速度很高,输入至输出的延迟也比 DSP 小。但它进行各种数字信号处理混合功能实现就不如 DSP,进行复杂运算如解方程或浮点数据处理也不行。数字电路设计中常把 DSP 的灵活性和 FPGA/CPLD 的高速、高效结合在一起,可充分发挥两者各自在软件、硬件上的可编程能力。

3. DSP 产品简介

在生产通用 DSP 的厂家中,最有影响的有 AD 公司、AT&T 公司(现在的 Lucent 公司)、TI 公司(美国德州仪器公司)和 NEC 公司。

(1) AD 公司

定点 DSP:ADSP21xx 系列 16 bit 40 MIPS;

浮点 DSP:ADSP21020 系列 32 bit 25 MIPS;

并行浮点 DSP:ADSP2106x 系列 32 bit 40 MIPS;

超高性能 DSP:ADSP21160 系列 32 bit 100 MIPS。

(2) AT&T 公司

定点 DSP:DSP16 系列 16 bit 40 MIPS;

浮点 DSP:DSP32 系列 32 bit 12.5 MIPS。

(3) Motorola 公司

定点 DSP:DSP56000 系列 24 bit 16 MIPS;

浮点 DSP:DSP96000 系列 32 bit 27 MIPS。

(4) NEC 公司

定点 DSP:uPD77Cxx 系列 16 bit;

uPD770xx 系列 16 bit;

uPD772xx 系列 24 bit 或 32 bit。

(5) TI 公司

该公司自 1982 年推出第一款定点 DSP 芯片以来,相继推出定点、浮点和多处理器 3 类运算特性不同的 DSP 芯片,共发展了 7 代产品。其中,定点运算单处理器的 DSP 有 7 个系列,浮点运算单处理器的 DSP 有 3 个系列,多处理器的 DSP 有 1 个系列。主要按照 DSP 的处理速度、运算精度和并行处理能力分类,每一类产品的结构相同,只是片内存储器和片内外设配置不同。

定点 DSP: TMS320C1x 系列 16 bit 第 1 代 1982 年前后;
 TMS320C2x 系列 16 bit 第 2 代 1987 年前后;
 TMS320C5x 系列 16 bit 第 5 代 1993 年;
 TMS320C54x 系列 16 bit 第 7 代 1996 年;
 TMS320C24x 系列 16 bit 第 7 代 1996 年;
 TMS320C6x 系列 32 bit 第 7 代 1997 年;
 TMS320C55x 系列 16 bit 第 7 代 2000 年(功耗最低)。
 浮点 DSP: TMS320C3x 系列 32 bit 第 3 代 1990 年;
 TMS320C4x 系列 32 bit 第 4 代 1990 年;
 TMS320C67x 系列 64 bit 第 7 代 1998 年(速度最快)。
 多处理器 DSP: TMS320C8x 系列 32 bit 第 6 代 1994 年。

C2x、C24x 称为 C2000 系列,主要用于数字控制系统,C54x、C55x 称为 C5000 系列,主要用于功耗低、便于携带的通信终端,C62x、C64x 和 C67x 称为 C6000 系列,主要用于高性能复杂的通信系统,如移动通信基站。

由于 TI 公司的 C5000 系列低功耗 DSP 在国内应用较多,本书将以 TI 公司的 TMS320C54x DSP 为主介绍 DSP 技术。

1.3 DSP 芯片的发展及应用

1. DSP 芯片的发展现状

随着现代通信技术、计算机技术以及超大规模集成电路工艺的不断发展,DSP 芯片也取得了突飞猛进的发展,主要表现在以下几个方面。

(1) 发展高速、高性能的 DSP 器件

DSP 芯片的运行速度越来越快,指令执行的时间越来越短。

(2) 高度集成化

集滤波、A/D、D/A、ROM、RAM 和 DSP 内核于一体的模拟数字混合式 DSP 芯片将有较大的发展和应用。

(3) 低功耗、低电压

进一步降低功耗,使其更适用于个人通信机、便携式计算机和便携式仪器仪表。

(4) 开发专用 DSP 芯片

为了满足系统级芯片的设计,开发基于 DSP 内核的 ASIC 会有较大的发展。

(5) 提供更加完善的开发环境

特别是开发效率更高的、优化的 C 编译器和代数式指令系统,以克服汇编语言程序可读性和移植性的不足,缩短开发周期。

(6) 扩大应用领域

DSP 芯片将向更多应用领域渗透,进一步扩大其应用范围。

2. DSP 芯片的应用

在近 20 年时间里,DSP 芯片已经在数字信号处理、通信、雷达等许多领域得到了广泛的应用。目前,DSP 芯片的价格越来越低,性能日益提高,具有巨大的应用潜力。DSP 芯片的应用主要有以下几个方面。

- (1) 通用数字信号处理:如数字滤波、快速傅里叶变换、卷积、相关运算、波形产生等。
- (2) 通信:如高速调制解调器、数据加密、数据压缩、纠错编码、可视电话等。
- (3) 语音处理:如语音识别、语音合成、矢量编码、语音信箱等。
- (4) 图形/图像处理:如三维图像变换、模式识别、图像增强、动画、电子地图等。
- (5) 自动控制:如机器人控制、自动驾驶、发动机控制、磁盘控制等。
- (6) 仪器仪表:如数据谱分析、自动监测、勘探、暂态分析、地震处理等。
- (7) 医学电子:如 CT 扫描、超声波、核磁共振、心脑电图、医疗监护等。
- (8) 军事与尖端科技:如雷达和声呐信号处理、导弹制导、火控系统等。
- (9) 计算机与工作站:如阵列处理机、计算加速卡、图形加速卡、多媒体计算机等。
- (10) 家用电器:如高清晰度电视、电子玩具、汽车电子、游戏机、家电电脑控制装置等。

随着超大规模集成电路的快速发展以及基于信号处理理论的各门学科的迅速发展,DSP 芯片将得到越来越广泛的应用。

本章小结

(1) DSP 的解释有两种:一种是指数字信号处理的理论和方法,即数字信号处理技术,英文为 Digital Signal Processing;另一种是指用于进行数字信号处理的可编程微处理器,英文为 Digital Signal Processor。人们常用 DSP 一词来指通用数字信号处理器。

(2) 数字信号处理主要有以下几种实现方法:软件实现、硬件实现、软硬结合实现。

(3) DSP 芯片的特点:采用哈佛结构,采用多总线结构,采用流水线结构,有专用的硬件乘法器,具有特殊的 DSP 指令,指令周期短,硬件配置强。

(4) 与其他微处理器相比,DSP 在实时数字信号处理方面有无可比拟的优势。

(5) 在生产通用 DSP 的厂家中,最有影响的有 AD 公司、AT&T 公司(现在的 Lucent 公司)、TI 公司(美国德州仪器公司)和 NEC 公司。其中 TI 公司的 TMS320C54x 系列低功耗 DSP 应用最为广泛。

思考题

1. 简述 DSP 芯片的主要特点。
2. 比较 DSP 芯片和其他处理器有哪些不同。
3. 简要地叙述 DSP 芯片的发展概况。
4. 什么是哈佛结构和冯·诺依曼结构?它们有什么区别?
5. 什么是流水线技术?

第 2 章 TMS320C54x 硬件系统

2.1 TMS320C54x 硬件结构特性

2.1.1 TMS320C54x 的硬件结构

TMS320C54x 是目前应用较为广泛的 16 bit 定点 DSP,适应远程通信等实时嵌入式应用的需要。它具有高度的操作灵活性和运行速度,使用改进的哈佛结构(一组程序存储器总线、3 组数据存储器总线、4 组地址总线),具有专用硬件逻辑的 CPU、片内存储器、片内外围设备以及一个高度专业化的指令集。这些特点使得 TMS320C54x 具有功耗小、高度并行等优点,可以满足电信等众多领域实时处理的要求。

表 2-1 所示为 TMS320C54x 系列 DSP 的基本配置,包括片内 RAM 和 ROM 的大小,片内外设的数量,单机器周期的执行时间以及引脚数。

表 2-1 TMS320C54x 系列 DSP 的基本配置

型号	电压/V	片内存储器/KB		片内外设			指令周期/ns	引脚
		RAM ^①	ROM	串行接口	定时器	主机接口		
TMS320C541	5.0	5	28 ^②	2 ^③	1		25	100
TMS320LC541	3.3	5	28 ^②	2 ^③	1		20/25	100
TMS320C542	5.0	10	2	2 ^③	1	√	25	128/144
TMS320LC542	3.3	10	2	2 ^③	1	√	20/25	100
TMS320LC543	3.3	10	2	2 ^③	1		20/25	128
TMS320LC545	3.3	6	48 ^⑦	2 ^⑤	1	√	20/25	128
TMS320LC545A	3.3	6	48 ^⑦	2	1	√	15/20/25	100
TMS320LC546	3.3	6	48 ^⑦	2	1		20/25	100
TMS320LC546A	3.3	6	48 ^⑦	2	1		15/20/25	144
TMS320C548	3.3	32	2	2 ^⑤	1	√	15/20	144
TMS320LC549	3.3	32	16	3 ^⑥	1	√	12.5/15	144
TMS320VC549	3.3/2.5	32	16	3 ^⑥	1	√	10	144
TMS320VC5402	3.3/1.8	16	4	2	2	√	10	144
TMS320VC5409	3.3/1.8	32	4	3	1	√	10	144
TMS320VC5410	3.3/2.5	64	6	3	1	√	10	144
TMS320VC5420	3.3/1.8	100	0	6	1	√	10	144

- 注：① C548 和 C549 是 SRAM,其余型号芯片是 DRAM,且 SRAM 可以配置为程序区或数据区。
- ② 对于 C541 和 LC541,8 KB 的 ROM 可以配置为程序存储器或程序/数据存储器。
- ③ 2 个标准通用串行接口 SP。
- ④ 1 个时分复用串行接口 TDM 和 1 个带缓冲区的标准串行接口 BSP。
- ⑤ 1 个标准串行接口 SP 和 1 个带缓冲区的标准串行接口 BSP。
- ⑥ 1 个时分复用串行接口 TDM 和 2 个带缓冲区的标准串行接口 BSP。
- ⑦ 对于 LC545 或 LC546,16KB 的 ROM 可配置为数据或程序存储区。

本书主要论述 TMS320C54x DSP 的原理及应用,并以应用广泛的低成本型号 TMS320VC5402 DSP 芯片为例来介绍 TMS320C54x DSP 的使用。

2.1.2 TMS320C54x DSP 的主要特性

TMS320C54x 是目前最流行的低成本 DSP 芯片,主要由中央处理单元 CPU、内部总线控制、特殊功能寄存器、数据存储器 RAM、程序存储器 ROM、I/O 功能扩展接口、串行接口、定时器、中断系统等部分组成,其内部结构如图 2-1 所示。

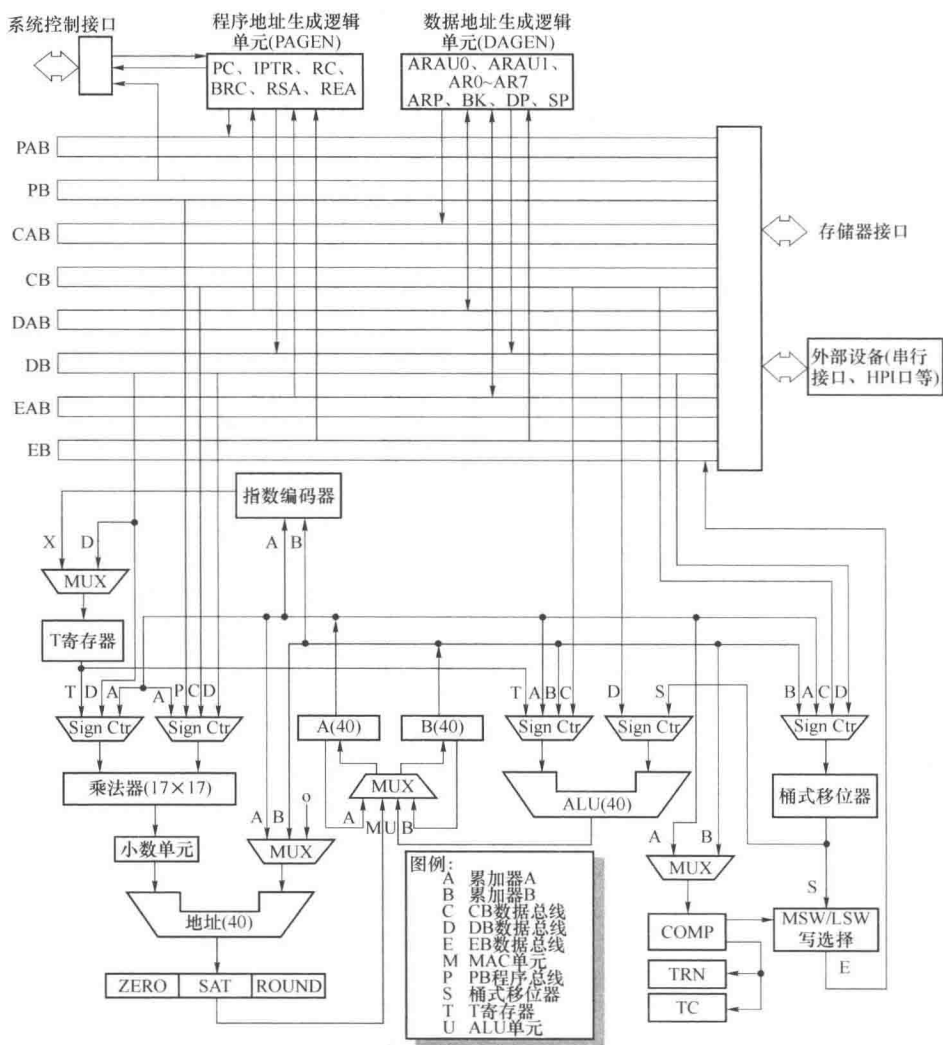


图 2-1 TMS320C54x 的内部结构图

其主要特点包括以下几个方面。

1. CPU 部分

(1) 先进的多总线结构(1 条程序总线、3 条数据总线和 4 条地址总线)。

(2) 40 位算术逻辑运算单元(ALU)。包括 1 个 40 位桶形移位寄存器和 2 个独立的 40 位累加器。

(3) 17×17 位并行乘法器,与 40 位专用加法器相连,用于非流水线式单周期乘法/累加(MAC)运算。

(4) 比较、选择、存储单元(CSSU),用于加法/比较选择。

(5) 指数编码器,可以在单个周期内计算 40 位累加器中数值的指数。

(6) 双地址生成器,包括 8 个辅助寄存器和 2 个辅助寄存器算术运算单元(ARAU)。

2. 存储器系统

(1) 具有 192 KB(16 bit)可寻址存储空间:64 KB 程序存储空间、64 KB 数据存储空间及 64 KB I/O 空间,对于 C548、C549、C5402、C5410 和 C5416 等可将其程序空间扩展至 8 MB。

(2) 片内双寻址 RAM(DARAM):C54x 中的 DARAM 被分成若干块。在每个机器周期内,CPU 可以对同一个 DARAM 块寻址(访问)2 次,即 CPU 可以在一个机器周期内对同一个 DARAM 块读出 1 次和写入 1 次。DARAM 可以映射到程序空间和数据空间。但一般情况下,DARAM 总是映射到数据空间,用于存放数据。

(3) 片内单寻址 RAM(SARAM):SARAM 也可分成若干块,但在一个机器周期内只能读 1 次或写 1 次。

3. 片内外设

DSP 的片内外设是集成在芯片内部的外部设备,将一些必需的具有特殊功能的电路集成在片内,可以简化电路的设计,提高访问速度,CPU 核对片内外设的访问是通过对相应的控制寄存器的访问来完成的。常用的片内外设有下列几种:

- (1) 软件可编程等待状态发生器;
- (2) 可编程分区转换逻辑电路;
- (3) 片内锁相环(PLL)和时钟发生器;
- (4) 可编程串行接口(4 种);
- (5) 可编程定时器 16 位(1~2 个);
- (6) 8 位或 16 位主机接口(HPI);
- (7) 多种节电模式:软件控制片外总线、CLKOUT、器件电压等。

片内外设的使用将在后面的章节详细讨论。

4. 指令系统

为更好地满足数字信号处理应用的需要,在 DSP 的指令系统中,设计了一些特殊的 DSP 指令,主要有以下几类:

- (1) 单指令重复和块指令重复操作;
- (2) 用于程序和数据管理的块存储器传送指令;
- (3) 32 位长操作数指令;
- (4) 同时读入 2 个或 3 个操作数的指令;
- (5) 可以并行存储和并行加载的算术指令;
- (6) 条件存储指令;

(7) 从中断快速返回的指令。

相关指令系统的应用将在第3章中详细介绍。

2.2 总线结构

TMS320C54x DSP 的总线结构是围绕 8 条 16 位的总线建立的,即 1 条程序总线、3 条数据总线和 4 条地址总线。

1. 1 条程序总线(PB)

传送取自程序存储器的指令代码和立即操作数。

2. 3 条数据总线(CB、DB 和 EB)

将内部各单元(如 CPU、数据地址生成电路、程序地址生成电路、在片外围电路以及数据存储器)连接在一起。其中,CB 和 DB 总线传送从数据存储器读出的操作数,EB 总线传送写到存储器中的数据。

3. 4 条地址总线(PAD,CAB,DAB 和 EAB)

传送执行指令所需要的地址。

TMS320C54x 利用 2 个辅助寄存器算术运算单元(ARAU0 和 ARAU1),在每个周期内产生 2 个数据存储器的地址。PB 总线能将存放在程序空间(如系数表)中的操作数传送到乘法器和加法器,以便执行乘法/累加操作,或通过数据传送指令(MVPD 和 READA 指令)传送到数据空间的目的地址。此种功能连同双操作数的特性,支持在 1 个周期内执行 3 操作数指令(如 FIRs 指令)。TMS320C54x 还有一组在片双向总线,用于寻址片内外围电路。这条总线通过 CPU 接口中的总线交换器与 DB 和 EB 连接,利用这个总线读/写,需要 2 个或 2 个以上周期。具体时间取决于外围电路的结构。

2.3 中央处理单元

对所有的 TMS320C54x 器件,其中央处理单元(CPU)是通用的,CPU 的基本组成如下。

- 40 位算术逻辑运算单元(ALU),用来完成算术运算和逻辑运算。
- 桶形移位寄存器,能把输入的数据进行 0~31 位的左移 1 或 0~16 位的右移。
- 乘法器/加法器单元,包括一个 17 bit×17 bit 乘法器和 1 个 40 bit 专用加法器,可以在单周期内完成一次乘法累加运算。
- 比较、选择和存储单元(CSSU),通过 CMPS 指令完成比较、选择和存储操作。
- 指数编码器,用于支持求指数的单周期指令 EXP 的专用硬件。
- 40 位累加器 A 和 B。
- CPU 状态和控制寄存器。

1. 累加器 A 和 B

CPU 有 2 个 40 位累加器 A 和 B,用来存放参加运算的数据或存放 ALU 运算的结果。

A 和 B 都分为如下 3 个部分,如图 2-2 所示。