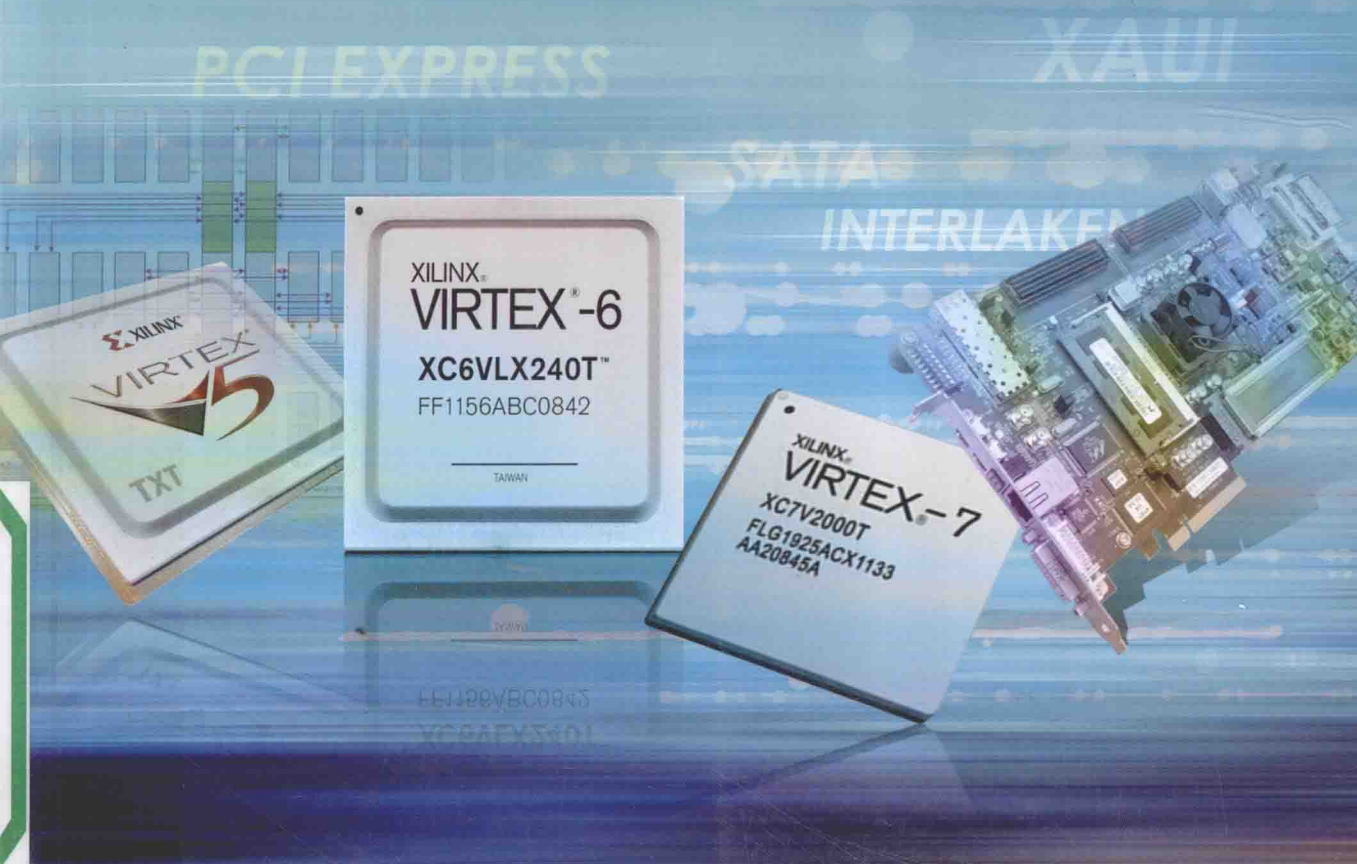


Xilinx FPGA

高速串行 传输技术与应用

编著 黄万伟 董永吉
陈博 张建辉 马海龙 张建伟



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

Xilinx FPGA 高速串行传输 技术与应用

黄万伟 董永吉 陈 博
张建辉 马海龙 张建伟 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书系统而全面地讲解了 Xilinx FPGA 高速串行传输技术及其高速收发器硬核的应用方法,概述了数据传输技术的发展历程,介绍了传输技术的背景知识和高速串行传输解决方案,重点阐述串行技术的背后推动技术和现在常用的几种传输协议,详细说明了 Virtex-6 FPGA 内部 GTX 收发器的基本结构和接口信号。以 XAUI 和 PCI-E 协议为例,阐述了 Xilinx XAUI 核的内部结构、生成实例和测试过程,介绍了 PCI-Express 核的基本结构、生成方法、接口功能和应用设计,基于上述两个接口协议引导开发者可以快速从事其他串行协议的应用开发,给出了 Xilinx IBERT 测试工具的应用经验,并对 GTX 收发器的外部时钟和电源设计经验作了总结,对于开发人员正确设计和调试高速接口电路大有裨益。

本书取材新颖、内容丰富、实验详细、系统性强,全面介绍了 Xilinx FPGA 在高速数据传输领域的设计方法,既适合从事 Xilinx FPGA 串行传输技术开发的硬件设计工程师、电子设计爱好者和学生,尤其是书中涉及的串行传输技术已触及诸多领域,也适合通信网络、数据存储、图像处理、高性能计算等领域进行高吞吐量数据传输和处理工作的高校研究生和高年级本科生、教师、工程师等技术人员。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

Xilinx FPGA 高速串行传输技术与应用/黄万伟等编著. —北京:电子工业出版社, 2015.6
ISBN 978-7-121-26427-6

I. ①X… II. ①黄… III. ①可编程序逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2015)第 138551 号

策划编辑:曲 昕

责任编辑:康 霞

印 刷:三河市鑫金马印装有限公司

装 订:三河市鑫金马印装有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1 092 1/16 印张:18.5 字数:474 千字

版 次:2015 年 6 月第 1 版

印 次:2015 年 6 月第 1 次印刷

定 价:58.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

序

近几年来,随着电子信息技术的飞速发展,物联网、云计算和大数据等新型应用涌现,规模庞大的数据集呈爆炸式增长,巨大的数据流使得现代通信系统的数据处理能力和数据通信带宽面临着更大的挑战。芯片级、板卡级和平台级的数据传输速度日益成为限制通信系统性能的关键因素,传统并行传输技术已成为进一步提高数据传输速率的瓶颈,追求更快速率、更高带宽的传输成为业界不容忽视的课题。

串行传输技术克服了高速传输并行信号存在的偏移问题,具有传输速率快、信号线间串扰小、电磁干扰低和 PCB 设计简单等优势,具有很好的抗噪能力,可以显著提高通信系统间的数据传输效果。当前,串行传输技术已经逐渐被广泛应用在业界的各个方面,为了适应不同的设备及环境,业界已经发展出了许多成熟的串行传输协议,如 RapidIO、PCI-Express、XAUI、Serial ATA 及 Interlaken 等协议,在通信网络、数据存储、个人计算机、服务器和嵌入式控制等领域得到广泛应用。

以 Xilinx FPGA 为代表的可编程器件,兼有可编程性和高速 I/O 的技术优势,既能满足不断变换演进的串行传输协议的发展需求,同时支持芯片间、板卡和背板之间的高速数据互连,是实现高速串行接口应用的理想连接器件。Xilinx 公司的 FPGA 器件提供串行传输解决方案和 IP 核,可以帮助用户极大地缩短开发时间和成本,已成为行业内高速串行传输设计的首选方式之一。

书中内容围绕 Xilinx FPGA 支持的串行传输解决方案和应用实现,具有以下特色:

(1) 系统性。本书系统地讲解了高速串行技术的发展历程,首先介绍高速收发器的基本结构和应用方法,以 XAUI 协议和 PCI-E 协议为例给出详细的实验步骤,最后系统地总结了高速收发器的调试方法和时钟电源电路的设计方法。

(2) 专业性。重点关注高速收发器的基础知识和应用技能,内容涉及高速收发器的内部结构、典型应用案例、调试工具和辅助电路设计等知识,帮助读者深入理解串行技术发展的前因后果,相较于现有高速串行传输技术的书籍突显其专业性。

(3) 实用性。本书重在拓展读者的高速设计开发能力,采用基础知识详解和典型实验案例,帮助读者快速掌握串行传输协议的实现方法,并可举一反三地从事其他高速串行协议开发。

本书凝结了作者多年的工程经验,希望这本书可以使读者系统掌握高速串行传输技术的基础知识和实践技能,帮助读者在应用过程中少走弯路,提升高速串行技术相关领域的应用开发能力。

信息工程大学 汪斌强教授

2015 年 3 月

前言

随着对电子系统吞吐量要求的日益提高，并行数据传输模式已不能满足高带宽应用的传输需求。高速串行数据传输技术具有高带宽、低时延、信号完整性好和扩展性强等优点，已逐步取代传统的并行总线技术。串行传输已成为数据传输的主流技术，广泛应用于通信网络、数据存储、个人计算机、服务器和嵌入式控制等诸多领域。一方面是与日俱增的带宽要求，另一方面是不断变化的新兴高速串行传输标准，二者都对设计人员提出了严峻挑战。由于 FPGA 器件兼有可编程性和高速 I/O 的技术优势，可以满足串行传输协议及演进变化的需求，因而 FPGA 器件已成为实现串行接口应用的理想连接平台。

随着信息技术的快速发展及大数据的兴起，需要处理的数据量越来越大，数据传输对总线带宽的需求也越来越高，市场上对串行技术的需求急剧增加。Xilinx 公司以及其他芯片厂家都提供串行传输解决方案，支持芯片间、板卡和背板之间的数据互连。Xilinx FPGA 器件内部集成了专用的高速收发器 IP 硬核，具有串并转换、时钟数据恢复、线路编码、时钟纠正和线路绑定等功能，在此基础上可以灵活地开发多种串行传输协议，使得 Xilinx FPGA 在串行接口应用中愈加广泛。Xilinx 公司还提供了 XAUI、SATA、PCI-E、Interlaken、RapidIO 和 Aurora 等协议的解决方案，有助于开发人员缩短串行传输技术的开发周期。

串行传输技术的应用开发需要系统性的背景知识和技术基础，开发人员在初次涉及 Xilinx FPGA 相关的串行传输技术时，若缺乏适当的背景知识和应用指导，在应用高速传输接口时将遇到诸多难点。由于串行传输技术应用存在的巨大市场需求，目前已有一些科研院所和培训机构开设了串行技术实现的相关培训，目前还未见系统性介绍 Xilinx FPGA 的串行技术方案，包括高速收发器介绍及相关串行传输协议 IP 核方面的书籍。笔者长期从事 Xilinx FPGA 高速传输技术开发，期间遇到了很多技术难点并逐一解决，积累了丰富的快速串行传输设计经验。笔者将高速串行实现技术的相关基础知识、开发实践和经验积累整理成册，希望该书对读者有所裨益，可以成为实践和应用 Xilinx FPGA 高速串行传输技术的首选指导用书；同时希望该书可以成为开发人员参与技术培训前的必备用书，帮助开发人员预先掌握一些基本知识和技能，在较短的培训时间里更加专注于应用实践，学习效果可以事半功倍。

本书内容经过精心设计：首先，介绍数据传输技术的发展简史，分析了串行技术取代并行技术的技术优势，重点阐述了几种推动串行技术发展的关键技术，并对现有的常用高速串行传输协议做了详细说明。其次，以 Virtex-6 系列 FPGA 的 GTX 收发器为例，对高速收发器的内部结构和接口信号做了详细介绍，使开发人员能深入理解收发器的内部结构，夯实串行传输技术实现基础，便于开发人员举一反三从事相关高速串行传输协议开发，然后选择了目前市场上最具代表性和推广意义的 XAUI 和 PCI-Express 接口协议，给出了详细的实验步骤和解释说明，使读者能熟练掌握 XAUI 和 PCI-Express 协议

的应用技能,在此基础上可以起到触类旁通的效果,可以帮助开发者快速从事其他串行协议的应用开发。最后,介绍了 Xilinx IBERT 测试工具的应用经验,并对高速收发器的外部时钟和电源设计经验作了总结,对于开发人员正确设计和调试高速接口电路很有裨益。

本书按内容划分为 4 部分:第 1 章和第 2 章组成第一部分,第 1 章主要介绍传输技术的背景知识和高速串行传输解决方案;第 2 章重点对 XAUI、Interlaken、SATA、PCI-Express、RapidIO、Aurora 和 PICMG 3.0 等串行接口协议做了简要说明。第二部分由第 3 章和第 4 章构成,主要说明 Virtex-6 FPGA 的 GTX 收发器的基本结构、功能,以及在 XAUI 核中的应用。第 3 章介绍了 Virtex-6 FPGA GTX 收发器中的高速串-并转换、时钟数据恢复、线路编/解码、时钟纠正和通道绑定等功能电路;第 4 章阐述了 Xilinx XAUI 核的数据、管理和配置接口功能和应用优势,并给出了详细的 XAUI 核生成和测试实例。第三部分由第 5、6、7 和 8 章构成,主要介绍了 Virtex-6 FPGA 的 PCI-Express 核的基本结构、生成方法、接口功能和应用设计。第 5 章针对 Xilinx PCI-Express 核的协议层次、配置空间、各种接口信号,以及事务层的 TLP 包格式进行了详细说明;第 6 章介绍了 Xilinx PCI-Express 核的生成与定制方法,并对核生成的程控输入/输出范例进行了讲解;第 7 章针对 PCI-Express 用户 AXI4 接口的设计进行详细说明;第 8 章介绍基于 Xilinx PCIe 核协议电源管理、链接训练等相关的应用设计方法。最后一部分包括第 9 章和第 10 章,主要介绍 GTX 收发器的辅助调试工具和外部电路的设计方法。第 9 章主要介绍 IBERT 调试工具的基本功能和调试过程;第 10 章主要给出 RocketIO GTX 核的外部时钟和电源设计经验总结,对于正确设计高速接口电路大有裨益。

本书由黄万伟、董永吉负责撰写并统筹规划,陈博、张建辉、马海龙、张建伟参与编著。第 1 章由陈博和马海龙完成;第 2 章由张建辉、陈博和张建伟完成;第 3 章和第 4 章由黄万伟和袁征完成;第 5 章由董永吉和陈博完成;第 6 章由董永吉和李康士完成;第 7 章由董永吉和马海龙完成;第 8 章由董永吉和张建伟完成;第 9、10 章由黄万伟和张霞完成。袁征完成了本书的实验部分,韩伟涛绘制了书中的大量插图。在本书编写过程中,谭立波、曹建业、贺炜、于洪涛和张晓明给予了大力支持,并提出宝贵意见。特别感谢科通数字技术公司曾江卫、杨智勇工程师和上海皮赛电子有限公司朱哲勇先生,在本书编写过程,他们给予了大力的技术支持。感谢国家“973”项目“可重构信息通信基础网络的理论和体系结构”课题 NetFPGA 实验仿真小组兰巨龙教授和胡宇翔博士提供的技术支持。

本书既适合从事 Xilinx FPGA 串行传输技术开发的硬件设计工程师、电子设计爱好者和学生,尤其是书中涉及的串行传输技术已触及诸多领域,也适合通信网络、数据存储、图像处理、高性能计算等领域进行高吞吐量数据传输和处理工作的高校研究生和二年级本科生、教师、工程师等技术人员。

由于 Xilinx FPGA 高速串行解决方案内容广泛,本书所涉内容可能存在遗漏,加之编写时间有限,书中难免存在不妥之处,敬请广大读者指正。

作 者

2015 年 3 月

目 录

第 1 章 数据传输技术综述与发展趋势	1
1.1 数据传输技术简介	1
1.1.1 并行传输技术简介	1
1.1.2 串行传输技术简介	6
1.2 高速串行传输技术的应用需求	10
1.2.1 高速并行传输的技术瓶颈	10
1.2.2 高速串行传输的技术优势	12
1.3 高速串行传输技术的推动力	13
1.3.1 I/O 技术的不断改进	13
1.3.2 多重相位技术	15
1.3.3 线路编码技术	16
1.3.4 扰码传输技术	18
1.3.5 发送预加重技术	19
1.3.6 接收均衡技术	22
1.4 高速数据串行传输的解决方案	24
1.5 本章小结	24
第 2 章 常用高速串行传输接口协议简介	26
2.1 XAUI 协议简介和应用	26
2.1.1 以太网技术的发展历程	26
2.1.2 XGMII 接口简介与分析	27
2.1.3 XAUI 协议的技术优势	28
2.1.4 XAUI 协议详解	29
2.2 Interlaken 协议应用简介	31
2.2.1 Interlaken 协议简介	31
2.2.2 Interlaken 协议数据格式	33
2.2.3 Interlaken 接口信号简介	36
2.3 SATA 协议简介和应用	36
2.3.1 SATA 协议简介	36
2.3.2 SATA 协议分层模型	38
2.3.3 SATA 接口信号说明	40
2.4 PCI-Express 协议简介和应用	41
2.4.1 PCI-Express 协议简介	41
2.4.2 PCI-Express 协议分层模型	42
2.4.3 PCI-Express Slot 物理接口简介	44
2.5 RapidIO 协议简介和应用	45

2.5.1	RapidIO 协议简介	45
2.5.2	RapidIO 分层模式说明	47
2.5.3	RapidIO 接口信号描述	51
2.6	Aurora 协议简介和应用	52
2.7	ATCA 机箱的背板串行技术	53
2.7.1	PICMG3.0 规范简介	53
2.7.2	ATCA 机箱的背板接口标准	54
2.8	本章小结	55
第 3 章	Virtex-6 GTX 收发器的功能结构和应用概述	56
3.1	Virtex-6 GTX 收发器的功能和结构	56
3.1.1	Virtex-6 GTX 收发器的功能简介	56
3.1.2	Virtex-6 FPGA 中的 GTX 架构	57
3.1.3	Virtex-6 GTX 收发器的内部电路结构	57
3.2	TX 发送端的功能和结构说明	59
3.2.1	TX Interface 接口说明	60
3.2.2	TX 发送端的时钟结构	62
3.2.3	TXOUTCLK 时钟应用说明	64
3.2.4	TX 发送端的复位过程描述	66
3.2.5	TX 发送端的 8b/10b 编码器	68
3.2.6	TX 发送端的缓冲区介绍	70
3.2.7	TX 发送端的 PRBS 模式产生器	71
3.2.8	TX 发送端的极性控制功能	73
3.3	RX 接收端的功能和结构简介	73
3.3.1	RX 接收端的功能说明	73
3.3.2	RX 接收端的时钟电路结构	74
3.3.3	RX 极性控制	76
3.3.4	RX 接收端的 PRBS 模式检测器	76
3.3.5	RX 接收端的字节和字对齐功能	77
3.3.6	RX 接收端的 LOS 状态机	80
3.3.7	RX 接收端的 8b/10b 解码器	81
3.3.8	RX 接收端的弹性缓冲区	82
3.3.9	RX 接收端的时钟纠正功能	86
3.3.10	RX 接收端的通道绑定功能介绍	88
3.3.11	RX 接收端的复位初始化	93
3.3.12	RX Interface 接口说明	94
3.4	本章小结	96
第 4 章	XAUI 核的功能简介和应用说明	98
4.1	XAUI 协议应用简介	98
4.2	Xilinx XAUI 核功能简介	99
4.2.1	Xilinx XAUI 核应用概述	99
4.2.2	Xilinx XAUI 核功能描述	100

4.3	XAUI 核的接口信号描述	101
4.3.1	XAUI 接口信号概述	101
4.3.2	用户端接口简介	102
4.3.3	GTX 收发器接口简介	105
4.3.4	MDIO 管理接口简介	105
4.3.5	配置和状态接口信号	106
4.3.6	时钟和复位接口简介	108
4.4	XAUI 核内部时钟结构	108
4.5	XAUI 核的定制和创建	109
4.5.1	XAUI 核的生成	109
4.5.2	建立 XAUI 核仿真工程	112
4.5.3	自生成数据的 XAUI 核仿真说明	113
4.6	本章小结	117
第 5 章	Xilinx PCI-Express 核简介	118
5.1	Xilinx PCI-Express 核学习导读	118
5.2	Xilinx PCI-Express 核概述	119
5.2.1	Xilinx PCI-Express 核的技术优势	119
5.2.2	Xilinx PCI-Express 核总览	120
5.3	Xilinx PCI-Express 核的协议层次简介	121
5.3.1	Xilinx PCI-Express 核的协议层次	121
5.3.2	Xilinx PCI-Express 核的配置空间简介	122
5.4	Xilinx PCI-Express 核的顶层接口信号	125
5.4.1	Xilinx PCI-Express 核的系统接口信号	125
5.4.2	Xilinx PCI-Express 接口信号	125
5.5	Xilinx PCI-Express 核的 AXI4 接口信号	129
5.5.1	Xilinx PCI-Express 核的公共接口信号	129
5.5.2	Xilinx PCI-Express 核的事务发送接口信号	130
5.5.3	Xilinx PCI-Express 核的事务接收接口信号	132
5.6	Xilinx PCI-Express 核的其他接口信号	133
5.6.1	Xilinx PCI-Express 核的物理层接口信号	133
5.6.2	Xilinx PCI-Express 核的配置接口信号	136
5.6.3	Xilinx PCI-Express 核的中断接口信号	139
5.6.4	Xilinx PCI-Express 核的差错报告信号	140
5.6.5	Xilinx PCI-Express 核的动态配置接口信号	141
5.7	Xilinx PCI-Express 协议的 TLP 格式	142
5.7.1	TLP 概况	142
5.7.2	TLP 格式介绍	142
5.7.3	TLP 类型和格式字段编码字段介绍	143
5.7.4	Length 字段与字节使能字段介绍	144
5.7.5	其他协议字段简介	146
5.7.6	TLP 包格式查询表	146
5.8	本章小结	149

第 6 章	Xilinx PCI-Express 核的生成与定制	150
6.1	Xilinx PCI-Express 核的例化	150
6.1.1	集成核 Endpoint 结构概述	150
6.1.2	集成核 Root Port 结构概述	152
6.1.3	Xilinx PCI-Express 核的生成	154
6.1.4	Xilinx PCI-Express 核的仿真	156
6.1.5	Xilinx PCI-Express 核的实现	157
6.1.6	Xilinx PCI-Express 核的字典结构和内容	158
6.2	Xilinx PCI-Express 核的自定义生成	163
6.2.1	Xilinx PCI-Express 核的基本参数设置	164
6.2.2	Xilinx PCI-Express 核的基地址寄存器	165
6.2.3	Xilinx PCI-Express 核的配置寄存器设置	171
6.2.4	Xilinx PCI-Express 核的高级设置	179
6.3	程控输入/输出示例设计	181
6.3.1	Xilinx PCI-Express 核的 PIO 系统概述	181
6.3.2	Xilinx PCI-Express 核的 PIO 硬件	182
6.3.3	Xilinx PCI-Express 核的 PIO 应用	186
6.4	本章小结	191
第 7 章	Xilinx PCI-Express 核事务层接口设计	193
7.1	事务层 TLP 格式简介	193
7.1.1	TLP 的字节序	193
7.1.2	TLP 的相关说明	194
7.2	事务层 TLP 的传送	195
7.2.1	TLP 传送的基本操作流程	195
7.2.2	连续事务的发送	197
7.2.3	发射通路的源节制	198
7.2.4	发射通路的目标节制	198
7.2.5	发射通路的源中止	199
7.2.6	目的端事务忽略	200
7.2.7	发射通路上的错误标记	200
7.2.8	发射通路的流传输	201
7.2.9	附加 ECRC 的事务	201
7.3	事务层 TLP 包的接收	201
7.3.1	TLP 接收的基本操作流程	201
7.3.2	接收通路的数据节制	203
7.3.3	连续事务的接收	204
7.3.4	接收通路的重排序	205
7.3.5	接收通路的 EP 和 TLP Digest 字段使用	206
7.3.6	接收通路的基地址寄存器匹配	206
7.3.7	接收通路的 Link-Down 事件	207
7.4	本章小结	208

第 8 章 基于 Xilinx PCI-Express 核的应用设计	209
8.1 物理层控制和状态接口设计	209
8.1.1 链路改变设计考虑	209
8.1.2 链路改变方式	210
8.2 配置空间信号设计	214
8.2.1 直接映射到配置接口的寄存器	214
8.2.2 设备控制和状态寄存器定义	214
8.2.3 配置端口对其他寄存器的访问	217
8.3 额外数据包处理的要求	218
8.4 用户错误报告设计	219
8.4.1 错误类型介绍	219
8.4.2 错误类型分类	222
8.5 电源管理设计	223
8.5.1 电源管理模式分类	223
8.5.2 程控电源管理	223
8.6 中断请求设计	225
8.6.1 传统中断模式	226
8.6.2 MSI 中断模式	227
8.6.3 MSI-X 中断模式	228
8.7 链接训练及链路翻转设计	228
8.7.1 链接训练支持	228
8.7.2 链路翻转支持	229
8.8 时钟复位设计	229
8.8.1 复位分类	229
8.8.2 时钟控制	230
8.9 动态配置设计	232
8.9.1 DRP 接口的读/写	232
8.9.2 DRP 接口的其他考量	233
8.9.3 DRP 地址映射	233
8.10 核的约束设计	239
8.10.1 用户约束文件的内容	239
8.10.2 移植需要的修改	240
8.11 本章小结	242
第 9 章 Virtex-6 GTX 收发器的时钟和电源设计	243
9.1 Virtex-6 GTX 输入时钟结构和应用设计	243
9.1.1 输入参考时钟的内部结构	243
9.1.2 输入参考时钟的应用说明	244
9.1.3 GTX 收发器的输入时钟接口信号和属性	247
9.1.4 单个外部输入参考时钟的 GTX 使用模型	249
9.1.5 多个外部输入参考时钟的 GTX 使用模型	250
9.1.6 多个 Quad 交叉使用输入参考时钟模型	251

9.2 GTX 的 PLL 锁相环结构和功能描述	252
9.3 Virtex-6 GTX 的回环测试模式	254
9.4 Virtex-6 GTX 的单板设计指导	255
9.4.1 引脚描述和设计准则	255
9.4.2 终端电阻校准电路	256
9.4.3 未使用的 GTX 收发器管理	257
9.4.4 模拟电源的引脚连接	257
9.4.5 未使用的 Quad 引脚连接处理	259
9.4.6 Quad 应用的优先级	260
9.5 参考时钟设计概述	261
9.5.1 时钟源选择概述	261
9.5.2 参考时钟接口连接方式	262
9.6 模拟电源电路设计	263
9.6.1 模拟电源设计概述	263
9.6.2 电源稳压器选择	263
9.7 本章小结	264
第 10 章 Xilinx IBERT 调试工具应用详解	266
10.1 Xilinx IBERT 调试工具的功能简介	266
10.2 Xilinx IBERT 核的基本结构	267
10.3 Xilinx IBERT 核的生成说明	268
10.4 Xilinx IBERT 核生成实例	268
10.4.1 IBERT 核的生成	268
10.4.2 基于 IBERT 的 GTX 扫描测试	274
10.5 本章小结	277
附录 A	278
参考文献	283

第 1 章 数据传输技术综述与发展趋势

随着对系统吞吐量要求的日益提高，传统的并行数据传输模式已不能满足高带宽应用的传输需求，高速串行传输技术具有带宽高、信号完整性好、电磁辐射低和 PCB 设计简单的优点，在通信网络、数据存储、个人计算机、服务器和嵌入式控制等领域得到广泛应用。本章 1.1 节分别介绍了并行传输技术和串行传输技术，并列举了几种典型的并行和串行传输协议；1.2 节分析了高速传输数据需求给并行传输技术带来的挑战，重点介绍了高速串行传输技术的技术优势和应用前景；1.3 节详细阐述了高速串行数据传输的推动技术，分别介绍了低压差分技术、多重相位技术、线路编码技术、扰码技术、发送预加重和接收均衡技术；1.4 节介绍了 Xilinx FPGA 对高速串行传输技术的应用支持。

1.1 数据传输技术简介

数字通信系统中数据的传输按照每次传输的数据位不同，分为并行传输和串行传输两种模式，并行传输指一次传输多位数据，如 8bits、16bits 和 32bits 等，每次传输的数据量大，在早期的计算机系统中经常应用于高速数据传输。串行传输指一次传输 1bit，每次传输的数据量小。在计算机系统中普遍使用串行的通信线路连接慢速的外围设备，如键盘、鼠标器和调制解调器等。

1.1.1 并行传输技术简介

1. 并行传输技术原理

并行传输过程中，多个数据位 (N bits) 以成组的方式同时在多个不同的通信线路上传输，如图 1-1 所示，每个数据位使用一条通信线路，数据组通常是 8bits、16bits 或 32bits。

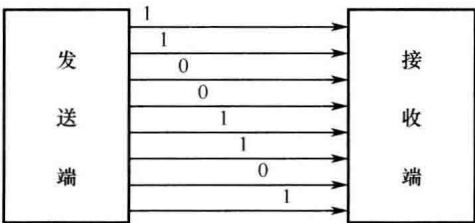


图 1-1 并行传输示意图

为了数据能够正确地被接收端接收处理，并行传输的数据必须在时钟上同步。并行传输数据一般采用两种同步方式：源同步方式和系统同步方式。

1) 源同步方式

为便于在接收端实现数据同步，提高数据的传输速率，业界提出了采用源同步接口

传输的解决方案。源同步接口的基本思想如图 1-2 所示，允许时钟和多个数据通道同时传输，时钟信号和数据保持确定的相位关系，同步时钟和并行数据都在数据发送端产生，并同时传输到数据接收端。接收端利用对端传送来的时钟信号作为采样时钟，对数据位进行采样。采样过程中只要保证接收端时钟信号与接收数据满足一定的建立/保持时间，数据即可被正确接收。

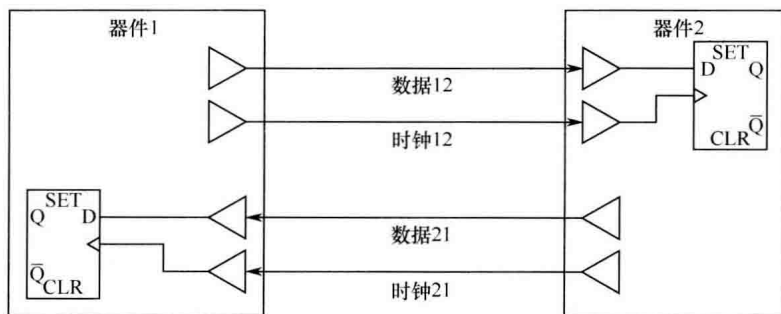


图 1-2 源同步结构框图

2) 系统同步

传统数据传输通常采用系统同步传输方式，多个器件基于同一时钟源进行系统同步，器件之间的数据传输时序关系以系统时钟为参考，如图 1-3 所示。系统同步传输方式使各器件处于同步工作模式，但器件之间传输数据的传输时延难以确定，当系统时钟频率增加后，数据接收接口同步电路难以实现，因此系统同步传输方式不适用于高速数据传输。

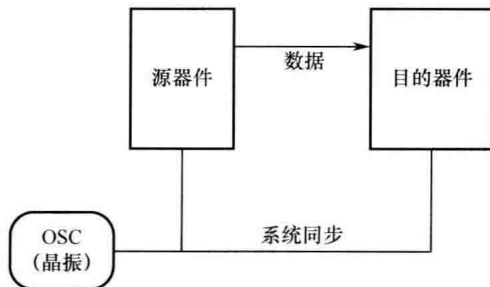


图 1-3 系统同步结构图

无论是源同步方式还是系统同步方式，为了保证 PCB 走线匹配，数据线一般总是成组并排布线的，线间距很小，走线之间存在较大耦合，从而导致串扰问题非常严重。除了数据线和时钟线，并行总线还需要很多控制线，走线数目多，并且一般采用单端信号传输，抗干扰能力差。

2. 常用的并行接口协议介绍

并行传输接口在早期的计算机系统中应用广泛，如系统总线(ISA)、局部总线(PCI)、用于硬盘的 IDE 总线和用于打印机的 IEEE 1284 总线。下面简单介绍几种常见的并行传输总线接口协议。

1) ISA 总线

ISA 总线是 IBM 公司为 PC/AT 计算机而制定的总线标准，其全称是 “Industry Standard Architecture”，最早提出时总线宽度是 8bits，1984 年为适应 Intel 80286 处理器，IBM 将总线宽度扩展为 16bits，工作频率为 8MHz，数据传输率大约是 16MB/s。ISA 总线的缺点是传输速率过低、CPU 占用率高、占用硬件中断资源等。当 Intel 提出 32bits 的 80386DX 处理器后，ISA 总线的 16bits 数据宽度严重影响了处理器的性能发挥，因此在 1988 年，康柏、惠普、NEC 等 9 大厂商协同将 ISA 总线宽度扩展为 32bits，即著名的 EISA (Extended ISA, 扩展 ISA) 总线。由于总线宽度扩宽一倍，但工作频率仍为 8MHz，因此 EISA 总线的带宽为 32Mb/s，速度仍然有限，并且成本过高。因此，在 20 世纪 90 年代初期，逐渐被 PCI 总线取代。如图 1-4 所示为 ISA 总线接口。

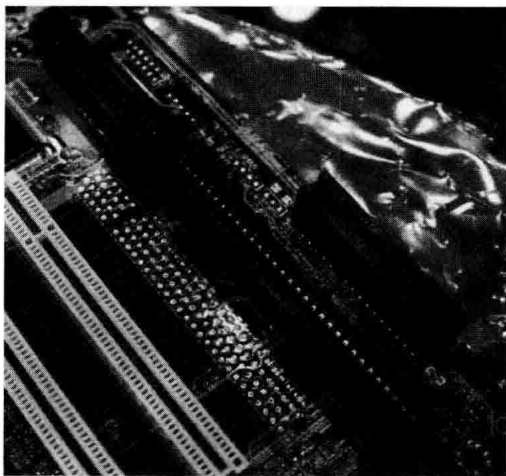


图 1-4 ISA 总线接口

2) PCI 总线

PCI 总线是由 Intel 公司于 1991 年推出的一种局部总线，其全称是 Peripheral Component Interconnect (外设部件互联)，是目前个人计算机中使用最广泛的接口，几乎所有的主板产品上都带有这种插槽。最早提出的 PCI 总线宽度为 32 位，工作频率为 33MHz，数据带宽达到 133MB/s，远高于之前的 ISA 总线，基本满足了当时处理器的发展需要。随着处理器的速度提高和对性能的更高要求，1993 年提出了 64 位的 PCI 总线，随后又将工作频率提升到 66MHz，目前个人计算机常用的是 32 位、33MHz 的 PCI 总线，64 位的 PCI 总线多用于服务器产品。不同于 ISA 总线，PCI 总线的地址总线与数据总线采用分时复用方式，优点如下。

- (1) 可以节省接插件的引脚数；
- (2) 便于实现突发数据传输。

PCI 总线是一种高性能局部总线，是为了满足外设间及外设与主机间进行高速数据传输而提出来的，具有数据传输率高、即插即用和扩展性好等优点，多用于显卡、声卡和网卡等应用中。如图 1-5 所示为 PCI 总线插槽接口。

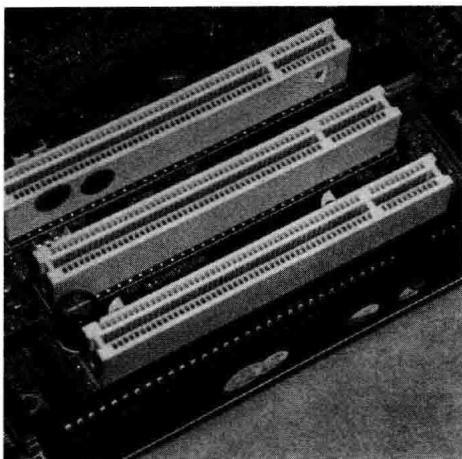


图 1-5 PCI 总线插槽接口

3) IDE 总线

IDE 总线的全称是“Integrated Drive Electronics”，即“电子集成驱动器”，普遍应用于硬盘和光驱设备，因其使用 ATA 命令集，且是并行接口，因此又称为 PATA(Parallel ATA) 并口。IDE 的本意是把硬盘控制器和盘体集成在一起，降低硬盘接口的线缆数量和长度，增强数据传输的可靠性。利用 IDE 总线，硬盘制造厂商不必再关心生产的硬盘是否与其他厂商生产的控制器兼容，同时也方便了用户的安装。IDE 接口使用 16bits 并行传输，具有体积小、价格低廉和兼容性强等优点，在 SATA 接口出现之前，IDE 总线统治着硬盘和光驱接口。图 1-6 所示为 IDE 硬盘和 IDE 线缆，使用 40 针脚连接器。

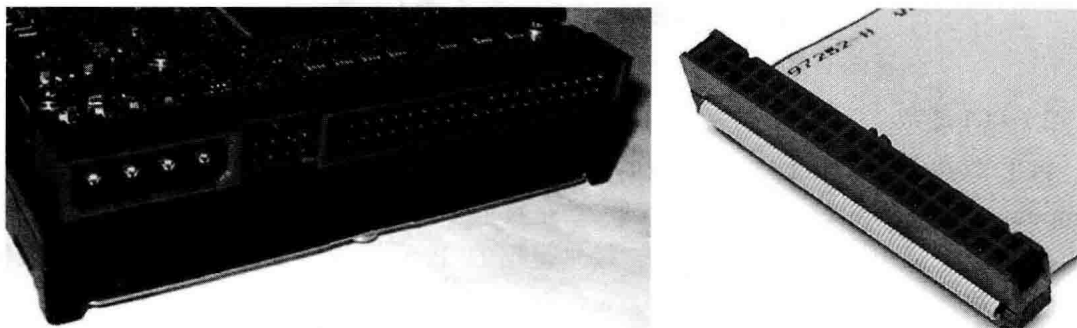


图 1-6 IDE 硬盘和 IDE 线缆

早期的 IDE 接口支持两种传输模式：PIO (Programming I/O) 模式和 DMA (Direct Memory Access) 模式。PIO 模式是一种通过 CPU 执行 I/O 端口指令来进行数据读/写的数据交换模式，是最早的硬盘数据传输模式，数据传输速率低下，CPU 占有率也很高，大量传输数据时会因为占用过多的 CPU 资源而导致系统停顿，无法进行其他操作。DMA 模式由于需要额外的驱动程序支持，所以开始没有得到广泛接受。随着对传输速率的要求越来越高，DMA 模式由于其占用资源少、执行效率高等优点，操作系统开始直接支持，各大厂商也推出速度更快的 DMA 传输速度标准。ATA 发展至今经过多次修改和升

级, 每个新一代的接口都建立在前一代标准之上, 并保持向后兼容性。ATA-1 的传输速率仅为 3.3MB/s, ATA-2 的速率提升到 16.6MB/s, ATA-4 首次采用 DDR 技术, 开始正式支持 Ultra DMA 数据传输模式, 数据传输速率提高到 33MB/s, 又称 ATA33, 随后又出现 ATA66、ATA100 和 ATA133, 数据传输速率分别提高到 66MB/s、100MB/s 和 133MB/s。但随着传输速率的提高, 信号协议和连接器都表现出诸多技术瓶颈, 新出现的 SATA 接口逐渐替代 IDE 接口。

4) IEEE 1284 总线

IEEE 1284 是连接计算机与其他设备的双向并行总线标准, 最初在 20 世纪 70 年代由 Centronics 提出, 主要用于打印机并行端口, 并很快成为事实上的标准, 1994 年, IEEE 委员会公布 IEEE 1284 并行接口标准。IEEE 1284 标准允许双向数据传输和更快的数据传输速率, 理论速率可达 4MB/s, 实际速率一般是 2MB/s。由于 IEEE 1284 接口可以允许传输更大的数据块, 因此很快在扫描仪、磁带驱动、磁盘和网络适配器上替代了昂贵的 SCSI 接口。图 1-7 为连接打印机的 IEEE 1284 线缆接口。

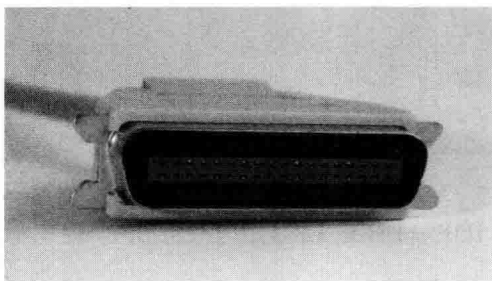


图 1-7 IEEE 1284 打印机线缆接口

IEEE 1284 包含以下 5 种操作模式:

(1) 兼容模式, 也称为 Centronics 标准, 单向数据传输, 与原始的 Centronics port 稍有不同, 几乎只用于打印机;

(2) 半字节模式, 允许设备一次发送 4bit 数据;

(3) 字节模式, 半双工双向传输, 每次传输一字节数据;

(4) 增强的并行接口 (EPP), 半双工双向传输, 允许打印机、扫描仪、存储设备等传输大块数据并快速改变传输方向, 带宽可达 2MB/s, 是一般并行接口速率的 15 倍;

(5) 扩展功能端口 (ECP), 半双工双向传输, 可以使用 DMA 方式传输数据, 速度比 EPP 模式更快, 可达 2.5MB/s。上述 5 种模式都用的是 TTL 逻辑电平, 因此限制了 IEEE 1284 总线线缆的长度。

5) SCSI 总线

SCSI (Small Computer System Interface, 小型计算机系统接口) 是早期一种用于计算机和外部设备 (磁盘、软盘、光驱、打印机、扫描仪等) 之间的通用接口标准。最初的 SCSI-1 标准同步传输速率为 5MB/s, 异步传输速率为 3MB/s, 已经被淘汰; 随后出现的 SCSI-2 标准又称为 Fast SCSI, 通过提高频率而将速率提升一倍, 达到 10MB/s, 支持 8 位并行数据传输, 可连接 7 个外设, 接口包括 50 个针脚; 后来又出现 Wide SCSI, 支持 16 位并行数据传输, 同步数据传输速率也提高到 20MB/s, 可连接 16 个外设, 主要用