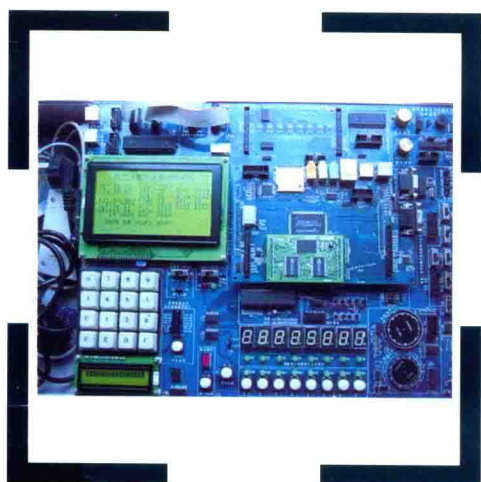


21世纪高等院校实验教学改革与创新系列教材

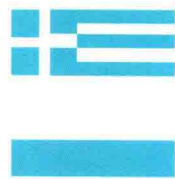
Computer Hardware Experiment Course

计算机硬件实验教程



王毅

◎ 主编



湘潭大学出版社

21 世纪高等院校实验教学改革与创新系列教材

计算机硬件实验教程

主 编 王 毅

湘潭大学出版社

图书在版编目(CIP)数据

计算机硬件实验教程 / 王毅主编. -- 湘潭 : 湘潭大学出版社, 2015.4

ISBN 978-7-81128-348-8

I. ①计… II. ①王… III. ①硬件—实验—高等学校—教材 IV. ①TP303-33

中国版本图书馆 CIP 数据核字 (2015)第 074377 号

责任编辑: 王亚兰

装帧设计: 周湘兰

出版发行: 湘潭大学出版社

社 址: 湖南省湘潭市 湘潭大学出版大楼

电话(传真): 0731-58298966 邮编: 411105

网 址: <http://press.xtu.edu.cn>

印 刷: 长沙瑞和印务有限公司

经 销: 湖南省新华书店

开 本: 787×1092 1/16

印 张: 7.75

字 数: 189 千字

版 次: 2015 年 4 月第 1 版 2015 年 4 月第 1 次印刷

书 号: ISBN 978-7-81128-348-8

定 价: 17.00 元

(版权所有 严禁翻印)

21 世纪高等院校实验教学改革与创新系列教材

编委会

顾 问：罗和安

主 任：陈小明

副主任：夏智伦 高协平

编委会成员(按姓氏笔画为序)：

| | | | | |
|-----|-----|-----|-----|-----|
| 朱卫国 | 刘任任 | 刘跃进 | 苏旭平 | 张 平 |
| 张海良 | 郑金华 | 钟建新 | 舒 适 | 谭援强 |

总 序

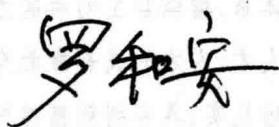
为了提高国家的持续发展能力、综合实力和国际竞争力,党中央、国务院提出构建创新型国家体系、增强自主创新能力的战略,鼓励创造,鼓励创新,特别是鼓励原始创新。创新的关键在人才,人才的成长靠教育。推动教育事业特别是高等教育事业的发展,培养和造就一大批基础扎实、具有创新精神和创新能力的高素质拔尖人才,是构建国家创新体系、建设创新型国家的基础。

正是在这样的背景下,湘潭大学出版社经过精心策划,组织实验教学一线的专家和教师编写了这套“21世纪高等院校实验教学改革与创新系列教材”。实验教学是培养学生创新能力的基本途径,是培养高素质创新人才教学体系的重要组成部分。目前,对作为连接理论与实践的纽带和激发学生发现问题、研究问题、独立解决问题能力的重要环节——实践教学的研究,还显得相对不足;对如何进一步深化实验教学改革,创新实验教学方法、途径,以更好地发挥实验教学对培养学生创新思维与创造技能的平台作用方面的研究与探讨,尚待深入;已出版的实验教材还比较零散,不成体系和规模,高质量、高水平的实验教材建设与实验教学之间还存在一定的差距。随着科技的发展,各种实验手段、实验仪器不断更新,传统实验教学中的许多范例、方法,既不能体现与学科发展相适应的前沿性,也不能体现与产业相衔接的应用性,使许多实验教材严重滞后于实验教学的现实需要和教学改革的进程。要实现创新人才培养的重要目标,必须重视实验教学;而要实现教学目标,达到好的教学效果,则必须以实验教材为基础,必须有好的实验教材作支撑。因此,湘潭大学出版社出版的这套实验教学改革与创新系列教材就非常有意义。

这套教材最大的特点是融入了许多新的实验教学理念和教学方法,引入了新的实验手段与实验方法,尤其是增加了计算机技术在实验中的应用,有利于激发学生的学习兴趣,增强学生对现代高新技术的了解,具有一定的新颖性和前瞻性。教材范围涵盖了物理、化学、计算机、机械等几大传统学科专业,并注意区分了理科和工科教学过程中各自的侧重,做到

了理工交融,也较好地实现了实践性与理论性、基础性与先进性、基本技能与学术视野、传统教学与开放教学的相互结合。好的实验教材既是实验教学成果的直接反映,也是先进的实验教育理念传播的重要载体。相信湘潭大学社出版的这套系列教材,能够为我们提供有益的借鉴,也相信广大教育理论研究和教师,在不断推进实验教学改革与创新过程中,一定能够探索出新的经验,推出新的成果,编写出更多的精品教材,进一步推广先进的实验教育理念 and 教学方法,提升实验教学质量与水平,为培养高素质的创新人才,建设创新型国家作出新的贡献。

是为序。



2009年3月

前 言

本书为讲授计算机硬件的配套实验教材。书中采用 Verilog HDL 语言、FPGA 平台来完成《数字电路与数字逻辑》、《计算机组成原理》、《计算机体系结构》课程的实验。书中实验安排紧扣相关的知识点,有验证性的实验,也有设计性实验,为学习计算机系统硬件知识提供了实验验证和设计参考。

本书采用由简单到复杂,由验证性实验到设计性实验的书写方法,便于学生学习。在实验过程中,学生可以采用语言编程的模式,或者原理图的模式来做实验,也可以采用两者相结合的方式。在实验之前一定要熟悉实验要完成的功能、实验的基本原理,然后提出实验方案和步骤,准备好实验电路结构图、程序和数据,对在实验中可能出现的问题提出解决的预案,在实验过程中对实验数据做好记录,实验结束后分析判断是否完成了规定的功能,最后写出实验报告,并在报告中提出可以改进或提升的地方。

实验教材的编写与实验室的建设和发展密切相关。本书在编写过程中得到了湘潭大学信息工程学院领导、教师和实验技术人员的大力支持,也得到了湘潭大学教务处的关怀和鼓励。实验教材的编写也参考了杭州康芯电子有限公司的相关资料以及兄弟院校的理论 and 实验教材,编者在此一并表示感谢!

本书由王毅主编,王求真老师编写了第 1 章,王毅、王求真二位老师共同编写了第 2 章和附录 4,成洁老师编写了第 3 章,王毅老师编写了第 4 章、附录 1 和附录 2,杨奇为老师编写了第 5 章。湘潭大学戴永教授对本书作了全面的审阅,并提出宝贵的修改意见。在此,编者谨向他们表示衷心的感谢!

由于时间仓促和编者的水平有限,书中难免存在一些错误和不妥之处,敬请读者批评指正!

编 者

2015 年 3 月 5 日

目 录

| | |
|--|----|
| 第 1 章 EDA 基础 | 1 |
| 1.1 EDA 简介..... | 1 |
| 1.2 Verilog HDL 简介 | 1 |
| 1.3 Quartus13.0 使用说明 | 2 |
| 第 2 章 GW48-CP++实验系统 | 20 |
| 2.1 GW48-CP++实验系统简介 | 20 |
| 2.2 GW48-CP++实验系统使用说明 | 24 |
| 2.3 实验电路结构图 | 27 |
| 2.4 GW48 系统万能接插口、结构图信号、FPGA 芯片引脚关系 | 31 |
| 第 3 章 数字逻辑与数字电路实验 | 32 |
| 3.1 三人表决电路实验 | 32 |
| 3.2 多路选择器实验 | 38 |
| 3.3 半加器/全加器实验 | 40 |
| 3.4 7 段数码显示译码器实验 | 43 |
| 3.5 计数器实验 | 46 |
| 3.6 移位寄存器实验 | 50 |
| 3.7 序列检测器实验 | 52 |
| 3.8 数字频率计实验 | 54 |
| 3.9 数字钟实验 | 56 |
| 3.10 交通灯控制器实验 | 58 |
| 第 4 章 计算机组成原理实验 | 60 |
| 4.1 4 位运算器实验 | 60 |
| 4.2 16 位算术逻辑运算/数据通路实验 | 65 |
| 4.3 存储器实验 | 68 |
| 4.4 指令系统实验 | 73 |

| | | |
|--------------|---------------------------------------|-----------|
| 4.5 | 单周期 CPU 实验 | 75 |
| 4.6 | 多周期 CPU 实验 | 77 |
| 4.7 | 中断实验 | 79 |
| 第 5 章 | 计算机体系结构实验 | 81 |
| 5.1 | 流水线 CPU 设计实验 | 81 |
| 5.2 | 流水线带 CACHE 的 CPU 设计实验 | 86 |
| 附录 1 | Icarus Verilog 开发环境及使用 | 89 |
| 附录 2 | Verilog HDL 语言语法及简介 | 96 |
| 附录 3 | 实验报告的格式及内容 | 109 |
| 附录 4 | GW48 系统万能接插口、结构图信号、FPGA 芯片引脚对照表 | 111 |
| 参考文献 | | 114 |

第 1 章 EDA 基础

1.1 EDA 简介

20 世纪 90 年代,国际上电子和计算机技术较为先进的国家一直在积极探索新的电子电路设计方法,并在设计方法、工具等方面进行了彻底的变革,取得了巨大成功。在电子技术设计领域,可编程逻辑器件(如 CPLD、FPGA)已得到广泛的应用,这些器件为数字系统的设计带来了极大的灵活性。这些器件可以通过软件编程来对其硬件结构和工作方式进行重构,从而使得硬件的设计可以如同软件设计那样方便快捷,极大地改变了传统的数字系统设计方法、设计过程和设计观念,促进了 EDA 技术的迅速发展。

EDA 技术就是以计算机为工具,设计者在 EDA 软件平台上,用硬件描述语言(HDL)完成设计文件,然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真,直至对特定目标芯片进行适配编译、逻辑映射和编程下载等工作。EDA 技术极大地提高了电路设计的效率和可操作性,减轻了设计者的劳动强度。

常用的硬件描述语言(HDL)主要有 Verilog HDL 和 VHDL 两种。它们用来对 FPGA 芯片进行逻辑设计和开发。为此需要学习软件和硬件两个方面的知识,软件方面包括官方软件的使用和模块电路的编程,官方软件如 xilinx 开发平台 ISE、Altera 开发平台 QuartusII、Icarus Verilog 等,硬件方面就是 FPGA 芯片和外围电路。

书中介绍 Quartus II、Icarus Verilog 官方软件的使用,采用 Verilog HDL 对 FPGA 芯片进行开发。这种开发方式通常是用 Verilog HDL 描述出需要实现的逻辑功能,将写好的代码经过软件的综合仿真,正确无误后下载到 FPGA 芯片来实现设计的功能,从而应用在电路上。

1.2 Verilog HDL 简介

由于电子电路的设计规模越来越大(普通设计已达几百万门的数量级),复杂度越来越高。单纯地使用硬件连线来设计硬件已经不可能完成,或者即使能够完成,所花的时间和成本也非常高,所以有必要采用更好的技术。由于高级语言程序的可读性强、易于修改,如果用高级语言程序来表达电子系统的功能、隐藏其具体的细节实现、提高逻辑设计的效率、降低设计成本、缩短设计周期,将是一件非常好的事情。为此有许多研究人员在努力,现已取得很好的成果。

用于数字电子系统设计的硬件描述语言有很多种,常用的有 Verilog HDL 和 VHDL。设计者可用它进行各种级别的逻辑设计,可用它进行数字逻辑系统的仿真验证、时序分析、逻辑综合。由于 Verilog HDL 语言更接近于 C 语言,所以它的学习和使用非常方便,只要是学

习过 C 语言程序设计的人员都会很快熟练掌握它。Verilog HDL 语言的主要特征如下：

(1) 语法结构上, Verilog HDL 语言与 C 语言有许多相似之处, 并借鉴 C 语言的多种操作符和语法结构, 包含注释、分隔符、数字、字符串、标识符和关键字。

Verilog HDL 是自由格式, 即语句可以在一行内编写, 也可跨行编写, 用分号分隔。由空格 (\b)、制表符 (\t) 和换行符组成空白符, 在文本中起一个分隔符的作用, 在编译时被忽略。

(2) Verilog HDL 语言既包含一些高级程序设计语言的结构形式, 同时也兼顾描述硬件线路连接的具体构件。

(3) 通过使用结构级或行为级描述可以在不同的抽象层次描述设计。

(4) Verilog HDL 语言是并发的, 即具有在同一时刻执行多任务的能力, 因为在实际硬件中许多操作都是同一时刻发生的。一般来讲, 计算机编程语言是非并行的。

(5) Verilog HDL 语言有时序的概念, 因为硬件电路从输入到输出总有延迟存在。

下面给出一个简单的 Verilog HDL 例子。

例 1 设计一个二输入与门, 如图 1-1 所示。程序代码如下:

```
module and1(a,b,y);
    input a,b;
    output y;
    assign y=a&b;
endmodule
```

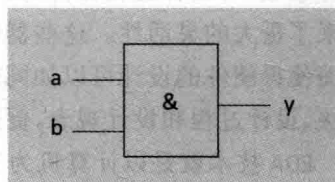


图 1-1 二输入与门

① 模块表达如下:

```
module 模块名(模块端口名表);
    模块端口和模块功能描述
endmodule
```

② 端口语句、端口信号名和端口模式如下:

```
input 端口名 1, 端口名 2, ……;           //input:输入端口
output 端口名 1, 端口名 2, ……;         //output:输出口
inout 端口名 1, 端口名 2, ……;         //inout:双向端口
input[msb:lsb]端口名 1, 端口名 2, ……; //[[msb:lsb]——msb-lsb+1 位端口
```

模块也可以改写成下述形式:

```
module and2(input a, input b, output c);
```

③ 赋值语句和条件操作符如下:

```
assign y=a;           //将信号 a 向 y 赋值
assign y=a&b;         //将信号 a 和信号 b 逻辑相与后向 y 赋值
assign y=(s? a:b);   //条件表达式? 表达式 1:表达式 2 得到值向 y 赋值
```

1.3 Quartus13.0 使用说明

1.3.1 创建工程

1. 运行 Quartus II 13.0 软件, 打开如图 1-2 所示。

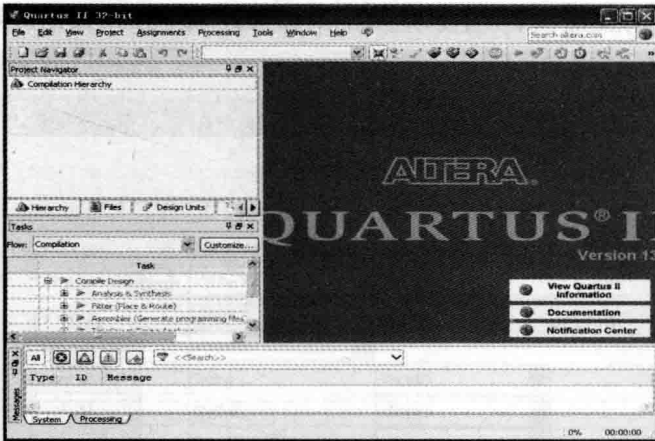


图 1-2 打开 Quartus II 界面



图 1-3 “New”选项对话框

2. 选择 File→New→New Quartus II Project, 新建一个 Project, 如图 1-3 所示。
3. 新建 Project 的向导, 如图 1-4 所示。可将这个弹出框去掉, 即在左下角的方框打上“√”。

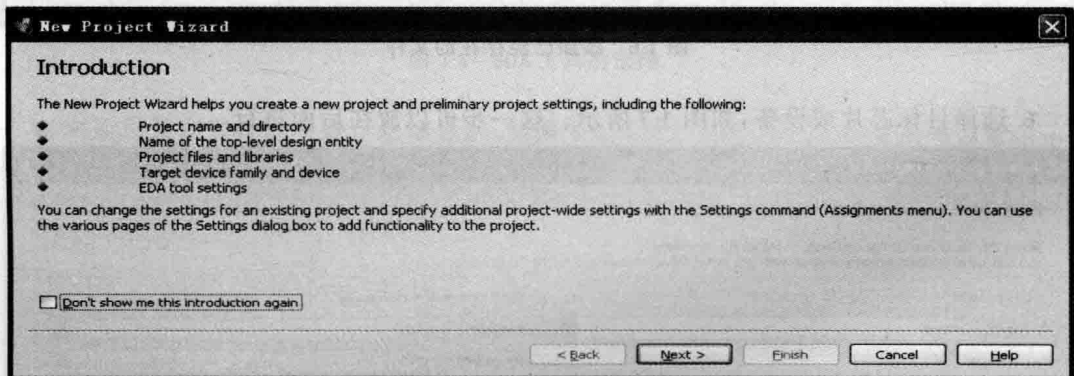


图 1-4 “新建 Project 向导”对话框

4. 选择存放 Project 的文件夹, 对 Project 命名, 如图 1-5 所示。注意: 工程文件名及其所存放文件夹不要用中文命名。

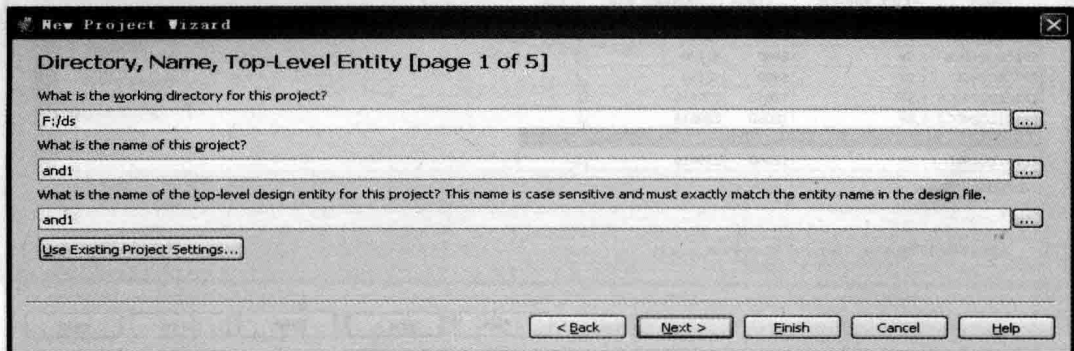


图 1-5 Project 的命名及选择存放地

5. 添加已经存在的文件到 Project, 如图 1-6 所示。如果不添加文件或不存在文件需要添加, 选择 NEXT。

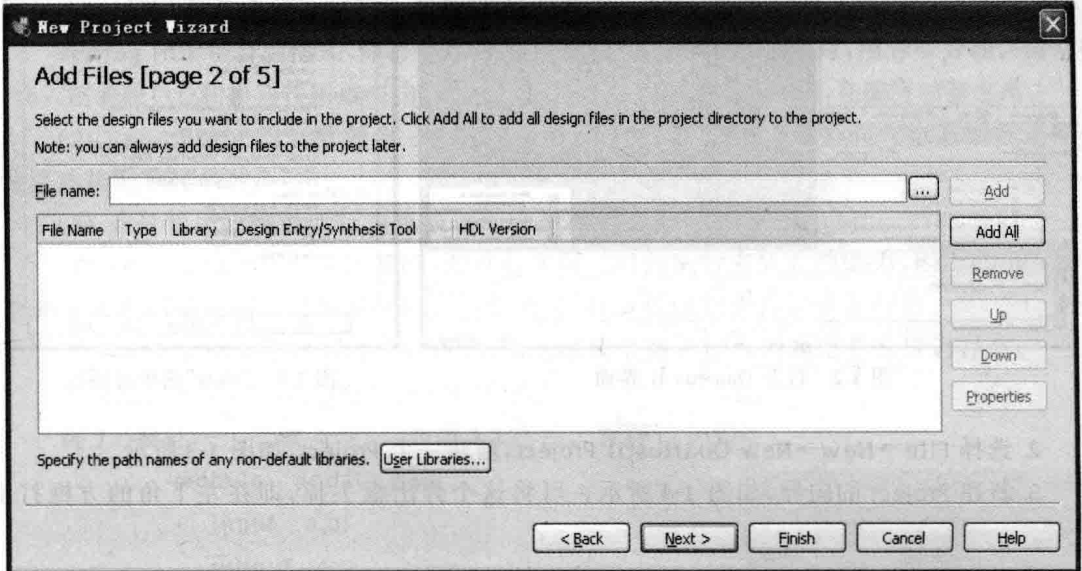


图 1-6 添加已经存在的文件

6. 选择目标芯片或设备, 如图 1-7 所示。这一步可以放在后面进行。

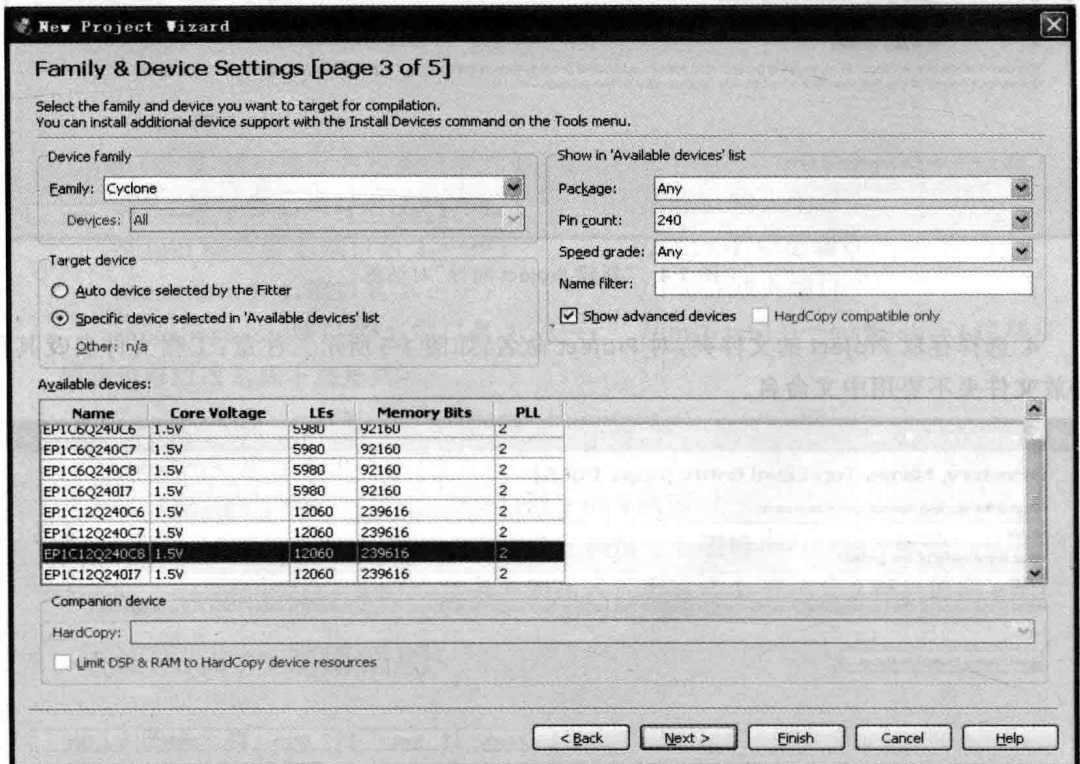


图 1-7 目标芯片的选择

7. EDA 工具如仿真工具等的选择设置,如图 1-8 所示。这一步可以放在后面进行。

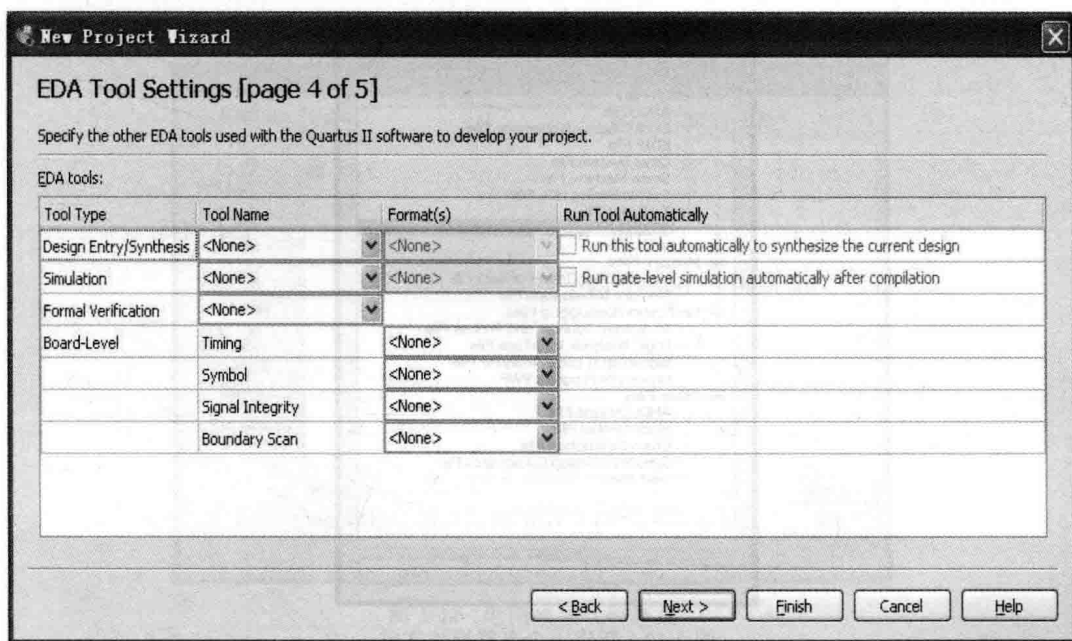


图 1-8 EDA 工具的选择

8. 对所设置和选择的项进行总结显示,如图 1-9 所示。选择 finish 结束向导设置。

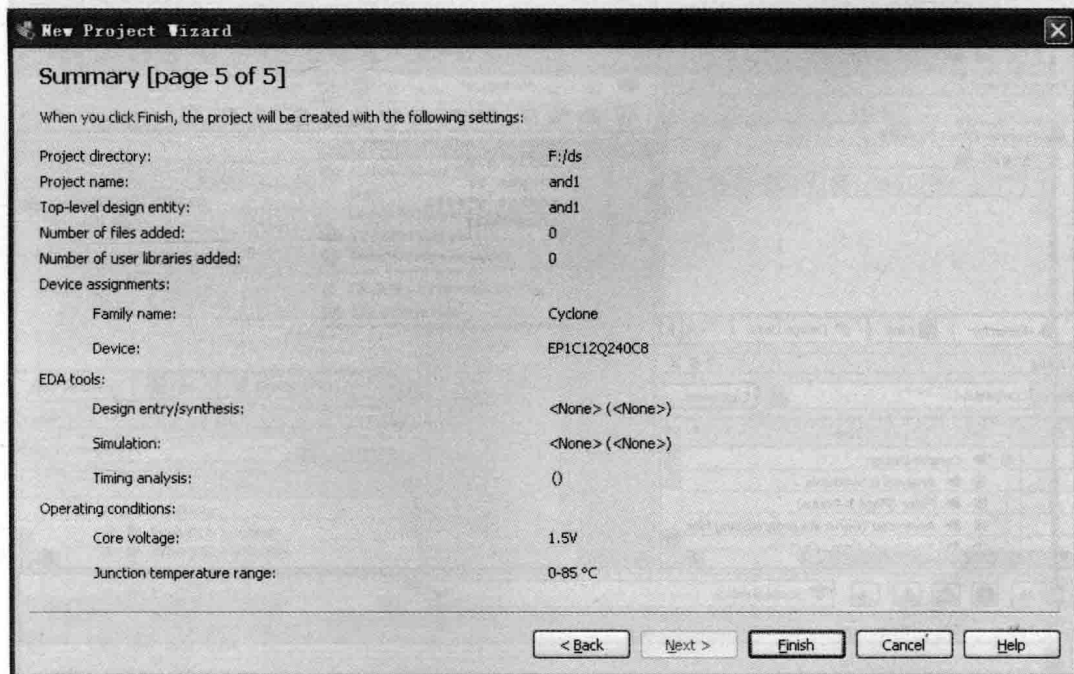


图 1-9 选项总结

9. 用 Verilog HDL 新建一个电路模块文件,如图 1-10 所示。

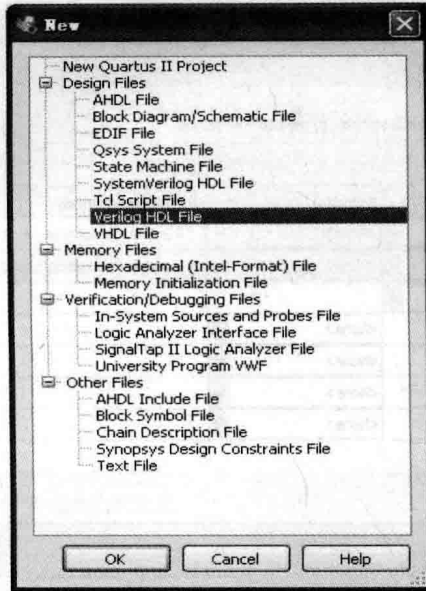


图 1-10 新建一个电路模块文件

10. 输入电路模块代码,如图 1-11 所示。

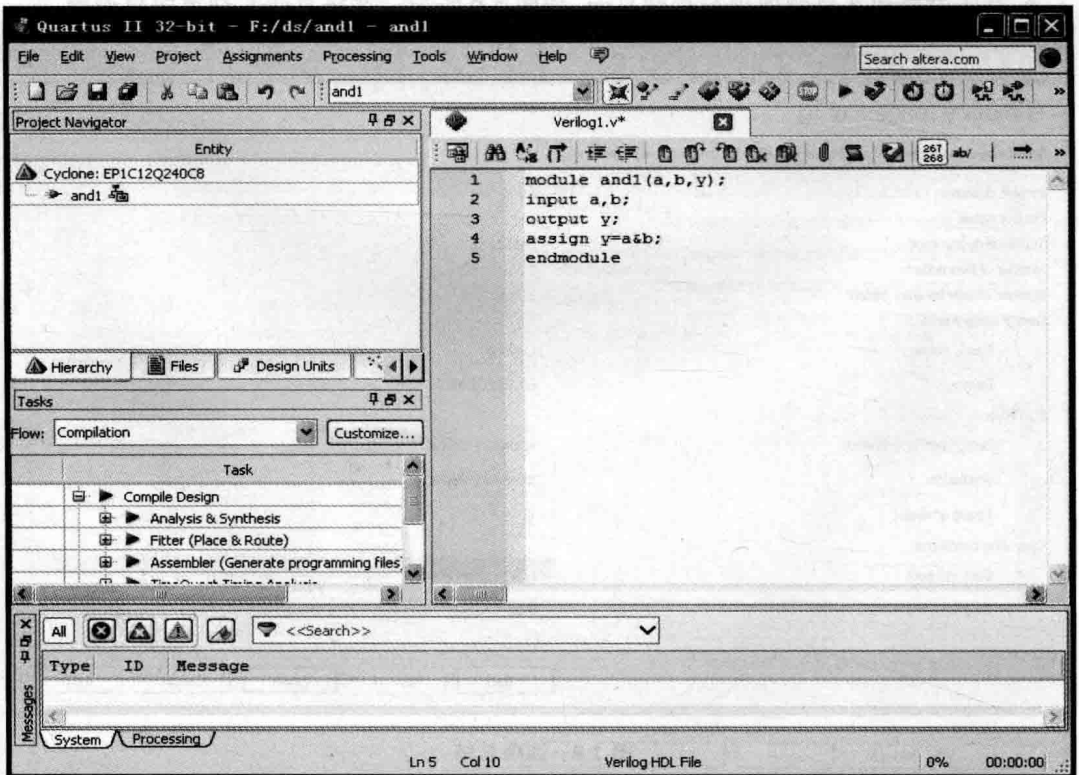


图 1-11 电路模块代码的输入

11. 电路模块代码存盘,如图 1-12 所示。如果为顶层模块,要求模块名与 Project 名一致。



图 1-12 电路模块代码存盘

1.3.2 编译

1. 电路模块代码输入完成,接下来进行编译,如图 1-13 所示。最好设置完目标芯片后再进行编译。

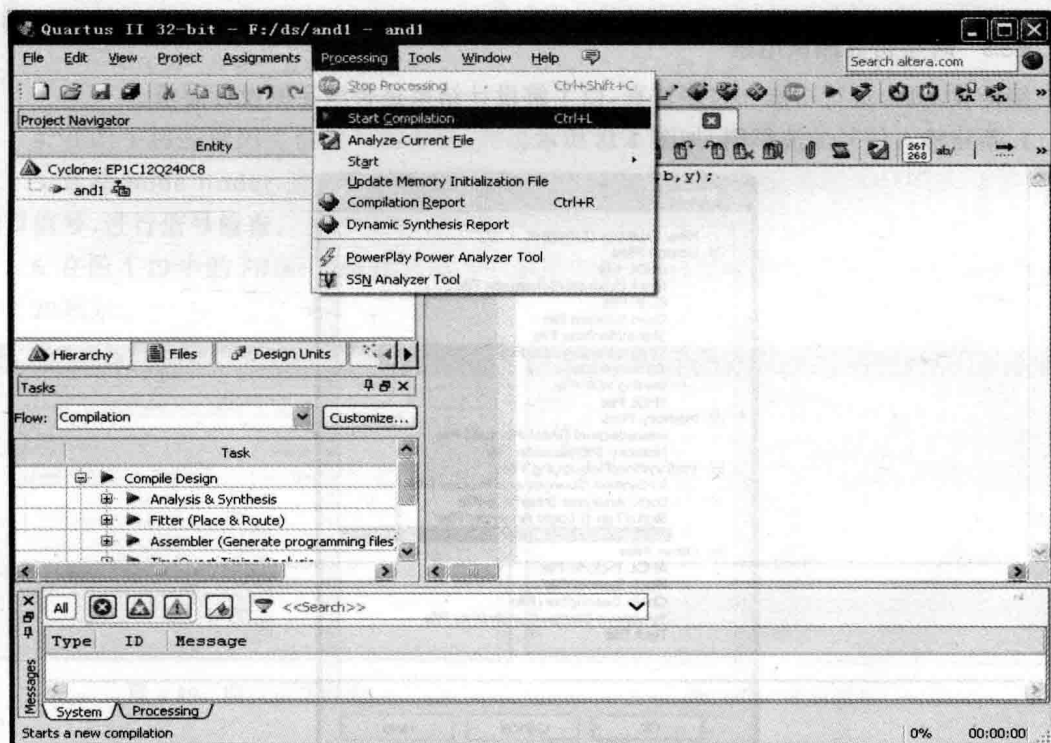


图 1-13 电路模块代码编译

2. 编译完成后,给出编译信息,如图 1-14 所示。如果有错误,改正错误后继续编译,直到无错误为止。如果有警告,则不需要处理。

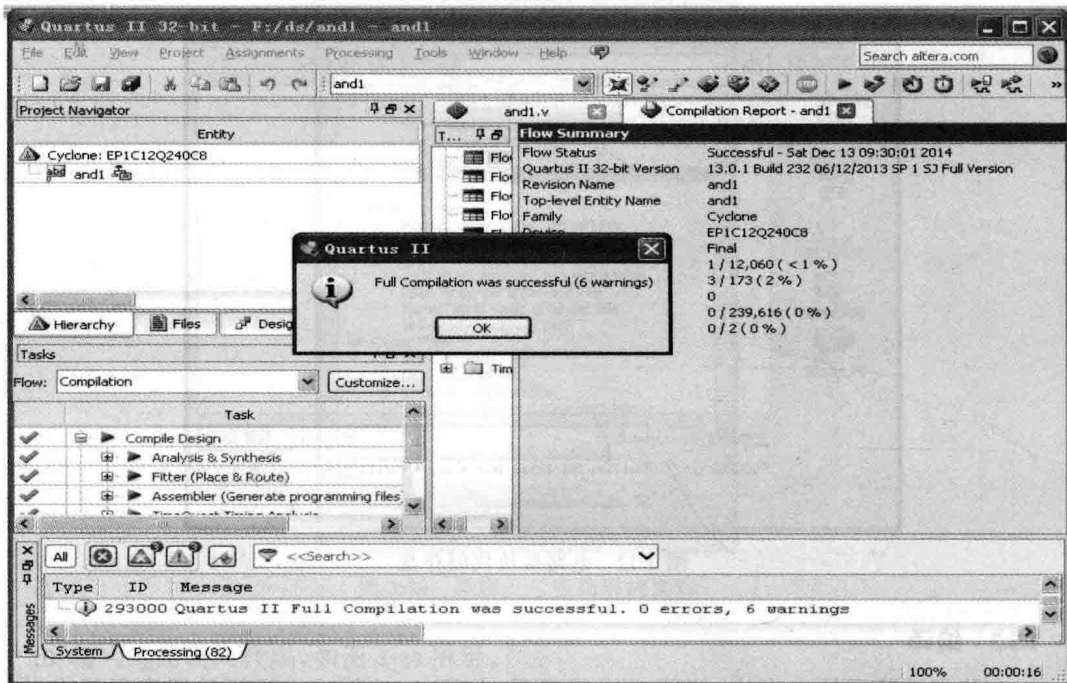


图 1-14 编译信息显示

1.3.3 时序仿真测试电路

编译成功后,进行功能和时序仿真,以了解设计结果是否满足原设计要求。

1. 新建输入信号的波形图,如图 1-15 所示。



图 1-15 新建波形图选项