



“十二五”国家重点图书出版规划项目
电子与信息工程系列

VHDL DESIGN AND APPLICATION

VHDL设计与应用

● 吴少川 马琳 编著



哈尔滨工业大学出版社
HARBIN INSTITUTE OF TECHNOLOGY PRESS



“十二五”国家重
点电子与信息工

VHDL DESIGN AND APPLICATION

VHDL设计与应用

● 吴少川 马琳 编著

RFID



哈尔滨工业大学出版社
HARBIN INSTITUTE OF TECHNOLOGY PRESS

内容简介

本书系统地介绍了 VHDL 语言及 EDA 技术,对 VHDL 语言的基础知识、编程技巧和使用方法进行了详细讲解。同时,结合 EDA 优秀开发设计平台 Quartus II,讲解了 FPGA 开发的基本流程和方法,使读者能够准确快速地掌握 EDA 技术,并为后续高级 EDA 技术的学习和开发打下坚实基础。

本书共分为 12 章,包括 EDA 技术概述,可编程逻辑器件原理,VHDL 结构及要素,VHDL 基础,VHDL 语句,有限状态机,Quartus II 文本设计及仿真方法,Quartus II 原理图设计及测试方法,ModelSim 仿真,DSP Builder 设计方法,SOPC 设计,优化和时序分析。其中,前 6 章主要介绍 VHDL 语言基础,后 6 章主要介绍 VHDL 语言在 Quartus II 等开发平台上的应用。

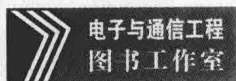
本书适合作为电子与通信工程专业高年级本科生和硕士研究生的专业教材,也适用于控制、计算机和微电子等相关专业及工程技术人员作为参考。

图书在版编目(CIP)数据

VHDL 设计与应用/吴少川,马琳编著. —哈尔滨:
哈尔滨工业大学出版社,2015.8
ISBN 978-7-5603-5510-8

I. ①V… II. ①吴…②马… III. ①VHDL 语言-程序
设计-高等学校-教材 IV. ①TP312

中国版本图书馆 CIP 数据核字(2015)第 166555 号



责任编辑 李长波
封面设计 刘洪涛
出版发行 哈尔滨工业大学出版社
社 址 哈尔滨市南岗区复华四道街 10 号 邮编 150006
传 真 0451-86414749
网 址 <http://hitpress.hit.edu.cn>
印 刷 哈尔滨市工大节能印刷厂
开 本 787mm×1092mm 1/16 印张 25.5 字数 615 千字
版 次 2015 年 8 月第 1 版 2015 年 8 月第 1 次印刷
书 号 ISBN 978-7-5603-5510-8
定 价 44.00 元

(如因印装质量问题影响阅读,我社负责调换)

“十二五”国家重点图书 电子与信息工程系列

编 审 委 员 会

顾 问 张乃通

主 任 顾学迈

副 主 任 张 晔

秘 书 长 赵雅琴

编 委 (按姓氏笔画排序)

王 钢 邓维波 任广辉 沙学军

张钧萍 吴芝路 吴 群 谷延锋

孟维晓 赵洪林 赵雅琴 姜义成

郭 庆 宿富林 谢俊好 冀振元

序

FOREWORD

教材建设一直是高校教学建设和教学改革的主要内容之一。针对目前高校电子与信息工程教材存在的基础课教材偏重数学理论,而数学模型和物理模型脱节,专业课教材对最新知识增长点和研究成果跟踪较少等问题,及创新型人才的培养目标和各学科、专业课程建设全面需求,哈尔滨工业大学出版社与哈尔滨工业大学电子与信息工程学院的各位老师策划出版了电子与信息工程系列精品教材。

该系列教材是以“寓军于民,军民并举”为需求前提,以信息与通信工程学科发展为背景,以电子线路和信号处理知识为平台,以培养基础理论扎实、实践动手能力强的创新型人才为主线,将基础理论、电信技术实际发展趋势、相关科研开发的实际经验密切结合,注重理论联系实际,将学科前沿技术渗透其中,反映电子信息领域最新知识增长点和研究成果,因材施教,重点加强学生的理论基础水平及分析问题、解决问题的能力。

本系列教材具有以下特色:

(1) **强调平台化完整的知识体系。**该系列教材涵盖电子与信息工程专业理论基础知识课程,对现有课程及教学体系不断优化,形成以电子线路、信号处理、电波传播为平台课程,与专业应用课程的四个知识脉络有机结合,构成了一个通识教育和专业教育的完整教学课程体系。

(2) **物理模型和数学模型有机结合。**该系列教材侧重在经典理论与技术的基础上,将实际工程实践中的物理系统模型和算法理论模型紧密结合,加强物理概念和物理模型的建立、分析、应用,在此基础上总结牵引出相应的数学模型,以加强学生对算法理论的理解,提高实践能力。

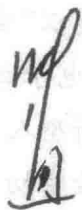
(3) **宽口径培养需求与专业特色兼备。**结合多年来有关科研项目的科研经验及丰硕成果,以及紧缺专业教学中的丰富经验,在专业教材编写过程中,在兼顾电子与信息工程毕业生宽口径培养需求的基础上,突出军民兼用特色,在

满足一般重点院校相关专业理论技术需求的基础上,也满足军民并举特色的要求。

电子与信息工程系列教材是哈尔滨工业大学多年来从事教学科研工作的各位教授、专家们集体智慧的结晶,也是他们长期教学经验、工作成果的总结与展示。同时该系列教材的出版也得到了兄弟院校的支持,提出了许多建设性的意见。

我相信:这套教材的出版,对于推动电子与信息工程领域的教学改革、提高人才培养质量必将起到重要推动作用。

哈尔滨工业大学教授 张乃通
中国工程院院士



2010年11月于哈工大

前 言

PREFACE

本书是电子与通信工程系的专业教材,也适用于控制、计算机和微电子等相关专业。随着现代数字系统设计的发展,可编程器件在集成容量、功耗、速度及逻辑设计的灵活性等方面均有了飞跃的进步,尤其 FPGA 备受现代数字系统设计工程师欢迎,并成为最新一代系统设计平台。基于 FPGA 平台的各种通信系统的研发已经成为国防、航天和商业领域应用最广泛的开发手段。目前除传统的 FPGA 设备厂商外,包括 KeySight 和 NI 等大型通信设备制造商都已经提供了诸如 U5303A 和 USRP RIO 等基于 FPGA 的开放式开发平台,从而使设计者和研发人员可以快速地进行通信系统样机的研发和演示验证平台搭建。

FPGA 的开发有多种方法,但是最基础并且代码效率最高的仍旧是基于硬件描述语言的设计方法。本书选择 VHDL 作为硬件描述语言来进行 FPGA 开发的介绍是因为 VHDL 是业内公认逻辑最严谨并且更适合进行底层逻辑开发的硬件描述语言。除此之外,本书也会介绍一些高级开发技巧,例如基于 MATLAB Simulink 环境的 DSP Builder 开发方法和基于 C 语言的 SOPC 设计方法。从而使读者能够由浅入深地对 FPGA 的整个开发技巧进行较为全面的了解。

本书在撰写过程中,提供了翔实的代码案例以及相关工具软件的使用细节。通过图文并茂的方式,使本书不但可以作为相关专业的教材,也可以作为感兴趣读者的自学工具书。本书尽量避免涉及较为复杂的专业知识,而更多的是介绍基于 VHDL 语言的 FPGA 开发技巧,从而使读者能够更容易地进行学习。

本书的第 1~6 章由马琳撰写,第 7~12 章由吴少川撰写。其中,第 1 章主要概述 EDA 技术,重点介绍 EDA 技术的内涵及发展历程,EDA 技术的核心,VHDL 特点及其开发流程和 EDA 工程设计流程。第 2 章主要介绍可编程逻辑器件原理,重点介绍 PLD 发展历史、分类以及 CPLD 和 FPGA 的原理。第 3 章介绍 VHDL 结构及要素,重点介绍 VHDL 基本单元及其构成,端口信号赋值,库、程序包、配置,时序电路描述和 VHDL 子程序。第 4 章介绍 VHDL 基础,包括 VHDL 文字规则、VHDL 数据对象、VHDL 操作符、VHDL 数据类型和基本仿真方法。第 5 章介绍 VHDL 语句,包括顺序语句、并行语句和属性描述语句。第 6 章介绍有限状态机,包括状态机基础、状态机设计、有限状态机的状态编码、非法状态的处理和序列检测器设计。第 7 章主要介绍 Altera 公司 FPGA 开发工具 Quartus II 文本设计及仿真方法,

重点介绍 Quartus II 软件、本书所采用的开发板、Quartus II 文本输入设计方法、Quartus II 功能和时序仿真。第 8 章介绍 Quartus II 原理图设计及测试方法,重点介绍直接数字合成器 DDS 设计、相移键控 BPSK 调制器设计、设计的 JTAG 下载和 AS 编程以及 Quartus II 内嵌逻辑分析仪测试方法。第 9 章介绍 ModelSim 仿真,重点介绍如何在 ModelSim 中添加 Altera 器件库、ModelSim 功能仿真和时序仿真方法。第 10 章介绍 DSP Builder 设计方法,重点介绍 DSP Builder、幅度调制 AM、基于 DSP Builder 的 DDS、DSP Builder 的层次化设计、ModelSim 功能仿真、ModelSim 时序仿真、SignalTap II 波形测试和频移键控调制 FSK。第 11 章介绍 SOPC 设计,重点介绍 Nios II、SOPC 系统搭建、Nios II IDE 开发、程序下载、测试 JTAG UART 的方法以及程序烧写的方法。第 12 章介绍优化和时序分析,重点介绍时序优化的意义、面积和时序优化、资源利用优化、时序优化技术以及功率优化。

在此,作者要特别感谢沸腾科技的唐东升为本书提供了第 9 章和第 11 章的工程代码,并对本书的撰写提供了技术支持。此外,作者还要感谢哈尔滨工业大学提供的各种软硬件资源,从而保证了本书能够顺利完成。

由于 FPGA 近几年的发展十分迅猛,开发手段和开发工具层出不穷,所以本书在撰写的过程中遇到巨大的挑战,很难涵盖所有的技术领域。此外,由于作者水平有限,书中难免存在疏漏与不足之处,恳请各位读者和专业人士进行批评指正,从而在再版时进行改进。

作 者

2015 年 4 月于哈尔滨工业大学

目 录

CONTENTS

第 1 章 EDA 技术概述	1
1.1 EDA 技术的内涵及发展历程	1
1.2 EDA 技术的核心	3
1.3 VHDL 特点及优势	6
第 2 章 可编程逻辑器件原理	8
2.1 PLD 概述	8
2.2 低密度 PLD	11
2.3 主流 CPLD 和 FPGA 公司及其器件	19
2.4 基于 Quartus II 开发的 Altera 公司产品简介	42
第 3 章 VHDL 结构及要素	47
3.1 VHDL 基本单元及其构成	47
3.2 端口信号赋值	61
3.3 库、程序包、配置	67
3.4 时序电路描述	75
3.5 VHDL 子程序	86
第 4 章 VHDL 基础	96
4.1 VHDL 文字规则	96
4.2 VHDL 数据对象	100
4.3 VHDL 操作符	103
4.4 VHDL 数据类型	112
4.5 基本仿真	127
第 5 章 VHDL 语句	138
5.1 顺序语句	138
5.2 并行语句	165
5.3 属性描述语句	190

第 6 章 有限状态机	203
6.1 状态机基础	203
6.2 状态机的设计	207
6.3 有限状态机的状态编码	213
6.4 非法状态的处理	222
6.5 序列检测器设计	224
第 7 章 Quartus II 文本设计及仿真方法	228
7.1 Quartus II 简介	228
7.2 开发板简介	229
7.3 Quartus II 文本输入设计方法	230
7.4 Quartus II 功能和时序仿真	241
第 8 章 Quartus II 原理图设计及测试方法	248
8.1 直接数字合成器设计	248
8.2 频移键控(FSK)调制器设计	265
8.3 相移键控(BPSK)调制器设计	267
8.4 设计的 JTAG 下载和 AS 编程	269
8.5 Quartus II 内嵌逻辑分析仪测试方法	271
第 9 章 ModelSim 仿真	279
9.1 在 ModelSim 中添加 Altera 器件库	279
9.2 ModelSim 基本使用方法	281
9.3 ModelSim 功能仿真	284
9.4 ModelSim 时序仿真	291
第 10 章 DSP Builder 设计方法	295
10.1 MATLAB 简介	295
10.2 DSP Builder 简介	296
10.3 幅度调制	297
10.4 基于 DSP Builder 的 DDS	303
10.5 DSP Builder 的层次化设计	306
10.6 ModelSim 功能仿真	309
10.7 ModelSim 时序仿真	312
10.8 SignalTap II 波形测试	316
10.9 频移键控调制	316

第 11 章 SOPC 设计 324

11.1 Nios II 概况 324

11.2 SOPC 系统搭建 327

11.3 Nios II IDE 开发 339

11.4 程序下载..... 344

11.5 测试 JTAG UART 的功能 345

11.6 程序烧写..... 346

第 12 章 优化和时序分析 348

12.1 时序优化的意义..... 348

12.2 面积和时序优化..... 350

12.3 资源利用优化..... 357

12.4 时序优化技术..... 369

12.5 功率优化..... 378

参考文献..... 394

第 1 章

EDA 技术概述

1.1 EDA 技术的内涵及发展历程

1.1.1 EDA 技术的含义

电子设计自动化 (Electronic Design Automation, EDA) 技术是在电子 CAD 技术基础上发展起来的计算机软件系统,是指以计算机为工作平台,融合了应用电子技术、计算机技术、信息处理及智能化技术的最新成果,进行电子产品的自动设计。随着 EDA 技术发展与应用,现今在各个不同领域 EDA 的概念或范畴十分广泛,包括在机械、电子、通信、航空航天、化工、矿产、生物、医学、军事等各个领域,都有 EDA 的应用。目前 EDA 技术已在各大公司、企事业单位和科研教学部门广泛使用。例如在飞机制造过程中,从设计、性能测试及特性分析直到飞行模拟,都可能涉及 EDA 技术。

从狭义的角度来看,EDA 技术就是以大规模可编程逻辑器件 (Programmable Logic Devices, PLD) 为载体,以硬件描述语言 (Hard Descriptive Language, HDL) 为系统逻辑描述的表达式,以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具,通过有关的开发软件,自动完成用软件的方式设计电子系统到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑布局布线、逻辑仿真,直至对于特定目标芯片的适配编译、逻辑映射、编程下载等工作,最终形成集成电子系统或专用集成芯片的一门新技术。广义的 EDA 技术,除了包含上述狭义 EDA 技术以及不同领域对于 EDA 技术的界定之外,还包括计算机辅助分析技术 (CAA)、IES/ASIC 自动设计技术及印刷电路板计算机辅助设计 (PCB-CAD)。广义 EDA 技术中利用 EDA 工具,电子设计师可以从概念、算法、协议等开始设计电子系统,大量工作可以通过计算机完成,并可以将电子产品从电路设计、性能分析到设计出 IC 版图或 PCB 版图的整个过程在计算机上自动处理完成。本书作者认为,广义的 EDA 技术的含义更接近于现今 CAD 技术的快速发展与广泛应用的计算机辅助设计的现状。

利用 EDA 技术进行电子系统的设计,具有以下几个特点:

- ①用软件的方式设计硬件。
- ②用软件方式设计的系统到硬件系统的转换是由有关的开发软件自动完成的。
- ③设计过程中可用有关软件进行各种仿真。
- ④系统可现场编程,在线升级。



⑤整个系统可集成在一个芯片上,体积小、功耗低、可靠性高。因此,EDA 技术是现代电子设计的发展趋势。

1.1.2 EDA 技术发展历程

20 世纪后半期,随着集成电路和计算机的不断发展,电子技术面临严峻的挑战。由于电子技术的发展周期不断缩短,专用集成电路(Application Specific Integrated Circuits, ASIC)设计面临着难度不断提高与设计周期不断缩短的矛盾。为了解决这个问题,人们必须采用新的设计方法并使用高层次的设计工具。在此情况下,EDA 技术应运而生,并得到了迅猛发展。EDA 技术涉及面广,内容丰富,从教学和实用的角度看,主要有大规模可编程逻辑器件、硬件描述语言、软件开发工具、实验开发系统 4 个方面内容。总体来说,可以概括为以下几点:大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体,硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段,软件开发工具是利用 EDA 技术进行电子系统设计的智能化、自动化设计工具,实验开发系统是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。

EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了 3 个发展阶段。20 世纪 70 年代,CAD 技术开始发展;20 世纪 80 年代,CAE 技术开始应用;20 世纪 90 年代后期,出现了以硬件描述语言、系统级仿真和综合技术为特征的 EDA 技术。这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计能力,具有高级抽象的设计构思手段。

(1) 第 1 阶段:20 世纪 70 年代的 CAD 技术阶段。

早期的电子系统硬件设计采用的是分立元件。随着集成电路的出现和应用,硬件设计进入到发展的初级阶段。初级阶段的硬件设计大量选用中小规模标准集成电路,人们将这些器件焊接在电路板上,做成初级电子系统,对电子系统的调试是在组装好的电路板上进行的。

由于设计师对图形符号使用数量有限,传统的手工布图方法已经无法满足产品复杂性的要求,更不能满足工作效率的要求。这时,人们开始将产品设计过程中高度重复性的繁杂劳动,如布图布线工作,用二维图形编辑与分析的 CAD 工具替代,以美国 Accel 公司开发的 Tango 布线软件为典型代表。20 世纪 70 年代,是 EDA 技术发展的初期,由于 PCB 布图布线工具受到计算机工作平台的限制,其支持的设计工作有限且性能比较差。

(2) 第 2 阶段:20 世纪 80 年代的 CAE 技术阶段。

为了满足千差万别的系统用户提出的设计要求,最好的方法就是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。微电子技术的发展,特别是可编程逻辑器件的发展,使得微电子厂家可以为用户提供各种规模的可编程逻辑器件,使设计者通过设计芯片实现电子系统功能。EDA 工具的发展,又为设计师提供了全线 EDA 工具。这个阶段发展起来的 EDA 工具,目的是在设计前期将设计师从事的许多高层次设计由工具来完成。如可以将用户要求转换为设计技术规范,有效地处理可用的设计资源与理想的设计目标之间的矛盾,按具体的硬件、软件和算法分解设计等。由于电子技术和 EDA 工具的发展,设计师可以在短时间内使用 EDA 工具,通过一些简单标准化的设计过程,利用微电子厂家提供的设计库来完成数万门 ASIC 和集成系统的设计与验证。



与 CAD 相比,CAE 增加了电路功能设计和结构设计,并且通过电气连接网表将两者结合在一起,以实现工程设计。其主要功能包括原理图输入、逻辑仿真、电路分析、自动布局布线以及 PCB 分析。但是,大部分从原理图出发的 EDA 工具仍然不能适应复杂电子系统设计的要求,而且具体化的元件图形制约着优化设计。这一阶段的主要特征是以逻辑模拟、定时分析、故障仿真、自动布局布线为核心,重点解决电路设计的功能检测等问题,使设计能在产品制作之前预知产品的功能与性能。

(3)第3阶段:20世纪90年代的 EDA 技术阶段。

20世纪90年代,设计师逐步从使用硬件转向设计硬件,从单个电子产品开发转向系统级电子产品开发,即片上系统(System on a Chip, SOC)集成。因此,包括系统行为级描述与结构综合,系统仿真与测试验证,系统划分与指标分配,系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具是以系统级设计为核心,系统划分与指标分配,系统决策与文件生成,而且能提供独立于工艺和厂家的系统级设计能力,EDA 工具不仅具有电子系统的设计能力,方框图、状态图和流程图的编辑能力,还具有高级抽象的设计构思手段。例如,提供具有适合层次描述和混合信号描述的硬件描述语言,同时含有各种工艺的标准元件库。只有具备上述功能的 EDA 工具,才可能使得电子系统工程师在不熟悉各种半导体工艺的情况下,完成电子系统的设计。

这一阶段的主要特征是以高级描述语言、系统级仿真和综合技术为特点,采用“自顶向下”的设计理念,将设计前期的许多高层次设计由 EDA 工具来完成。支持硬件描述语言的 EDA 工具的出现,使复杂数字系统设计自动化成为可能,只要用硬件描述语言将数字系统的行为描述正确,就可以进行该数字系统的芯片设计与制造。

未来的 EDA 技术将向广度和深度两个方向发展,EDA 技术将会超越电子设计的范畴进入其他领域,随着基于 EDA 的 SOC 设计技术的发展,软硬核功能库的建立,以及基于 VHDL 所谓自顶向下设计理念的确立,未来的电子系统的设计与规划将不再是电子工程师们的专利。21 世纪将是 EDA 技术快速发展的时期,并且 EDA 技术也必将是对 21 世纪产生重大影响的技术之一。

1.2 EDA 技术的核心

EDA 技术的核心主要包括大规模可编程逻辑器件、硬件描述语言、IP 核技术、软件开发工具 4 方面的内容。其中,大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体,硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段,而 IP 技术是 PLD 与 HDL 的共同发展产生的一种高效、低成本的开发方式;软件开发工具是利用 EDA 技术进行电子系统设计的智能化的自动化设计工具。为了使读者对 EDA 技术有一个总体印象,下面对 EDA 技术的主要内容进行概要介绍。

1.2.1 ASIC 及可编程逻辑器件

现代电子产品的复杂度日益加深,一个电子系统可能由数万个中小规模集成电路构成,这就带来了体积大、功耗大、可靠性差的问题。解决这一问题的有效方法就是采用专用集成电路 ASIC 芯片进行设计。ASIC 按照设计方法的不同可分为全定制 ASIC、半定制 ASIC 和



可编程 ASIC。

设计全定制 ASIC 芯片时,设计师要定义芯片上所有晶体管的几何图形和工艺规则,最后将设计结果交由 IC 厂家掩膜制造完成。这样的芯片可以获得最优的性能,但开发周期长,费用高,只适合大批量产品开发。

半定制 ASIC 芯片的版图设计方法与全定制的有所不同,分为门阵列设计法和标准单元设计法。这两种方法都是约束性的设计方法,其主要目的就是简化设计,以牺牲芯片性能为代价以缩短开发时间。

可编程 ASIC 也称为 PLD。当设计人员完成 PLD 版图设计后,在实验室内就可以烧制出自己的芯片,而无须 IC 厂家的参与。自 20 世纪 70 年代以来,PLD 经历了 PAL, GAL, CPLD, FPGA 几个发展阶段,其中 CPLD/FPGA 属高密度可编程逻辑器件,它将掩膜 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起,大大缩短了开发周期,加速了上市时间,特别适合产品的样品开发和小批量生产。而当市场扩大时,它也可以很容易地转由掩膜 ASIC 实现,因此开发风险也大为降低。

逻辑器件可分为固定逻辑器件和可编程逻辑器件两大类。如其名,固定逻辑器件中的电路是永久性的,它们完成一种或一组功能。一旦制造完成,就无法改变。另一方面,可编程逻辑器件 PLD 是能够为客户提供范围广泛的多种逻辑能力、特性、速度和电压特性的标准成品部件,而且此类器件可在任何时间改变,从而完成许多种不同的功能。

对于固定逻辑器件,根据器件复杂性的不同,从设计、原型到最终生产所需要的时间可从数月至一年多不等。而且,如果器件工作不合适,或者如果应用要求发生了变化,那么就必须开发全新的设计。设计和验证固定逻辑的前期工作需要大量的一次性工程费用(Non-Recurring Engineering, NRE)。NRE 表示在固定逻辑器件最终从芯片制造厂制造出来以前客户需要投入的所有成本,这些成本包括工程资源、昂贵的软件设计工具、用来制造芯片不同金属层的昂贵光刻掩膜组,以及初始原型器件的生产成本。这些 NRE 成本可能从数十万美元至数百万美元。

对于可编程逻辑器件,设计人员可利用价格低廉的软件工具快速开发、仿真和测试其设计。然后,可快速将设计编程到器件中,并立即在实际运行的电路中对设计进行测试。原型中使用的 PLD 器件与正式生产最终设备(如网络路由器、ADSL 调制解调器、DVD 播放器或汽车导航系统)时所使用的 PLD 完全相同。这样就没有了 NRE 成本,最终的设计也比采用定制固定逻辑器件时完成得更快。

采用 PLD 的另一个关键优点是在设计阶段中客户可根据需要修改电路,直到对设计工作感到满意为止。这是因为 PLD 基于可重写的存储器技术。需要改变设计时,只需要简单地对器件进行重新编程。一旦设计完成,客户可立即投入生产,只需要利用最终软件设计文件简单地编程所需要数量的 PLD 即可。

可编程逻辑器件的两种主要类型是现场可编程门阵列(FPGA)器件和复杂可编程逻辑(PLD)器件。在这两类可编程逻辑器件中,FPGA 提供了最高的逻辑密度、最丰富的特性和最高的性能。现在最新的 FPGA 器件,如 Xilinx Virtex 系列中的部分器件,可提供 800 万系统门(相对逻辑密度)。这些先进的器件还提供诸如内建的硬连线处理器(如 IBM Power PC)、大容量存储器、时钟管理系统等特性,并支持多种最新的超快速器件至器件(device-to-device)信号技术。FPGA 被应用于范围广泛的应用中,从数据处理和存储,以及到仪器仪表



表、电信和数字信号处理等。与此相比,PLD 提供的逻辑资源少得多,最高约一万门。但是,PLD 提供了非常好的可预测性,因此对于关键的控制应用非常理想,而且如 Xilinx Cool Runner 系列 PLD 器件需要的功耗极低。

1.2.2 硬件描述语言

HDL 是电子系统硬件行为描述、结构描述、数据流描述的语言。目前利用硬件描述语言可以进行数字电子系统的设计。随着研究的深入,利用硬件描述语言进行模拟电子系统设计或混合电子系统设计,也正在探索中。

硬件描述语言的种类很多,有的从 PASCAL 发展而来,也有一些从 C 语言发展而来。有些 HDL 成为 IEEE 标准,但大部分是本企业标准。在 HDL 形成发展之前,已有了许多程序设计语言,例如,汇编、C、PASCAL、FORTRAN、PROLOG 等。这些语言运行在不同硬件平台、不同的操作环境中,它们适合于描述过程和算法,不适合做硬件描述。在利用 EDA 工具进行电子设计时,逻辑图、分立电子元件作为整个越来越复杂的电子系统的设计已不适应。任何一种 EDA 工具,都需要一种硬件描述语言作为 EDA 工具的工作语言。

常用的硬件描述语言有 VHDL 和 Verilog。VHDL 作为 IEEE 的工业标准硬件描述语言,在电子工程领域已成为事实上的通用硬件描述语言。Verilog 支持的 EDA 工具较多,适用于寄存器传输级(Register-Transfer Level, RTL)和门电路级的描述,其综合过程较 VHDL 稍简单,但其在高级描述方面不如 VHDL。

1.2.3 IP 核

IP 核(Intellectual Property core)是一段具有特定电路功能的硬件描述语言程序,该程序与集成电路工艺无关,可以移植到不同的半导体工艺中去生产集成电路芯片。利用 IP 核设计电子系统,引用方便,修改基本元件的功能容易。具有复杂功能和商业价值的 IP 核一般具有知识产权,尽管 IP 核的市场活动还不规范,但是仍有许多集成电路设计公司从事 IP 核的设计、开发和营销工作。IP 核可以在不同的硬件描述级实现,由此产生了 3 类 IP 核:软 IP 核、硬 IP 核和固 IP 核。这种分类主要依据产品交付的方式,而这 3 种 IP 核实现方法也各具特色。

软 IP 核是用 VHDL 等硬件描述语言描述的功能块,但是并不涉及用什么具体电路元件实现这些功能。软 IP 核通常是以硬件描述语言 HDL 源文件的形式出现,应用开发过程与普通的 HDL 设计也十分相似,只是所需的开发软硬件环境比较昂贵。软 IP 核的设计周期短,设计投入少。由于不涉及物理实现,为后续设计留有很大的发挥空间,增大了 IP 核的灵活性和适应性。其主要缺点是在一定程度上使后续工序无法适应整体设计,从而需要一定程度的软 IP 核修正,在性能上也不可能获得全面的优化。由于软 IP 核是以源代码的形式提供,尽管源代码可以采用加密方法,但其知识产权保护问题不容忽视。

硬 IP 核提供了设计阶段最终阶段产品:掩膜。硬 IP 核是以经过完全的布局布线的网表形式提供,这种硬 IP 核既具有可预见性,同时还可以针对特定工艺或购买商进行功耗和尺寸上的优化。尽管硬 IP 核因为缺乏灵活性而可移植性差,但由于无须提供寄存器传输级 RTL 文件,因而更易于实现 IP 核保护。

固 IP 核则是软 IP 核和硬 IP 核的折中。大多数应用于 FPGA 的 IP 核均为软 IP 核,软



IP 核有助于用户调节参数并增强可复用性。软 IP 核通常以加密形式提供,这样实际的 RTL 对用户是不可见的,但布局和布线灵活。在这些加密的软 IP 核中,如果对内核进行了参数化,那么用户就可通过头文件或图形用户接口方便地对参数进行操作。对于那些对时序要求严格的内核(如 PCI 接口内核),可对特定信号进行预布线或分配特定的布线资源,以满足时序要求。这些内核均可归类为固 IP 核。由于内核是预先设计的代码模块,因此有可能影响包含该内核的整体设计。由于内核的建立、保持时间和握手信号都可能是固定的,因此在设计其他电路时都必须考虑与该内核进行正确的接口。如果内核具有固定布局或部分固定的布局,那么这还将影响其他电路的布局。

IP 核将一些在数字电路中常用但比较复杂的功能块,如 FIR 滤波器、SDRAM 控制器、PCI 接口等设计成可修改参数的模块。IP 核的重用是设计人员赢得迅速上市时间的主要策略。随着 CPLD/FPGA 的规模越来越大,设计越来越复杂(IC 的复杂度以每年 55% 的速率递增,而设计能力每年仅提高 21%),设计者的主要任务是在规定的时间周期内完成复杂的设计。调用 IP 核能避免重复劳动,大大减轻工程师的负担,因此使用 IP 核是一个发展趋势。

1.3 VHDL 特点及优势

1.3.1 VHDL 概述

VHDL 的英文全名是 Very-High-Speed Integrated Circuit Hardware Description Language,翻译成中文就是超高速集成电路硬件描述语言,它的应用主要是在数字电路的设计中,诞生于 1982 年。1987 年底,VHDL 被 IEEE 和美国国防部确认为标准硬件描述语言。它最初是由美国国防部开发出来供美国军队用来提高设计的可靠性和缩减开发周期的一种使用范围较小的设计语言。自 IEEE 公布了 VHDL 的标准版本,IEEE-1076 版本(简称 87 版)之后,各 EDA 公司相继推出了自己的 VHDL 设计环境,或宣布自己的设计工具可以和 VHDL 接口。此后 VHDL 在电子设计领域得到了广泛的接受,并逐步取代了原有的非标准的硬件描述语言。1993 年,IEEE 对 VHDL 进行了修订,从更高的抽象层次和系统描述能力上扩展 VHDL 的内容,公布了新版本的 VHDL,即 IEEE 标准的 1076-1993 版本(简称 93 版)。现在,VHDL 和 Verilog 作为 IEEE 的工业标准硬件描述语言,又得到众多 EDA 公司的支持,在电子工程领域已成为事实上的通用硬件描述语言。目前,它在中国的应用多数是用于在 FPGA,CPLD 和 EPLD 的设计中;在另一些有更高需求的应用中,它也被用来设计 ASIC。

1.3.2 VHDL 特点

VHDL 与其他硬件描述语言相比,具有以下一些特点:

(1) 功能强大、设计灵活。VHDL 具有功能强大的语言结构,可以用简洁明确的源代码来描述复杂的逻辑控制。它具有多层次的设计描述功能,层层细化,最后可直接生成电路级描述。VHDL 支持同步电路、异步电路和随机电路的设计,这是其他硬件描述语言所不能比拟的。VHDL 还支持各种设计方法,既支持自底向上的设计又支持自顶向下的设计,既支持模块化设计又支持层次化设计。