

7天搞定FPGA

——Robei与Xilinx实战

◎ 吴国盛 编著



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

DETECTION PROCESS 99%

7天搞定FPGA

——Robei与Xilinx实战

吴国盛 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

中国的集成电路产业的落后不仅体现在制作工艺上,也体现在设计工具上。本书采用了 Xilinx 最新的设计工具 Vivado 和带 ARM Cortex-A9 硬核的第七代 FPGA,以简单易用的 Robei 可视化芯片设计软件为基础,重点讲述集成电路可视化的框图设计模式,并循序渐进,逐步引导读者从零开始掌握 Verilog 语言和集成电路设计方式。Robei 软件是小巧而灵活的芯片设计仿真工具,对系统要求不高,设计响应快,具有很多开放设计模型。

本书结构一改传统说教方式,主张实践中学习,强调动手能力,为读者划分了七天的学习内容,每一天的内容都非常充实,只有在实战中摸爬滚打,才能领悟更深。

读者可以是零基础的初学者,也可以是学过 C 语言又想学习硬件设计的学生、工程师。有经验的工程师和老师也可以通过本书快速了解 Vivado 设计工具以及 ZynQ 开发板。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

7 天搞定 FPGA: Robei 与 Xilinx 实战/吴国盛编著. —北京:电子工业出版社,2016.4

ISBN 978-7-121-28310-9

I. ①7… II. ①吴… III. ①可程序逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2016)第 049158 号

责任编辑:曲 昕 文字编辑:康 霞

印 刷:三河市华成印务有限公司

装 订:三河市华成印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1 092 1/16 印张:12.25 字数:298 千字

版 次:2016 年 4 月第 1 版

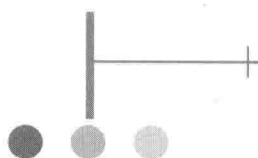
印 次:2016 年 4 月第 1 次印刷

定 价:39.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。



前言

集成电路设计软件目前在上世界上只有几家公司在做，主要分布在欧美国家，国内的集成电路设计软件知识产权意识仍较薄弱。“工欲善其事，必先利其器”，中国要想大力发展集成电路产业，首先要有自主知识产权的集成电路设计工具。

Robei 是一款拥有自主知识产权的集成电路设计工具，不仅具备传统设计工具的代码编写、编译、仿真功能，更增加了可视化和模块化设计理念，具有模块设计透明化、方便模块重新利用、加快设计进度的特点。

传统的集成电路设计工具庞大、复杂、难用，很不容易入门。初学者一般会经历感兴趣→迷茫→头疼→失去兴趣→悟道→加深兴趣→痴迷的过程，其中很大一批人在中间过程中就放弃了。本书可以让初学者平稳而快速地过渡到悟道阶段，并提出“7 天搞定 FPGA”的方案，为初学者扫平了学习集成电路的荆棘，将泥泞的土路打造成了高铁，为更多人在集成电路学习的道路上保驾护航。

目前的部分专业书籍，知识体系较固化，让初学者摸不清头脑。本书采用了初学者教初学者的方式，通过初学者在学习过程中的整理，把学习心得编写成案例。案例丰富、讲解精练，更加贴合读者的需求。

参与本书编写和校对工作的主要有吴国盛、郑显通、杨立国、王帅、程浩武、许美、杨玮嘉。由于编写时间仓促，编者水平有限，书中难免出现纰漏和错误，敬请批评指正。

在本书付梓之际，感谢美国 5C Group 创始人 Paul Yih 博士，中国科学院微电子研究所于芳教授，江西科技师范大学通信与电子学院詹华群教授在若贝的发展过程中给予的大力支持和帮助。谨向为本书付出辛勤劳动的青岛若贝电子有限公司的相关人员，致以诚挚的谢意！

编著者



第一天 认识工具，掌握基础	1
1.1 为什么要选择 Robei	1
1.1.1 背景介绍	1
1.1.2 EDA 的发展史	2
1.1.3 Robei 的优势	5
1.2 安装与注册	7
1.2.1 安装	7
1.2.2 注册	11
1.3 如何使用 Robei	12
1.3.1 菜单和工具条	13
1.3.2 工具箱	13
1.3.3 属性栏	14
1.3.4 工作空间	14
1.3.5 输出	15
1.4 Robei 三元素	15
1.4.1 模块	15
1.4.2 引脚	17
1.4.3 连接线	18
1.5 Verilog 基础	19
1.5.1 数据	19
1.5.2 运算符	20
1.5.3 结构声明	20
1.5.4 代码撰写	22
1.5.5 一个模块的总结	25
第二天 实例入手，体验 Robei	27
2.1 实例一 逻辑门设计	27
2.1.1 实例简介	27
2.1.2 设计流程	28
2.1.3 问题与思考	32

2.1.4 常见问题	33
2.2 实例二 计数器	33
2.2.1 实例简介	33
2.2.2 设计流程	34
2.2.3 问题与思考	38
2.3 实例三 编译码器	38
2.3.1 实例简介	38
2.3.2 设计流程	38
2.3.3 问题与思考	43
2.4 实例四 ALU 设计	43
2.4.1 实例简介	43
2.4.2 设计流程	43
2.4.3 问题与思考	54
第三天 动手实战, 板上点灯	55
3.1 实例五 Robei 和 Vivado 的联合设计——流水灯设计	55
3.1.1 实例简介	55
3.1.2 Robei 设计内容	56
3.1.3 Vivado 设计内容	60
3.1.4 总结	71
3.2 实例六 自动售饮料机	71
3.2.1 实例简介	71
3.2.2 设计流程	72
3.2.3 板级验证	76
3.2.4 问题与思考	83
第四天 复杂运算, 板级体验	84
4.1 实例七 8 位移位寄存器的设计	84
4.1.1 实例简介	84
4.1.2 设计流程	84
4.1.3 板级验证	88
4.1.4 问题与思考	96
4.2 实例八 带符号位小数的加法设计	96
4.2.1 实例介绍	96
4.2.2 设计流程	97
4.2.3 板级验证	101
4.2.4 问题与思考	109
4.3 实例九 除法器设计	109
4.3.1 实例简介	109

4.3.2	设计流程	110
4.3.3	板级验证	116
4.3.4	问题与思考	123
第五天	认识协议，操作接口	124
5.1	实例十 FIFO	124
5.1.1	实例简介	124
5.1.2	设计流程	126
5.1.3	板级验证	131
5.1.4	问题与思考	139
5.2	实例十一 SPI 总线接口的 verilog 的实现	139
5.2.1	实例简介	139
5.2.2	设计流程	140
5.2.3	SPI 接口协议的板级验证	145
5.2.4	问题与思考	149
第六天	串口通信，系统设计	150
6.1	实例十二 UART 的发送与接收模块设计	150
6.1.1	实例简介	150
6.1.2	设计流程	151
6.1.3	问题与思考	159
6.2	实例十三 Natalius 8 位 RISC 处理器	159
6.2.1	实例简介	159
6.2.2	设计流程	164
6.2.3	问题与挑战	183
第七天	总结反思，项目挑战	184
	参考文献	185

第一天

认识工具，掌握基础

通过今天的学习，读者可以了解集成电路设计工具的历史背景，同时熟悉国内外的产业差距。今天的学习将为后面的操作打下基础，读者要尽可能地熟悉软件和 Verilog 语法，了解 Robei 软件的结构和操作系统，并知道如何注册和寻找 Robei 资源。今天学习完成后，熟悉 Verilog 语言的读者可以加深记忆，即使刚刚开始学习 FPGA 设计的读者也可以轻松掌握 Verilog 语言的结构和语法。

1.1 为什么要选择 Robei

1.1.1 背景介绍

提供 EDA 设计工具的厂家有 Cadence、Synopsys、Mentor Graphics、Xilinx、Altera 等公司，这些公司都来自欧美国家，中国自己知识产权的 EDA 设计工具却少得可怜。国内采用的多数芯片设计工具来自国外。集成电路产业的发展依托于集成电路设计工具的发展，设计工具与集成电路产业的发展同步，就像两条腿走路，缺一不可。“工欲善其事，必先利其器”，在中国大力发展集成电路的大环境和氛围下，相对缺失的还有集成电路工具的发展。一个国家某个产业的快速繁荣不能依赖于其他国家，不能让产业的咽喉握在别的国家手里。否则产业的利润将会慢慢通过知识产权的诉讼形式流失进入工具所有国。这会导致欧美国家顺利完成产业淘汰和升级，而我国变成集成电路产业链的最低端，只能依赖微薄的利润生存，并时不时被掌握设计工具的国家过来“剪羊毛”。

欧美国家的 EDA 设计工具也联合本国的 IP 供应商，打造了一个知识产权产业链，对于一些常用的 IP 进行知识产权封锁，要求国内的生产和设计厂商进行购买，否则就无法完成整体设计。而且他们掌握着对软件和 IP 更新升级的主动权，其他人即使购买了 IP，在一定时间之后，随着版本的升级，IP 在不同的版本中并不兼容，需要继续付费升级，同时升级后的 IP 使用方法不同，这就要求国内的产业链随着软件和 IP 的升级不断更改设计，甚至重新设计，导致大量的人力、物力和财力的浪费，因为产业的依附性已经形成。

国内的高校在培养集成电路设计人才的时候，没有注重如何设计 IP。而 IP 的封闭又导致了我国集成电路产业的惰性。随着集成电路大基金的投入，集成电路制造厂的规模扩建，新生产线的上线和产能的增加，我们应如何快速培养更多的集成电路人才来设计和流片，以满足这些新增的产能和高端工艺线？

仔细分析一下集成电路设计的历史，从最早的逻辑门搭建到原理图设计（软件化的集成电路芯片模组），再到编写 Verilog 或者 VHDL 的代码（充分灵活的设计方式），每一步都是为了让设计更方便、简单、抽象。未来的 EDA 工具会怎么样？

现在的 EDA 工具设计相当灵活，全部由代码实现功能并仿真。设计过程涉及大量模块重用，进行例化，这个过程需要使用者清楚要进行例化的每个引脚和位宽，用户就需要在声明和设计中来回切换，时常查证引脚信号的定义，浪费了大量的时间。

在大型的设计中，需要对一些细节或者模块进行反复修改，一旦使用频率高的模块被修改，相关设计就要更新，这需花费大量的时间，甚至导致重新设计。如果能有一键更新，分层调整，将可以大大节约工作量。

集成电路的学习是一个痛苦而抽象的过程，它不像 C 语言软件一样，可以快速编译，所见即所得。EDA 设计中语句是并行执行的，C 语言中是串行执行的，如何能减小软件和硬件设计的鸿沟，让有 C 语言基础的人快速转变成硬件设计工程师？因为大多数 EDA 软件都是庞然巨物，要想入门 EDA，首先必须把庞然巨物下载完成后安装并熟悉使用，而一旦运行巨物，就要吞噬电脑的大量内存和计算性能。有没有办法用最小的工具完成初学者的学习任务，既让电脑运行流畅又不妨碍同时打游戏呢？

若贝公司推出的 Robei 可视化芯片设计工具是在现有的 EDA 工具的最上层加了一层，从而进行可视化的所见即所得的设计，同时向下跨越到设计仿真和波形查看，基本涵盖了设计前端的所有功能，实现 RTL 级别的设计仿真，减少了中国大部分工程师和学生对于国外 EDA 设计工具的依赖和减少国外 EDA 设计工具的进口使用量。以前，国外的 EDA 设计工具需要人手一个，这样的成本不是个人和中小公司能够负担起的，现在，采用 Robei 需要购买少量的后端设计工具，大大减小了开支。同时 Robei 支持的结构化和可视化设计，方便了模块重用，节省了设计公司和工程师的时间，提升了设计效率和设计质量。目前的集成电路工具更多是面向设计工艺的，极少从设计者和学习者的使用方便出发，而且软件动辄上吉字节或者几十吉字节，对电脑性能要求也极高。Robei 软件是一个以轻量决胜的软件，只有不到 10M，可以减少学生学习的时间，提升学习的兴趣和效率，可以为集成电路行业培养更多的人才。

Robei 打造了一个完全透明的 IP 平台，在这个平台上，我们将容纳更多会思考、会设计的工程师来打造更多更好的设计，所有的设计完全透明，用户在使用的时候可以随意更改和裁剪，也可以学习 IP 设计的相关思路。这个平台打造的是学习与贡献一体，鼓励贡献优质 IP，定期公布设计项目，让更多有思想的工程师参与项目，打造 IP 共享社区，奖励优秀设计者。本来我们集成电路设计就落后很多，如果再采用自我封闭的理念，将会导致更加落后。Robei 崇尚的是一种学完就分享的模式，让更多的设计者受益，让更大的设计变得方便可控。

1.1.2 EDA 的发展史（参见图 1-1-1 至图 1-1-3）

最早的集成电路设计是依赖于逻辑门的，用 74LS 系列的芯片进行连接，实现一些基本的功能。随着技术的发展和演进，出现了 PCB 的设计，也就是板级的设计，可以让这些

基本的逻辑单元器件布局到一个 PCB 板上实现。PCB 的设计演进也单独发展成了一个分支, 一直延续使用到现在。在集成电路历史上, 第一个可编程逻辑器件诞生于 1985 年, 由硅谷的 Xilinx 公司推出, 既然是可编程逻辑器件, 自然少不了可以用于编程的 EDA 工具。

最早的 EDA 设计工具是原理图设计方式, 原理图主要基于市场上常见的元器件进行组合连线设计。这种设计基本上是将逻辑门设计中的基础电路模块软件虚拟化之后提供在设计库中, 用户可以用来软搭建出自己需要的系统, 再写入 FPGA 中。原理图的优点是设计非常直观, 但是灵活性不够。如果在原理图中新增加一个不存在的设备器件, 往往需要写代码、打包、更新到器件库、从器件库查找并使用等过程, 一旦元器件设计有误, 就会需要重新回到代码修改并重新打包。已经在设计中存在的器件需要重新更替。流程繁复浪费了设计师大量的时间, 尤其是源代码不慎丢失, 将会直接导致模块无法修改, 设计师需要重新来做。

后来由于原理图设计中每个模块要对应于实际的芯片, 设计灵活性差, 导致后来以 VHDL 和 Verilog 为主流的代码编程设计, 所有的模块实现均采用代码编写实现。代码设计是目前非常流行的设计方式, 无论是元器件接口定义、模块例化还是功能实现, 全部用 Verilog 或者 VHDL 等语言设计实现。代码设计的优点是灵活, 想写什么器件就写什么器件, 缺陷是不够直观。工程师需要读完大段代码才能了解其功能和结构信息, 同时在撰写例化的时候, 需要依据代码进行编写例化, 要反复对照和查看接口名称和数据宽度等信息, 防止出错。例化的代码也是手写为主。

界面设计方式和代码设计方式各成一体, 相互之间交叉很少。模块化设计体现不够完美, 很多模块不公开。基于界面的设计在生成代码的过程中, 掺杂了很多冗余信号, 在出错后返回查看代码, 增加了障碍。

进入 21 世纪, 伴随着 FPGA 的功能越来越强大, 工艺越来越先进, 逻辑资源使用量已经不是设计的瓶颈, 这个时候出现了方便设计和使用的框图设计模式。较灵活的框图设计模式当属 Robei, 它采用了框图设计结构, 代码设计算法的方式, 让软件自动生成结构层代码并与用户输入的代码组合成完整的代码。这种设计方式既拥有原理图设计的直观, 又拥有代码设计的灵活性。

自 Xilinx 公司 1984 年诞生到现在, 其软件经历了 14 代以上的更新迭代。我们可以分析一下该公司的 ISE 设计工具的变化, 来分析 EDA 软件的膨胀过程。Xilinx 的 ISE 从最早的几十兆到现在的 8 个吉, 发展速度十分快, 但是软件庞大毕竟不是好事, 软件越大, 问题越多, 为了修复和维护庞大的软件, 所需要的人力成本就越高, 所以 Xilinx 公司有几千人做软件, 远远超过做硬件设计的人数。在集成电路行业, 软件的庞大司空见惯, 这是因为所有厂商都以芯片的结构为核心来设计软件, 却忽略了用户的感受。从用户角度来说, 软件的庞大

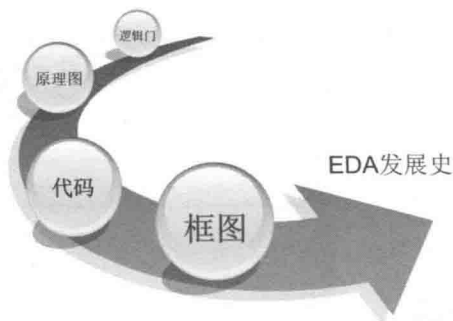


图 1-1-1

就代表着下载耗费大量的时间，学习需要比较长的周期，运用的步骤复杂，每一步都要按部就班，稍有差错就要焦头烂额。Robei 是一款面向用户的芯片设计工具，从诞生之日起，Robei 开放软件让超过 35 万人试用，得到用户的体验和感受的问题，并在之后的版本中进行不断修改演进。这些意见来自美国、加拿大、中国、欧洲、韩国、日本等国家，能够让 Robei 快速匹配来自不同地域的用户体验感受。时至今日，Robei 也在鼓励用户反馈问题，在意见采纳后，为每个用户提供奖励。

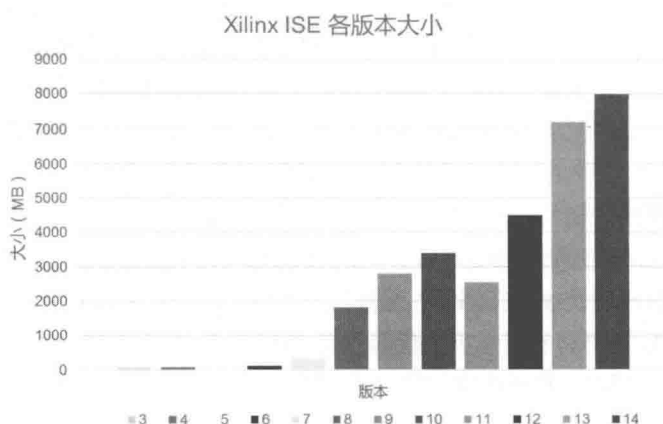


图 1-1-2

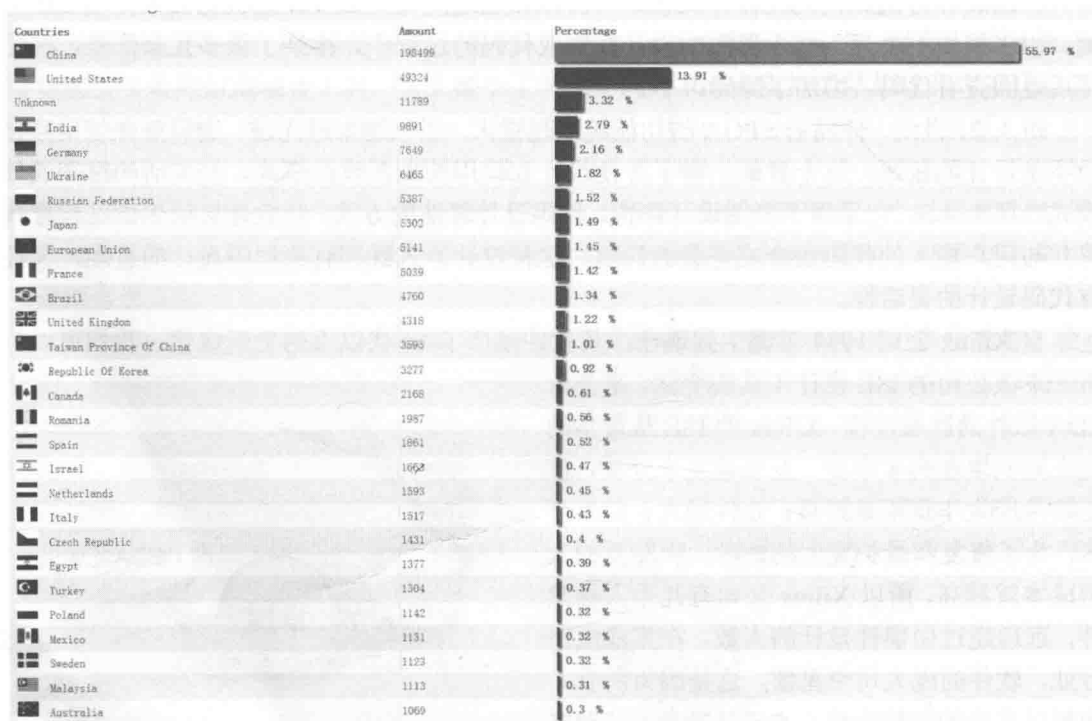


图 1-1-3

1.1.3 Robei 的优势

Robei 是一款可视化的跨平台 EDA 设计工具，提供了超级简化的设计流程、最新可视化的分层设计理念、透明的模型库，以及非常友好的用户界面。Robei 软件将芯片设计高度抽象化，并精简到三个基本元素，掌握这三个基本元素，就能很快地掌握 Robei 的使用技巧。该软件将先进的图形化与代码设计相融合，让框图与代码设计优势互补，如图 1-1-4 所示。

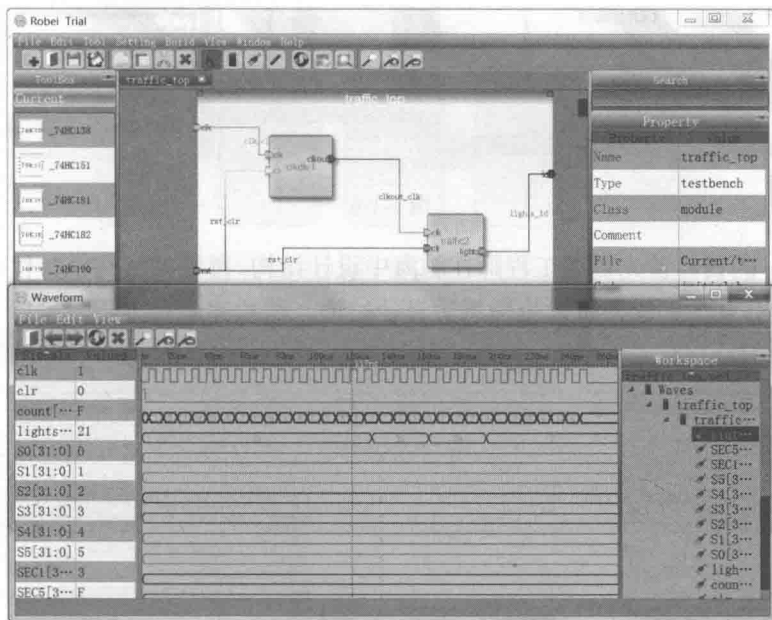


图 1-1-4

Robei 软件是在 Verilog 代码设计的基础上进一步抽象，让框图设计与代码设计实现完美融合。传统的原理图设计虽然看起来非常直观，但是灵活性差，用户要利用现成的模块来拼凑设计；而代码设计虽然相当灵活，但是代码很不直观。Robei 软件通过一种结构层面上的图形化设计，算法层面上代码输入的方式使设计更加直观灵活，如图 1-1-5 和图 1-1-6 所示。

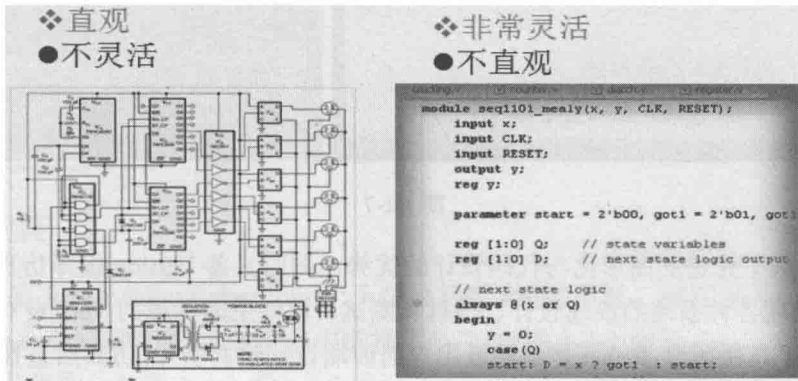


图 1-1-5

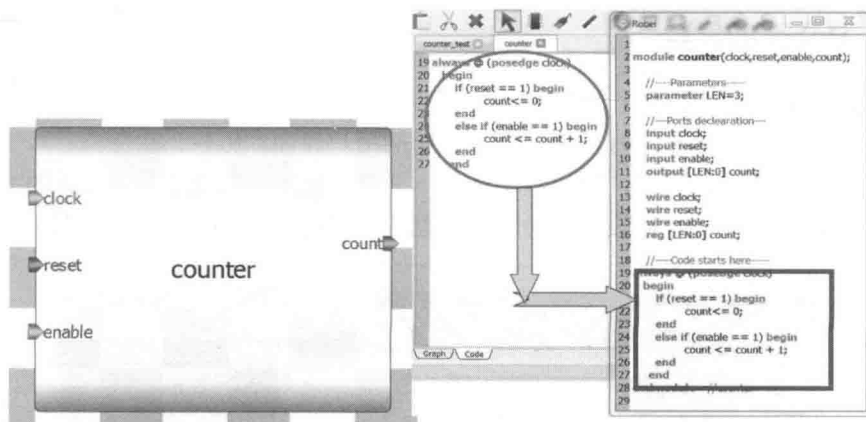


图 1-1-6

目前 EDA 的设计首先需要工程师在脑海中设计结构,再根据结构手写代码,容易出错。现在工程师利用 Robei 软件可以边构思边设计结构。结构完成后工程师可以专注于写核心算法,软件自动生成结构层的代码并与工程师输入的算法代码结合仿真。这种设计可以让工程师专注在设计算法上,而不用去记任何引脚名称和数据宽度。同时该软件将模型设计、测试文件和引脚分配集成在一个超级简化的设计流程中,进行快速设计仿真,如图 1-1-7 所示。

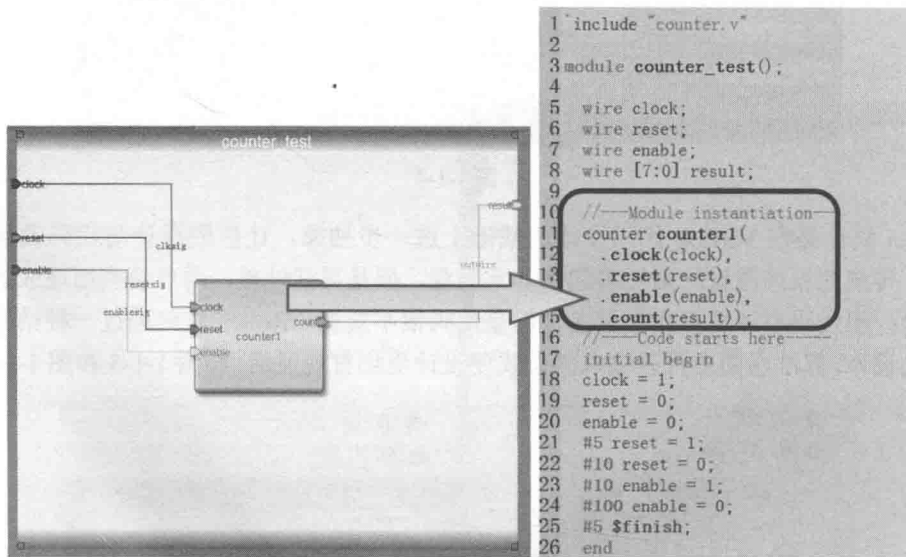


图 1-1-7

Robei 集成了先进的图形化与代码设计的优势,同时具备 Verilog 编译仿真和波形分析功能,可以实现各种系统的快速设计、仿真和测试。软件生成标准的 Verilog 代码,可直接与各种 EDA 工具相融合。Robei 是最贴近用户的前端设计仿真软件,仿真后直接生成 Verilog 代码,可以直接在其他 EDA 设计工具中使用。

Robei 也是一款跨平台的 EDA 仿真工具，不仅有 Windows、Linux、Mac OS 的版本，也有专门针对 Android 平板的版本。到目前为止，Robei 也是唯一一个可以在移动平台上设计仿真的 EDA 工具，如图 1-1-8 和 1-1-19 所示。

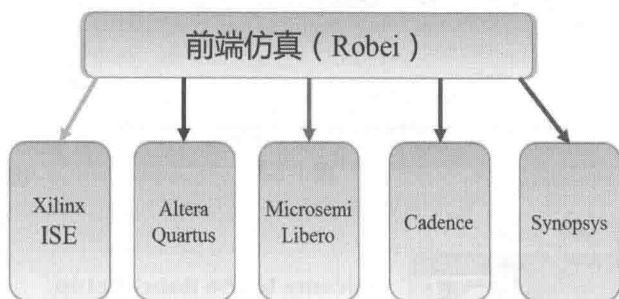


图 1-1-8

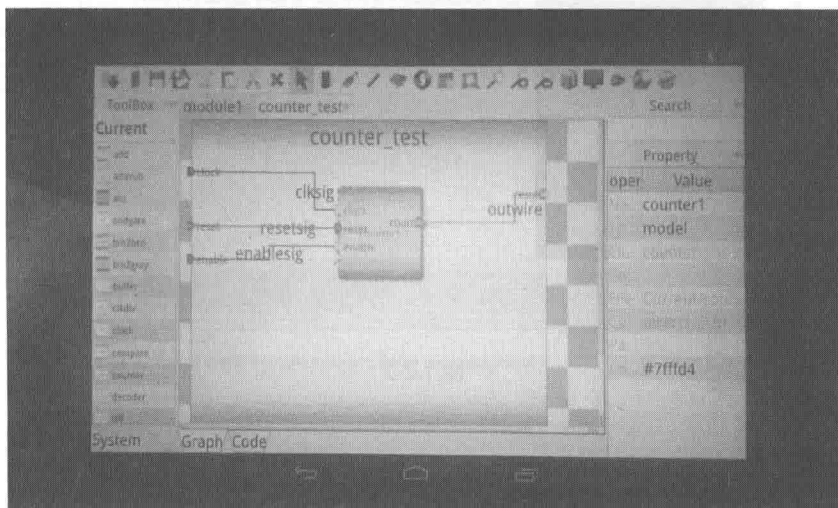


图 1-1-9

1.2 安装与注册

1.2.1 安装

从 Robei 官方网站(<http://robei.com>)上下载最新版 Robei 软件。解压 Robei.zip，然后双击 Robei-setup.exe，在弹出的安全警告中选择“是”，如图 1-2-1 所示。

Robei 安装界面，如图 1-2-2 至 1-2-7 所示。

在弹出的窗口中点“Next”。

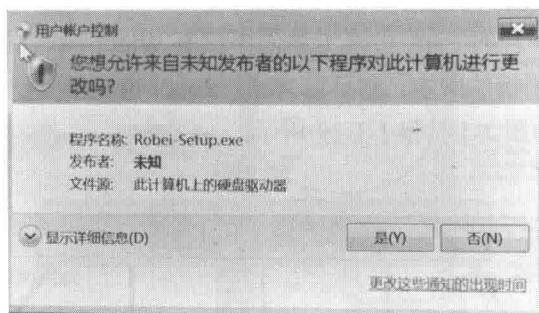


图 1-2-1



图 1-2-2

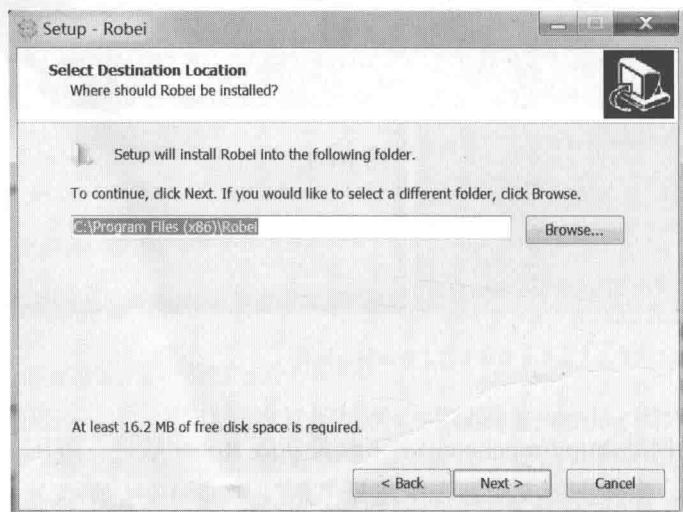


图 1-2-3

如须更换路径，可以单击“Browse...”按钮重新选择路径；如果不需要更改，继续在弹出的窗口中单击“Next”。

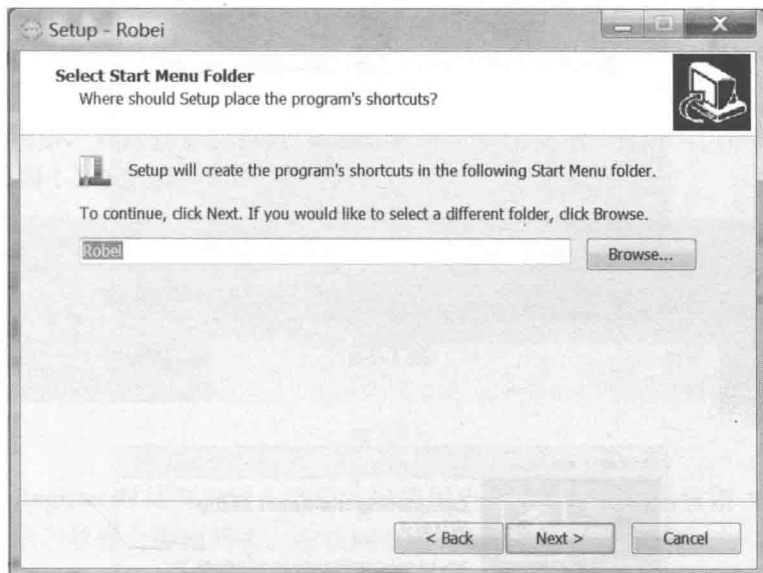


图 1-2-4

单击“Next”。

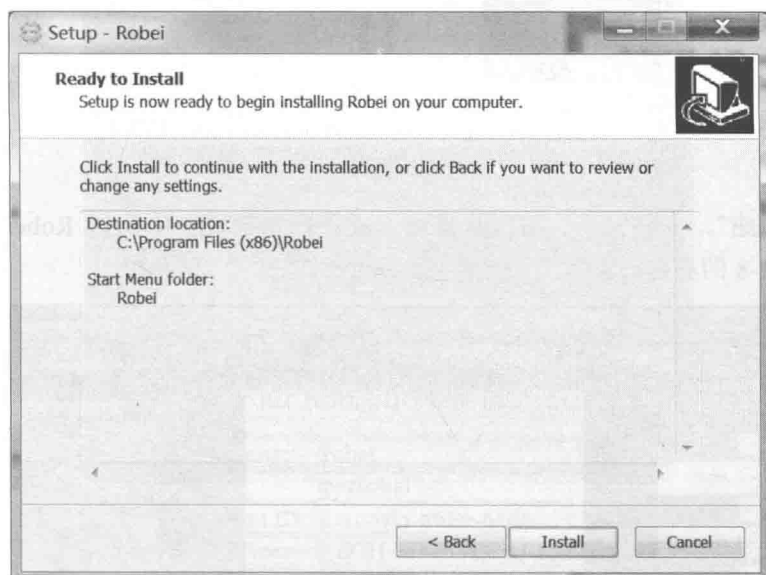


图 1-2-5

单击“Install”。

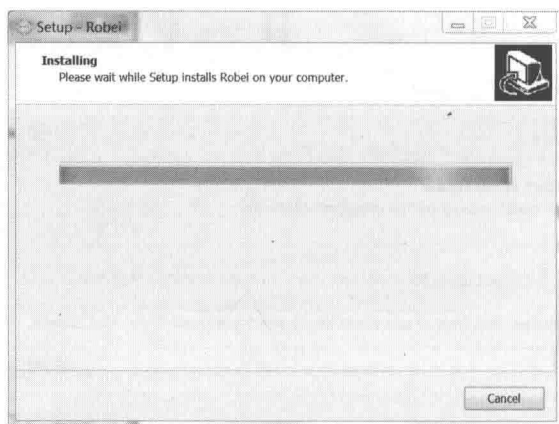


图 1-2-6

等待执行完毕。



图 1-2-7

单击“Finish”，安装完毕。可以从桌面上或者开始菜单栏中找到 Robei，启动 Robei 会看到如图 1-2-8 的界面。

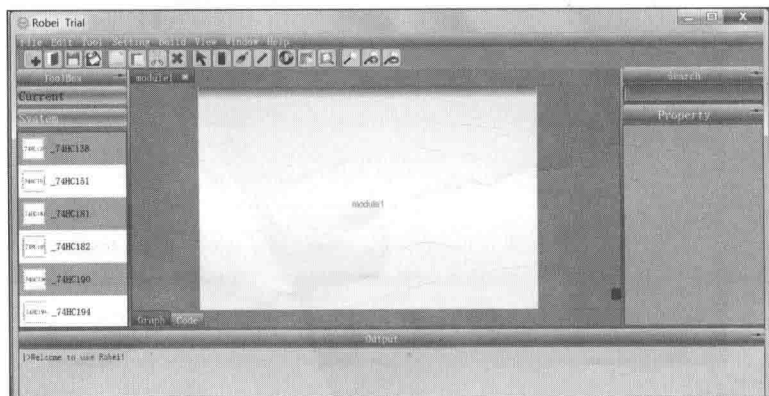


图 1-2-8