



普通高等教育“十二五”规划教材



微电子与集成电路设计系列规划教材

数字集成电路与 系统设计

◎ 李广军 郭志勇 陈亦欧 阎波 等编著



普通高等教育“十二五”规划教材
微电子与集成电路设计系列规划教材

数字集成电路与系统设计

李广军 郭志勇 等编著
陈亦欧 阎波

电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书根据数字集成电路和系统工程设计所需求的知识结构,涉及了从系统架构设计至GDS II版图文件的交付等完整的数字集成电路系统前/后端工程设计流程及关键技术。内容涵盖了VLSI设计方法、系统架构、技术规格书(SPEC)、算法建模、Verilog HDL及RTL描述、逻辑与物理综合、仿真与验证、时序分析、可测性设计、安全性设计、低功耗设计、版图设计及封装等工程设计中各阶段的核心知识点。尤其对数字信号处理器的算法建模及ASIC设计实现中的关键技术给出了详尽的描述和设计实例。

本书对希望从事数字集成电路与系统前/后端工程设计、FPGA设计开发的读者是一本很好的教材和参考书。本书适合电子与通信工程,计算机工程和自动控制等专业的高年级本科生和低年级研究生作为教材,也适合电子与通信、自动控制等领域的专业工程师阅读参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

数字集成电路与系统设计/李广军等编著. —北京:电子工业出版社, 2015.10

ISBN 978-7-121-27093-2

I. ①数… II. ①李… III. ①数字集成电路—电路设计 IV. ①TN431.2

中国版本图书馆CIP数据核字(2015)第207557号

策划编辑: 马 岚

责任编辑: 马 岚

印 刷: 三河市鑫金马印装有限公司

装 订: 三河市鑫金马印装有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 20.25 字数: 518 千字

版 次: 2015 年 10 月第 1 版

印 次: 2015 年 10 月第 1 次印刷

定 价: 48.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至zltz@phei.com.cn, 盗版侵权举报请发邮件至dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

正如 CDMA 之父、高通公司创始人及高通首席科学家，安德鲁·维特比所言：在信息行业，信息论是方向盘，集成电路是引擎。集成电路已成为现代信息社会的基础以及电子系统的核心，在经济建设、社会发展和国家安全领域占据至关重要的战略地位，并具有不可替代的关键作用。但是，作为全球最大的集成电路市场，目前中国核心半导体芯片(计算机、通信、存储芯片等)大部分仍依赖于进口，中国半导体芯片的进口额已超过了石油的进口额。

随着中国集成电路产业的重要性的规模和持续且迅速地提升，对集成电路人才的需求持续增长。如今的集成电路设计是系统导向、IP 导向，集成电路设计工程已成为渗透多个学科、战略性与高技术产业相结合的综合性的工程领域。

集成电路及系统设计技术为现代无线通信、导航、定位、传感、识别等信息系统提供了关键的核心元器件及集成组件，对现代各种有线/无线技术的发展和成功起到了关键的作用，已成为现代电子信息技术的基础和核心，是国防安全、信息安全等领域的关键核心技术。

近 20 年来，电子科技大学通信集成电路与系统工程中心一直从事可编程 ASIC 设计、数字集成电路与系统设计、嵌入式系统设计等相关领域的教学和科研工作。在 2000 年，我们和清华大学孟宪元教授合作编写的《可编程 ASIC 设计》教科书被多所高校采用。2003 年，该书被教育部评为研究生推荐教材。

由于国内的集成电路设计水平和生产制造环境所限，近十余年我们陆续采用了美国科罗拉多大学、美国东北大学、美国德州大学达拉斯分校、瑞士苏黎世联邦理工学院的数字集成电路设计和 ASIC 设计的教科书，至今已历经 10 余届研究生、本科生的教学实践。从 21 世纪初，我们陆续承担了国家 863 项目、国家重大科技专项、国际合作等多个数字集成电路与系统、数模混合 SoC 芯片的设计研发工作，积累了较丰富的数字集成电路与系统设计的教学和科研经验。我们深知，一个数字集成电路设计工程师最迫切需要了解和掌握什么，如何具有在最短的时间里承担、完成实际集成电路工程设计任务的能力。

我们深刻体会到，随着 ICT 行业的飞速发展，目前我国的数字集成电路与系统芯片的设计水平与 20 世纪相比已有本质的差别和飞跃，社会和行业已对大学生的数字集成电路与系统设计的知识与能力提出了很高的要求。据此，我们在学习、吸收国外先进教学理念和体系的基础上，根据国内集成电路设计的现状和需求编写了《数字集成电路与系统设计》这本教科书。

本书的特点是把数字集成电路和系统的前/后端设计的全流程均贯穿于书中的各个章节。根据数字集成电路和系统工程设计所需求的知识结构，本书涉及了从系统架构设计至 GDS II 版图文件交付等完整的数字 VLSI 前/后端工程设计的工业流程及关键技术。

本书内容涵盖了 VLSI 设计方法、系统架构、技术规格书(SPEC)、算法建模、Verilog HDL 及 RTL 描述、逻辑与物理综合、仿真与验证、时序分析、可测性设计、安全性设计、低功耗设计、版图设计及芯片封装等工程设计中不同阶段的核心知识点，尤其对数字信号处理器的

算法建模及 ASIC 设计实现中的关键技术给出了详尽的描述和设计实例。

本书的目的是让学生掌握数字集成电路设计工程师最迫切需要了解和掌握的知识和本领，让电子与通信工程、计算机工程、计算机科学和自动控制等专业领域的学生具有承担并完成实际集成电路工程设计任务的能力。

本书对希望从事数字集成电路与系统前 / 后端工程设计、FPGA 设计开发的读者来说都是一本很好的教材和参考书。本书适合电子与通信工程，计算机工程和自动控制等专业的高年级本科生和低年级研究生作为教材，也适合电子与通信、自动控制等领域的专业工程师阅读参考。采用本书作为教材的授课教师可登录华信教育资源网（www.hxedu.com.cn）注册下载本书教学相关资料。

本书由李广军、郭志勇、陈亦欧、阎波、林水生、黄乐天、郑植、周亮、杨海芬、姚毅共同编写，电子科技大学中山学院的杨健君博士也参加了部分编写工作，电子科技大学通信集成电路与系统工程中心的研究生对本书的部分习题和设计案例进行了仿真和验证。

本书参考了国内外著名大学的专家和教授的大量著作及文献，并得到了国内和校内著名专家和教授的建议、帮助和支持，在此表示衷心感谢。作者希望本书能对我国高校和相关行业的“数字集成电路与系统设计”的教学和科研尽些微薄之力。电子工业出版社的马岚编辑为本书的出版全过程做了大量的工作。在此，对所有为本书出版提供帮助的人士表示诚挚的谢意！

由于作者水平有限，加之时间仓促，本书还有许多不尽人意之处，我们盼望着使用本书的教师和读者提出宝贵的意见，也热切地期待得到同行的建议和指教。

目 录

第 1 章 绪论	(1)	1.4.5 现场可编程门阵列 (FPGA)	(17)
1.1 集成电路的发展简史	(2)	1.4.6 结构化 ASIC(无通道门阵列)	(18)
1.2 集成电路产业链(行业)概述	(3)	1.5 版图层和设计规则	(18)
1.2.1 电子设计自动化行业	(4)	1.5.1 版图层集成电路	(18)
1.2.2 IP 行业	(6)	1.5.2 设计规则	(19)
1.2.3 集成电路设计服务行业	(6)	1.6 目前面临的问题和发展方向	(19)
1.2.4 集成电路设计行业	(7)	1.6.1 物理综合技术	(20)
1.2.5 集成电路晶圆制造行业	(8)	1.6.2 设计重用和片上系统	(21)
1.2.6 封装测试行业	(8)	1.6.3 片上网络	(21)
1.2.7 半导体设备与材料行业	(9)	1.6.4 FPGA 的动态可重构和异构计算	(23)
1.2.8 集成电路分销代理行业	(9)	1.6.5 演化硬件电路和系统	(26)
1.3 VLSI 设计流程	(10)	参考文献	(30)
1.3.1 系统规范(System Specification)	(10)	习题	(30)
1.3.2 架构设计(Architecture Exploration)	(10)	第 2 章 可编程逻辑器件及现场可编程门阵列	(31)
1.3.3 逻辑功能设计与综合(Logic Design and Syntheses)	(11)	2.1 可编程逻辑器件的分类及现状	(31)
1.3.4 电路设计、综合与验证(Circuit Design, Syntheses and Verification)	(11)	2.2 半导体存储器及其组合逻辑实现	(32)
1.3.5 物理设计(Physical Design)	(12)	2.2.1 存储器件	(32)
1.3.6 物理验证(Physical Verification)	(13)	2.2.2 基于存储器 ROM/RAM 的组合逻辑及状态机实现	(36)
1.3.7 制造(Manufacture)	(13)	2.3 可编程逻辑器件	(37)
1.3.8 封装和测试 (Packaging and Testing)	(14)	2.3.1 可编程逻辑阵列	(38)
1.4 VLSI 设计模式	(14)	2.3.2 可编程阵列逻辑	(39)
1.4.1 全定制设计	(14)	2.3.3 复杂可编程逻辑器件	(40)
1.4.2 标准单元设计	(15)	2.4 现场可编程门阵列	(41)
1.4.3 宏单元	(17)	2.4.1 FPGA 的典型结构	(41)
1.4.4 门阵列	(17)	2.4.2 基于 SRAM 的 FPGA	(46)
		2.4.3 基于反熔丝多路开关	

	(MUX)的FPGA	(48)		3.4.2 RTL设计	(86)
2.4.4	Xilinx和Altera的系列FPGA	(51)		3.4.3 可测性设计	(87)
2.5	基于Verilog的FPGA设计流程	(53)	3.5	综合	(87)
2.5.1	架构设计	(54)	3.6	时序验证	(89)
2.5.2	设计输入	(55)	3.6.1	动态时序仿真和静态时序分析	(89)
2.5.3	RTL设计	(57)	3.6.2	时序收敛	(90)
2.5.4	FPGA综合	(58)	3.7	原型验证	(90)
2.5.5	布局布线	(60)	3.8	后端设计	(92)
2.5.6	仿真与验证	(61)	3.9	CMOS工艺选择	(93)
2.5.7	基于ModelSim的设计与仿真流程	(63)	3.10	封装	(93)
2.5.8	基于IP的FPGA嵌入式系统设计	(65)	3.11	生产测试	(95)
2.6	ASIC设计与FPGA设计之间的移植	(69)	3.12	集成电路产业的变革及对设计方法的影响	(96)
2.6.1	可供选择的设计方法	(69)		参考文献	(97)
2.6.2	FPGA之间的转换	(69)		习题	(97)
2.6.3	FPGA到ASIC的转换	(69)	第4章	Verilog HDL基础	(98)
2.6.4	ASIC到FPGA的转换	(70)	4.1	Verilog HDL的基本结构及描述方式	(99)
2.7	FPGA的安全性设计	(71)	4.1.1	模块的结构	(99)
2.7.1	设备对FPGA日益增加的依赖	(71)	4.1.2	Verilog中的标识符	(99)
2.7.2	FPGA的安全设计及技术要点	(74)	4.1.3	Verilog中的端口和内部变量的定义	(100)
	参考文献	(77)	4.1.4	结构定义语句	(100)
	习题	(78)	4.1.5	注释语句	(101)
			4.1.6	Verilog原语(Primitives)	(102)
第3章	数字集成电路系统设计工程	(79)	4.2	Verilog中的常量、变量和数据类型	(104)
3.1	数字集成电路设计的基本流程	(79)	4.2.1	数字声明	(104)
3.2	需求分析和设计规格书	(80)	4.2.2	常量、变量和运算表达式	(106)
3.3	算法和架构设计	(81)	4.3	赋值语句	(110)
3.3.1	算法设计	(81)	4.3.1	连续赋值语句	(110)
3.3.2	架构设计	(82)	4.3.2	过程赋值语句	(111)
3.4	模块设计、RTL设计和可测性设计	(84)	4.3.3	块语句	(112)
3.4.1	模块设计	(84)	4.4	电路功能描述方式	(114)
			4.4.1	数据流描述方式	(114)
			4.4.2	行为描述方式	(115)

4.4.3	结构描述方式	(118)	5.4.3	D 触发器	(157)
4.4.4	混合描述方式	(119)	5.4.4	计数器	(158)
4.5	门电路的传输延迟	(120)	5.5	有限状态机设计	(161)
4.5.1	惯性延迟	(121)	5.5.1	有限状态机的基本概念	(161)
4.5.2	传输延迟	(122)	5.5.2	状态机的描述和基本语法	(165)
4.5.3	模块路径延迟	(122)	5.5.3	状态机设计流程和设计 准则	(167)
4.5.4	延迟建模的表达式	(123)	5.5.4	状态机的描述风格	(169)
4.6	数字逻辑验证和仿真	(123)	5.5.5	状态机设计的建模技巧	(173)
4.6.1	数字逻辑验证的 4 个 阶段	(124)	参考文献		(174)
4.6.2	逻辑仿真	(126)	习题		(175)
4.7	测试平台 testbench 及仿真 设计	(128)	第 6 章	数字信号处理器的算法、架构 及实现	(176)
4.7.1	testbench 的概念及结构	(129)	6.1	数字信号处理的算法分析与 实现	(176)
4.7.2	testbench 的编写	(131)	6.1.1	算法分解的基础理论	(176)
参考文献		(140)	6.1.2	基本算法分析	(178)
习题		(141)	6.2	信号处理器的基本运算模型及 实现	(181)
第 5 章	数字逻辑电路的 Verilog RTL 建模和设计	(143)	6.2.1	加法器、乘法器和延迟 单元	(181)
5.1	数字系统的数据通路和 控制器	(144)	6.2.2	积分器和微分器	(182)
5.1.1	数据通路	(145)	6.2.3	抽样和插值滤波器	(183)
5.1.2	控制部分	(146)	6.3	数字滤波器的工作原理及实现 结构	(185)
5.2	Verilog 的寄存器传输级 (RTL) 设计流程	(146)	6.3.1	数字滤波器的特点	(185)
5.2.1	寄存器传输级概念和模型	(146)	6.3.2	FIR 数字滤波器的工作 原理	(186)
5.2.2	寄存器传输级的基本特点	(148)	6.3.3	FIR 滤波器技术参数及设计 步骤	(188)
5.2.3	寄存器传输级的设计步骤	(149)	6.3.4	FIR 滤波器的设计方案	(190)
5.2.4	寄存器传输级设计与行为 级设计的区别	(150)	6.3.5	FIR 滤波器的一般实现 结构	(191)
5.3	基本组合电路设计	(151)	6.3.6	FIR 滤波器的抽头系数 编码	(195)
5.3.1	多路选择器	(151)	6.4	FIR 数字滤波器的 Verilog 描述及实现	(196)
5.3.2	译码器	(153)	6.4.1	数字信号处理系统的设计	
5.3.3	行波进位加法器和超前进 位全加器	(154)			
5.4	基本时序电路设计	(156)			
5.4.1	存储元件的基本特点	(156)			
5.4.2	锁存器	(157)			

流程·····	(196)	7.6.1 边界扫描法的基本结构···	(233)
6.4.2 FIR 滤波器的 Verilog 设计		7.6.2 JTAG 和 IEEE 1149.1	
举例·····	(198)	标准·····	(236)
6.4.3 数字相关器的 Verilog 设计		7.6.3 边界扫描设计流程·····	(239)
举例·····	(207)	参考文献·····	(239)
6.5 数字信号处理器的有限字长		习题·····	(240)
效应·····	(209)	第 8 章 物理设计 ·····	(241)
6.5.1 数字信号处理器的主要误		8.1 数字集成电路的后端设计···	(241)
差源·····	(209)	8.1.1 数字集成电路的前端设计	
6.5.2 有限字长的影响·····	(210)	和后端设计·····	(241)
6.5.3 减缓舍入误差的措施·····	(212)	8.1.2 数字集成电路的前端	
参考文献·····	(213)	设计·····	(241)
习题·····	(214)	8.1.3 数字集成电路的后端	
第 7 章 可测性设计 ·····	(216)	设计·····	(243)
7.1 测试和可测性设计的基本		8.2 半导体制造工艺简介·····	(243)
概念·····	(216)	8.2.1 单晶硅和多晶硅·····	(244)
7.1.1 故障测试基本概念和过程·	(216)	8.2.2 氧化工艺·····	(244)
7.1.2 自动测试设备·····	(217)	8.2.3 掺杂工艺·····	(244)
7.2 故障建模及 ATPG 原理·····	(218)	8.2.4 掩模的制版工艺·····	(245)
7.2.1 故障建模的基本概念·····	(219)	8.2.5 光刻工艺·····	(245)
7.2.2 数字逻辑单元中的常见		8.2.6 金属化工艺·····	(246)
故障模型·····	(219)	8.3 版图设计规则·····	(246)
7.2.3 存储器的故障模型·····	(221)	8.3.1 版图设计规则·····	(247)
7.2.4 故障测试覆盖率和成品率·	(222)	8.3.2 版图设计规则的几何	
7.2.5 ATPG 的工作原理·····	(223)	约束·····	(249)
7.2.6 ATPG 的设计流程和工具·	(224)	8.4 版图设计·····	(251)
7.3 可测性设计·····	(225)	8.4.1 布局规划·····	(251)
7.3.1 电路的可测性·····	(225)	8.4.2 布线·····	(255)
7.3.2 常用的可测性设计方案···	(226)	8.4.3 寄生参数提取·····	(256)
7.3.3 可测性设计的优势和		8.5 版图后验证·····	(257)
不足·····	(226)	8.5.1 设计规则检查(DRC)·····	(257)
7.4 扫描测试·····	(227)	8.5.2 版图与原理图的一致性	
7.4.1 扫描测试原理·····	(227)	检查·····	(258)
7.4.2 扫描测试的可测性设计···	(229)	8.5.3 版图后时序分析(后仿真)···	(259)
7.5 内建自测试·····	(230)	8.5.4 ECO 技术·····	(260)
7.5.1 内建自测试的基本概念···	(231)	8.5.5 噪声、VDD 压降和电迁移	
7.5.2 存储器的内建自测试·····	(231)	分析·····	(261)
7.6 边界扫描法·····	(233)	8.5.6 功耗分析·····	(263)

8.6	数据交换及检查	(264)	第 10 章	低功耗设计	(296)
8.6.1	数据交换	(264)	10.1	低功耗设计的意义	(296)
8.6.2	检查内容及方法	(265)	10.1.1	功耗问题的严重性	(296)
8.7	封装	(265)	10.1.2	低功耗设计的意义	(297)
8.7.1	封装的基本功能	(265)	10.2	低功耗设计技术的发展趋势	(297)
8.7.2	常见的封装类型	(266)	10.2.1	降低动态功耗技术趋势	(297)
8.7.3	系统级封装技术	(267)	10.2.2	降低静态功耗技术趋势	(298)
	参考文献	(270)	10.2.3	低功耗体系结构设计的趋势	(298)
	习题	(271)	10.3	在各设计抽象层次降低功耗	(299)
第 9 章	仿真验证和时序分析	(272)	10.3.1	降低动态功耗技术	(300)
9.1	仿真类型	(272)	10.3.2	降低静态功耗技术	(303)
9.2	综合后的时序仿真与验证	(274)	10.4	系统级低功耗技术	(304)
9.2.1	动态时序分析	(275)	10.4.1	硬件 / 软件划分	(304)
9.2.2	静态时序分析	(276)	10.4.2	低功耗软件和处理器	(306)
9.2.3	影响时序的因素	(280)	10.5	寄存器传输级的低功耗设计	(307)
9.3	时序规范和用于时序验证的 Verilog 系统任务	(282)	10.5.1	并行处理和流水线	(307)
9.3.1	时序规范	(282)	10.5.2	几种常见的 RTL 设计描述方法	(309)
9.3.2	时序检查验证	(283)	10.6	未来超低功耗设计的展望	(312)
9.4	延迟反标注	(288)	10.6.1	亚阈值电路	(312)
9.4.1	Verilog 中的 sdf	(289)	10.6.2	容错设计	(312)
9.4.2	在 ASIC 设计流程中使用 sdf	(290)	10.6.3	全局异步和局部同步设计	(313)
9.5	ASIC 中时序违约的消除	(291)	10.6.4	栅感应泄漏抑制方法	(313)
9.5.1	消除时序违约的可选方案	(291)		参考文献	(314)
9.5.2	利用缓冲器插入技术减少信号延迟	(292)		习题	(314)
	参考文献	(294)			
	习题	(294)			

第1章 绪 论

在信息论、计算机、晶体管和集成电路(IC)问世后半半个多世纪里,信息通信技术(Information and Communication Technologies, ICT)极大地释放了人类的能量,它所创造的价值超过了之前五千年的财富总和。ICT的核心技术包括:信息的采集、传输、处理与存储。在信息通信技术行业,存在已被实践证明的如下4个定律。

- 摩尔定律(Gordon Moore's Law):微处理器内晶体管集成度每18个月翻一番。
- 安迪-比尔定律(Andy and Bill's Law):如果保持计算能力不变,则微处理器的价格每18个月降低一半。
- 吉尔德定律(George Gilder's Law):未来25年里,主干网的带宽将每6个月增加一倍。
- 梅特卡夫定律(Bob Metcalfe's Law):网络价值与网络用户数的平方成正比,或网络的利用价值等于用户数的平方。

从整个ICT产业来看,大致可以分为硬件产业、软件产业和通信互联网产业(又称为信息服务业),而集成电路产业则覆盖了信息通信技术的上下游的多个子行业。其中,处理器CPU、内存、通信基带芯片之类的集成电路产品被认为是所有电子设备的物理核心。可以说,集成电路产业的规模和水平决定了整个信息产业的领先程度,它的发展速度直接决定了电子信息产业的发展步伐。

虽然集成电路是现代信息社会的基础以及电子系统的核心,对经济建设、社会发展和国家安全具有至关重要的战略地位和不可替代的关键作用,但是作为全球最大的集成电路市场,目前中国核心半导体芯片(计算机、通信、存储芯片等)大部分仍依赖于进口,中国半导体芯片进口额已超过了石油的进口额。

随着中国集成电路产业的重要性和规模持续且迅速地提升,对集成电路人才的需求持续增长。如今的集成电路设计是系统导向、IP导向,集成电路设计工程已成为渗透多个学科的、战略性与高技术产业相结合的综合性和工程领域。

本书的特点是把数字集成电路前后端设计的全流程均贯穿于书中的各个章节,包括项目设计规格书(SPEC)、数字滤波器、可测性设计、低功耗设计等重要的工程设计技术。书中以大量设计实例叙述了集成电路系统工程开发过程中应遵循的原则、基本方法、实用技术、设计经验与技巧。

本书的重点是数字集成电路中的系统设计、算法的前后端设计及实现。例如,ASIC/FPGA的系统划分、ASIC电路/时钟网综合、ASIC的可测性设计等。类似的设计技术可以应用到其他的实现场景,例如多芯片模块(MCM)和印制电路板(PCB)。

本书将讨论学生和设计人员都感兴趣的如下话题。

- 集成电路行业的产业链如何划分?
- 怎样写设计规格书?
- 怎样进行集成电路系统级的软、硬件划分?
- 什么是数字前端/后端设计,其分界点是什么?

- 什么是系统级综合、逻辑综合、晶体管级综合及版图级综合?
- 怎样实现从 RTL 高层逻辑设计到 GDS 生成?
- 怎样从一个网表中生成功能正确的版图?
- 有哪些主流的 EDA 软件, VLSI 设计软件怎么工作?

1.1 集成电路的发展简史

集成电路是指通过一系列的半导体加工工艺,在单个半导体晶片上,按照一定的互连关系,将晶体管、二极管等有源器件及电阻和电容等无源器件集成在一起,并完成特定功能的电子电路。集成电路采用的半导体材料通常是硅(Si),但也可以是其他材料,如砷化镓(GaAs)。

集成电路正在向着高集成度、低功耗、高性能、高可靠性的方向发展。此外,微电子学的渗透力极强,它可以和其他学科结合而衍生出一系列新的交叉学科,如微机电系统、生物芯片等。

1946年1月,美国贝尔实验室正式成立半导体研究小组,该研究小组由肖克莱(William Bradford Shockley)负责,成员包括理论物理学家巴丁(John Bardeen)和实验物理学家布拉顿(Walter Houser Brattain)。研究小组在1947年12月23日观测到了具有放大作用的晶体管,如图1-1所示。三位科学家因为发明晶体管而在1956年共同获得了诺贝尔物理学奖。

1952年5月,英国科学家达默(Geoffrey William Arnold Dummer)提出了集成电路的设想。1958年以美国德州仪器公司的科学家基尔比(Clair Kilby)为首的研究小组研制出了世界上第一块集成电路,并在1959年公布,如图1-2所示,基尔比因为发明第一块集成电路而获得了2000年的诺贝尔物理学奖。

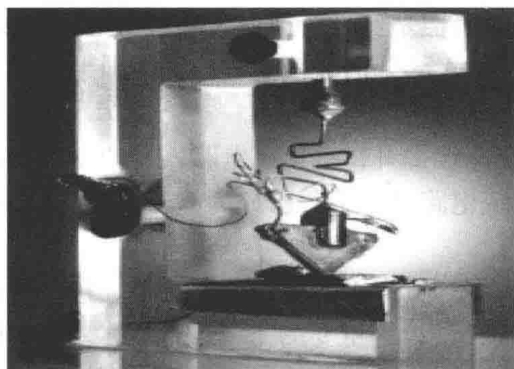


图 1-1 第一个晶体管

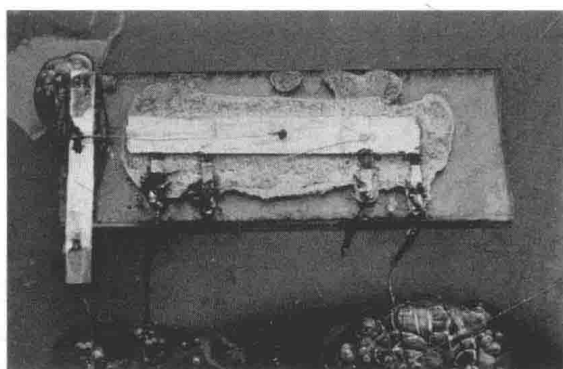


图 1-2 第一块集成电路

1959年7月,美国仙童半导体(Fairchild Semiconductor)公司的诺依斯(Robert Noyce)采用平面工艺发明了世界上第一块单片集成电路,如图1-3所示。

该单片集成电路是与现在的硅集成电路直接有关的发明。它将平面工艺、照相腐蚀和布线技术结合起来,获得了大量生产集成电路的可能性。从此,集成电路经历了小规模集成电路(SSI)、中规模集成电路(MSI)、大规模集成电路(LSI)、超大规模集成电路(VLSI)、特大规模集成电路(ULSI)的发展过程,目前还有人提出了巨大规模集成电路(GSI)的说法。集成电路的复杂度的发展情形如图1-4所示。它显示了最先进的集成电路中所包含的元件数以及这些集成电路首次公布的年份。

摩尔定律如图 1-4 所示,是由英特尔(Intel)公司创始人之一戈登·摩尔(Gordon Moore)在 1964 年提出来的。其内容为:当价格不变时,集成电路上可容纳的晶体管数目,约每 18 个月便会增加一倍,性能也将提升一倍。换言之,每一美元所能买到的电脑性能,将每 18 个月翻一倍以上。这一定律揭示了信息技术进步的速度。

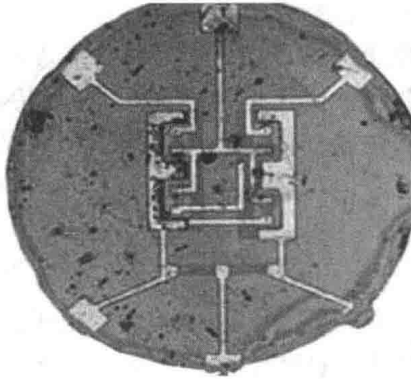


图 1-3 第一块单片集成电路

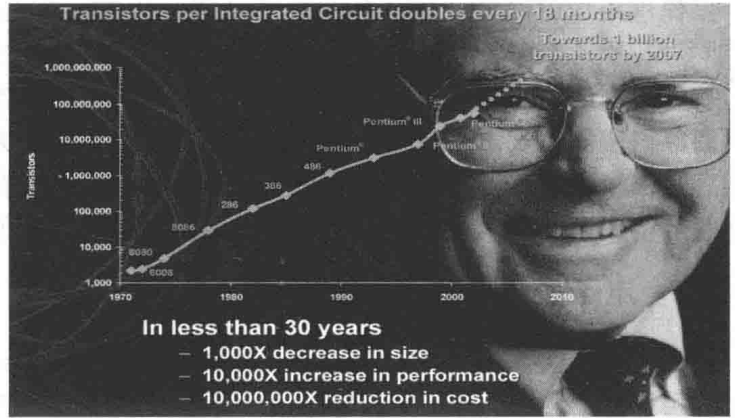


图 1-4 摩尔定律预测了每块集成电路上元件数目的增长情况

尽管这种趋势已经持续了超过半个世纪,摩尔定律仍应该被认为是观测或推测,而不是一个物理或自然法则。预计该定律将持续到至少 2015 年或 2020 年。但由于特征尺寸的缩小已接近极限,2010 年国际半导体技术发展路线图的更新增长已经放缓在 2013 年年底,之后的时间里,晶体管数量密度预计只会每 3 年翻一番。

1.2 集成电路产业链(行业)概述

一颗集成电路芯片的生命历程就是点沙成金的过程:芯片公司设计芯片,芯片代工厂生产芯片,封测厂进行封装测试,整机商采购芯片用于整机生产。按照产业链的覆盖程度,一般可将芯片供应商分为两大类:IDM 和 Fabless。

IDM 是 Integrated Device Manufacture 的缩写,即垂直集成模式,通俗理解就是集芯片设计、芯片制造、芯片封装和测试等多个产业链环节于一身的企业。有些企业甚至有自己的下游整机环节,如英特尔、三星、IBM 就是典型的 IDM 企业。

Fabless 是没有芯片加工厂的芯片供应商,Fabless 自己设计开发和推广销售芯片,与生产相关的业务则外包给专业生产制造厂商。高通(Qualcomm)、博通(Broadcom)、联发科(MTK)都是典型的 Fabless 企业。中国的海思(HiSilicon)和展讯(Spreadtrum)也是 Fabless 企业。

与 Fabless 相对应的是 Foundry(晶圆芯片生产代工厂商)和封测厂,主要承接 Fabless 的生产和封装测试任务。典型的 Foundry 包括台积电(TSMC)、GlobalFoundry、中芯国际(SMIC)和台联电(UMC)等。封测厂包括日月光(ASE)、安靠(Amkor)和江苏长电等。

一般情况下,Fabless 选择代工和封测厂主要考虑的因素包括:工艺匹配、IP 及设计服务、成本、交货周期、产品质量、沟通效率等。加工厂和封装测试厂的成本在于生产线投资和工艺开发,需要大规模的芯片出货量支撑产线的产能利润率。出货量大的 Fabless 是代工和封测厂的“金主”,小的 Fabless 有可能分不到产能。

在上述设计、代工、封测等产业链环节之外,细分出了一些其他的产业环节。芯片供应

商在设计芯片过程中需要购买 IP 核,需要采购 EDA 工具,从而细分出 IP 产业和 EDA 产业;有些芯片供应商或整机厂商将芯片设计的工作委托给设计服务公司,催生了集成电路设计服务产业;在芯片卖到整机厂商的过程中,出现了专业的芯片代理商/方案商;芯片加工厂需要购进大量的半导体设备、材料用于芯片加工,形成了半导体设备产业和材料产业等。

梳理集成电路产业链的各个环节及资金流向,会发现芯片环节是整个产业链的枢纽环节,“芯片的生命历程是点沙成金的过程”。而 IP 核供应商、EDA 供应商、芯片加工厂、封装厂和测试厂的业务收入主要来自芯片供应商,芯片供应商通过将芯片卖给整机厂商或代理商取得业务收入,实现芯片的商业价值。市场需求是决定芯片供应商是否赢利的关键,因此芯片供应商与市场需求最近。为了更好地捕捉到市场需求的快速变化,芯片供应商和集成电路分销代理商积极配合,以期拿到更多整机厂商的订单。

1.2.1 电子设计自动化行业

EDA 是电子设计自动化(Electronic Design Automation)的缩写。利用 EDA 工具,电子设计师可以从概念、算法、协议等开始设计电子系统,大量工作可以通过计算机完成。EDA 工具可以使从电子产品的电路设计、性能分析到设计出集成电路版图或 PCB 版图的整个过程,在计算机上自动处理完成。

EDA 是集成电路行业必备的设计工具软件,是集成电路产业链最上游的子行业,公司数相对少,代表企业为 Cadence, Synopsys 和 Mentor 等。“工欲善其事,必先利其器”,集成电路设计必需的也是最重要的武器就是 EDA 软件,因此随着集成电路设计复杂度的提升,新工艺的发展,集成电路产业需要更先进的武器,所以 EDA 行业还有非常大的发展空间。

EDA 工业开发软件用来支撑工程师创造新的集成电路设计。因为现在设计的复杂性高,所以 EDA 几乎涉及集成电路设计流程的各个方面,从高级系统设计到制造。EDA 将设计者的需求分为电子系统层次结构中的多个级别,包括集成电路、多芯片模块和印制电路板(PCB)。

半导体工艺的进步推动了集成电路设计技术的飞速发展。例如,在电路中集成上亿个晶体管,装配多个芯片和数以千计的引脚,以进行封装并安装到高密度互连(HDI)的具有几十个接线层的电路板。这个设计过程非常复杂且极度依赖自动化工具。也就是说,计算机软件大多用在自动设计阶段,诸如逻辑设计、仿真模拟、物理设计和验证。

EDA 最早出现在 20 世纪 60 年代,以简单程序的形式在电路板上自动布局较少数量的模块。几年后,集成电路的出现,需要使用软件来减少门级电路的总数量。如今的软件工具必须额外考虑电效应,例如相邻连线之间的信号延迟和电容耦合。在现代的 VLSI 设计流程中,基本上所有环节都采用软件来实现自动优化。

在 20 世纪 70 年代,半导体公司开发了自用的 EDA 软件,用专门方案解决公司专有设计模式。在 80 年代至 90 年代,独立软件供应商创建了能更广泛使用的新工具。这兴起了一个独立的 EDA 工业,这项工业每年提供了将近 500 亿美元的财政收入,并雇佣了大概 2 万多人。许多 EDA 公司的总部设在硅谷。现有的几个重要年度会议可以说明 EDA 工业和学术方面的发展。其中最引人关注的会议是设计自动化会议(DAC),它保持了每年一次学术座谈会和工业贸易展览。计算机辅助设计国际会议(ICCAD)着重于学术研究,其论文涉及专门的算法开发。PCB 开发者参加每年 9 月的西方 PCB 设计会议。在国外,欧洲和亚洲分别举办欧洲设计、自动化和测试会议(DATE)以及亚洲、南太平洋设计自动化会议(ASP-DAC)。全球范围的工程学会——美国电气与电子工程师学会(IEEE)出版了 IEEE 集成电路与系统的计

算机辅助技术(TCAD)月刊,而美国计算机学会(ACM)出版了ACM电子系统设计自动化汇刊(TODAES)。

1. EDA 的影响

根据摩尔定律,一个芯片上集成的晶体管数量是以指数速度增长的。历史上,这对应于每块芯片上的晶体管数量每年 58%的复合增长率。但是,对于设计者而言,设计队伍(固定规模)每年只有约 21%的复合增长率,这导致了设计生产力缺口。晶体管数量高度依赖特定情景:模拟与数字或存储与逻辑。20 世纪 90 年代中期的半导体制造技术联盟的统计数据,基本反映了标准晶体管的设计生产力。图 1-5 来自国际半导体技术蓝图(ITRS),表明了成本可行的集成电路产品需要在 EDA 技术上进行创新,这显示了 EDA 技术对整个集成电路设计生产力及其集成电路设计成本的影响。

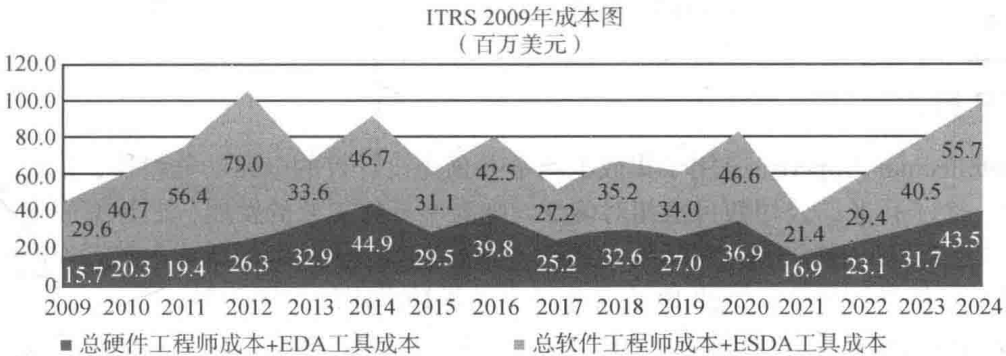


图 1-5 半导体技术蓝图项目:总硬件工程师成本+EDA 工具成本(深灰色)和总软件工程师成本+电子系统设计自动化(ESDA)工具成本(浅灰色)

如果半导体设计团队掌握了高效的设计技术,对于一个典型的便携式片上系统,例如手机的基带处理器,就能将其硬件设计成本保持在 1570 万美元(2009 年估计)。考虑相关的软件设计成本项目,总花费为 4530 万美元。如果没有 1993 年至 2007 年之间的设计技术创新及其促使设计生产率的提高,一个芯片的设计成本会是 18 亿美元,远远超过 10 亿美元。

2. EDA 的历史

当集成电路原理图输入工具开发出来后,第一款 EDA 设计工具,即能够在电路板上优化器件物理位置的布局软件,在 20 世纪 60 年代后期诞生了。此后的较短时间内,辅助电路版图和可视化的程序出现了。20 世纪 70 年代,第一个解决物理设计过程的集成电路计算机辅助设计(CAD)系统诞生了。在那个时代,大多数 CAD 工具是公司专有的,诸如 IBM 和 AT&T 贝尔实验室这些主流公司依靠自己设计的仅限内部使用的软件工具。然而,在 20 世纪 80 年代初期,独立的软件开发者开始编写工具,能为多个半导体生产公司服务。到了 90 年代,EDA 的市场飞速发展,许多设计团队采用商业工具,不再开发自己的内部软件。现在,最大的 EDA 软件设计公司,按字母序排列,分别是 Cadence Design Systems、Mentor Graphics 和 Synopsys。

EDA 工具总是面向整个设计过程的自动化的,并将设计步骤链接成一个完整的设计流。不过,这样整合存在一些问题,因为一些设计步骤需要额外的自由度,而且可扩展性要求独立处理一些设计步骤。另一方面,晶体管和连接线尺寸的持续减少,模糊了独立的连续设计

步骤的边界和抽象，及其需要在设计周期的早期进行精确计算的物理效应，例如信号延迟和耦合电容。因此，设计过程从不可再分的步骤序列(独立的)趋向于更深层次的整合。表 1.1 总结了电路和物理设计关键发展的时间表。

表 1.1 EDA 发展中关于电路和物理设计的时间表

时间周期(年)	电路和物理设计过程的发展
1950 ~ 1965	只有手工设计
1965 ~ 1975	首次开发出 PCB 的版图编辑器，例如布局和布线工具
1975 ~ 1985	更先进的集成电路和 PCB 工具，带有更复杂的算法
1985 ~ 1990	第一个性能驱动工具和版图的并行最优优化算法，更好地理解基础理论(图论、解决方案的复杂性等)
1990 ~ 2000	第一个单元上布线，第一个三维和多层的布局和布线技术。电路综合自动化和面向可布线的设计成为主流。出现并行工作负载。出现物理综合
2000 至今	在设计制造的界面出现可制造性设计(DFM)、光学邻近校正(OPC)以及其他技术。模块可重用性的提高，包括 IP 模块

1.2.2 IP 行业

IP(Intellectual Property)是用于集成电路中并预先设计好的电路功能模块，是集成电路产业链上的一个子行业，公司数目也相对偏少。随着半导体工艺的发展，芯片集成度的增加，IP 在集成电路设计中扮演越来越重要的角色，其意义在于大大缩短集成电路开发时间，提升设计质量，降低设计风险，因此 IP 也是集成电路设计常用的重要武器。

IP 复用技术前景广阔，受到集成电路设计企业的重视，IP 核已成为集成电路设计企业的一种重要知识产权。IP 核最主要的提供方包括晶圆代工厂(Foundry)和独立的 IP 核供应商。独立的 IP 核供应商的代表企业为 ARM(全球第一的 IP 供应商)和 MIPS。目前国际 IP 市场的通用商业模式是基本授权费(License Fee)和版税(Royalty)的结合：设计公司首先支付一笔不菲的 IP 技术授权费，以便获得在设计中集成该 IP 并在芯片设计完成后销售含有该 IP 芯片的权利。一旦芯片设计完成并销售后，设计公司还需根据芯片销售平均价格按一定比例(通常在 1%~3%之间)支付版税(Royalty)给 IP 厂商。

通常，IP 厂商会把设计公司支付的授权费拿来支付一定的 IP 开发成本、本公司商业运作成本和人员成本，而收取的版税部分才是公司的赢利部分。不论公司大小，这几乎是约定俗成的行规，也是 IP 公司的生存之道。

IP 其实就是一颗相对固化的小集成电路，因此 IP 行业所需的人才与集成电路设计行业所需的差不多，大都为集成电路设计人才，也有应用及技术支持人才及销售类人才。这类人才可以往下游集成电路设计行业去，因此就业面相对较宽。

1.2.3 集成电路设计服务行业

集成电路设计服务行业，是集成电路产业链细分后产生的一个较小的子行业。相关公司数目也较少，代表性企业有芯原科技(VeriSilicon)、GUC、eSilicon 和灿芯等。随着集成电路产业链垂直分工越来越细，为了缩短设计周期，加速产品上市进程，实现更高效的投入/产出比，集成电路设计服务行业随之诞生。

一些集成电路设计公司将芯片的后端布局布线及单元的设计交由设计服务公司处理，有的连生产、封装、测试等工作也交给了设计服务公司，即 Turnkey(一站式)服务，更有甚者

连集成电路前端设计也外包出去。集成电路设计服务当然是必不可少的，主要是工艺越往高端发展，后端设计的 EDA 软件就越贵；而芯片集成度越高，后端设计难度也就越大；当然资深数字后端人才也很稀少，因此外包成为首选；某些小公司设计人员不够，或者大集成电路公司的某些项目太忙，或者下游有实力的整机追求产品差异化，也会有定制芯片的需求，因此设计服务行业还有进一步壮大之势。

设计服务行业需求的人才，主要是集成电路后端设计人才及集成电路运营类(负责流片、封装、测试等管理)的人才，也有少量数字前端与模拟人才，因为与众多的集成电路设计公司的集成电路工程师人才需求差不多，所以人才适用面很宽。

1.2.4 集成电路设计行业

从根本上讲，集成电路设计是将系统、逻辑与性能的设计要求转化为具体的物理版图的过程，也是一个把产品从抽象的过程一步一步地具体化，直至最终物理实现的过程。设计方法主要包括正向设计和逆向设计，正向设计又以层次化和结构化设计方法为主。整个过程将主要集中在图纸与计算机上，借助 EDA 工具完成，它给人的整体感觉就是“纸上谈兵”式的创意性劳动，这恰恰是整个集成电路产业链中最重要和最具创新性的一步。集成电路设计行业 IC 设计的简化工作流程图如图 1-6 所示。

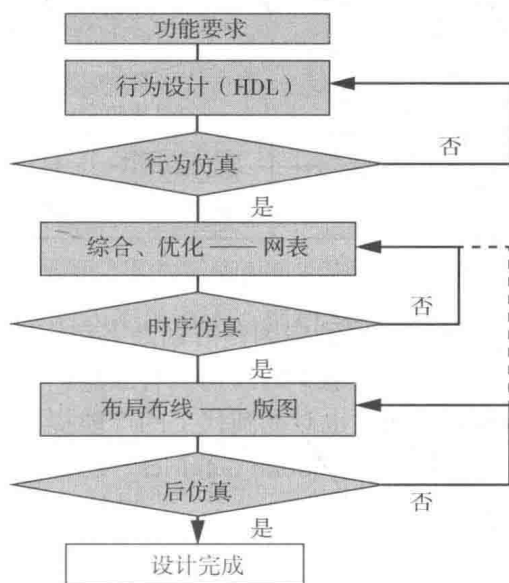


图 1-6 集成电路设计行业的工作流程

根据集成电路设计产业的固有商业模式，一个好的集成电路产品需要设计、工艺、测试、封装等一整套工序的密切配合。Fabless 是设计公司主流的商业模式，其核心竞争力在于产品的创新和知识产权，产品主要依赖 Foundry 代工。

因此，集成电路设计公司的人才需求是目前国内半导体产业中最大的。岗位大致包括：市场企划，芯片架构，算法设计，数字前端(设计与验证)，数字后端，模拟设计，版图设计，嵌入式软件设计，系统软硬件设计，现场应用，生产，测试，品质，量产计划和销售等。所以无论你是微电子、计算机专业或者电子通信专业，还是自动化专业，都能在一家集成电路设计公司内找到合适的职位。