

# VHDL数字设计与计算机设计基础

Richard S. Sandige 著  
Michael L. Sandige

罗嵘 汪玉 单羿 等译

FUNDAMENTALS OF DIGITAL AND  
COMPUTER DESIGN WITH VHDL

世界著名计算机教材精选

# VHDL 数字设计与计算机设计基础

Richard S.Sandige      著  
Michael L.Sandige

罗嵘 汪玉 单羿 等译

清华大学出版社  
北 京

Richard S.Sandige, Michael L.Sandige  
**Fundamentals of Digital and Computer Design with VHDL**  
ISBN: 0-07-338069-5

Copyright © 2014 McGraw-Hill Education.

All Rights reserved. No part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including without limitation photocopying, recording, taping, or any database, information or retrieval system, without the prior written permission of the publisher.

This authorized Chinese translation edition is jointly published by McGraw-Hill Education and Tsinghua University Press. This edition is authorized for sale in the People's Republic of China only, excluding Hong Kong, Macao SAR and Taiwan.

Copyright © 2015 by McGraw-Hill Education, a division of the Singapore Branch of The McGraw-Hill Companies, Inc. and Tsinghua University Press.

版权所有。未经出版人事先书面许可，对本出版物的任何部分不得以任何方式或途径复制或传播，包括但不限于复印、录制、录音，或通过任何数据库、信息或可检索的系统。

本授权中文简体字版由麦格劳-希尔（亚洲）教育出版公司和清华大学出版社合作出版。此版本经授权仅限在中华人民共和国境内（不包括香港特别行政区、澳门特别行政区和台湾地区）销售。

版权© 2015 由麦格劳-希尔（亚洲）教育出版公司与清华大学出版社所有。

北京市版权局著作权合同登记号 图字：01-2012-2072 号

本书封面贴有 McGraw-Hill 公司防伪标签，无标签者不得销售。

版权所有，侵权必究。侵权举报电话：010-62782989 13801310933

#### 图书在版编目（CIP）数据

VHDL 数字设计与计算机设计基础 / (美) 桑迪奇 (Sandige, R. S.), (美) 桑迪奇 (Sandige, M. L.) 著; 罗嵘等译. —北京: 清华大学出版社, 2015

书名原文: Fundamentals of Digital and Computer Design with VHDL

世界著名计算机教材精选

ISBN 978-7-302-39444-0

I. ①V… II. ①桑… ②桑… ③罗… III. ①VHDL 语言-程序设计-高等学校-教材 ②计算机辅助设计-高等学校-教材 IV. ①TP312 ②TP391.72

中国版本图书馆 CIP 数据核字 (2015) 第 036602 号

责任编辑: 龙启铭

封面设计: 傅瑞学

责任校对: 焦丽丽

责任印制: 刘海龙

出版发行: 清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址: 北京清华大学学研大厦 A 座 邮 编: 100084

社 总 机: 010-62770175 邮 购: 010-62786544

投稿与读者服务: 010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质 量 反 馈: 010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

印 刷 者: 清华大学印刷厂

装 订 者: 三河市新茂装订有限公司

经 销: 全国新华书店

开 本: 185mm×260mm 印 张: 48.5 字 数: 1176 千字

版 次: 2015 年 11 月第 1 版 印 次: 2015 年 11 月第 1 次印刷

印 数: 1~2000

定 价: 99.00 元

产品编号: 044144-01

# 译 者 序

本书作者之一 Richard S. Sandige 是加州理工州立大学的一名名誉退休教授，他在美国多所大学从事过教学工作，还在多家公司从事过研发工作，具有丰富的教学和技术开发经验。另一名作者 Michael L. Sandige 则非常热爱游戏的研发，他目前是 WildTangent 公司的首席工程师。这两位作者采用由浅入深、循序渐进的方式，将数字计算机设计的理论和方法展现给读者，并利用 VHDL 语言和可编程逻辑器件完成了一台非常基本计算机的设计。

本书包括 25 章和 5 个附录。全书分为两大部分：数字设计和计算机设计。前者覆盖了第 1~9 章的内容，后者则涵盖了第 10~25 章的内容。

在数字设计所涵盖的章节中，第 1 章介绍布尔代数的相关知识，引入通用的硬件描述语言 VHDL 来描述简单的组合逻辑电路，以便读者可以根据需要使用来自不同公司的 VHDL 工具。第 2 章简述数字信号与模拟信号的不同，介绍了二进制数制转换方法和二进制码制，并给出了利用卡诺图进行组合逻辑化简的方法。第 3 章和第 4 章详细介绍组合逻辑电路的分析和设计方法，以及用 VHDL 如何设计此类电路。第 5 章和第 6 章给出了双稳态存储器和简单有限状态机等时序逻辑电路的 VHDL 设计方法。第 7 章给出了计算机设计所涉及的基本电路，特别是加法器电路。第 8 章给出了采用可编程逻辑器件和多路选择器树结构的电路实现技术。第 9 章介绍了用 VHDL 设计复杂有限状态机的方法。

计算机设计部分所涵盖的章节分成两部分：第 10~17 章详细介绍 VBC1（非常基本计算机 1）的指令、模块和系统设计，第 18 章和第 19 章则在 VBC1 的基础之上，设计了更为复杂的 VBC1-E。

除此之外，本书的附录 A 详细介绍了读者学习本书时的 34 个设计实验，附录 B 至附录 E 给出了完成附录 A 的设计实验所需的仿真方法、管脚绑定、EASY1 工具和将指令加载到存储器中的方法。

本书第 1~4 章由清华大学电子系罗嵘翻译，第 5~7 章由王聪翻译，第 8~11 章由汪玉翻译，第 12~16 章由单羿翻译，第 17~25 章由王子龙翻译，附录 A 至附录 E 由王文强翻译，全书由罗嵘审校。

由于译者水平有限，书中难免有误，敬请批评指正。



## 作者简介

**Richard S. Sandige** 是加州圣路易斯奥比斯波的加州州立理工大学 (Cal Poly) 的荣誉教授。从 1998 年到 2010 年, 他在 Cal Poly 计算机工程 (CPE) 组任教。他于 1978 年获得了得克萨斯农工大学电气工程博士学位, 1969 年获得了西弗吉尼亚大学电气工程硕士学位, 1963 年获得了西弗吉尼亚大学电气工程学士学位。1989 年到 1998 年, 他在怀俄明大学电气工程系任教。1979 年到 1989 年, 他在 HP (惠普) 公司工作, 他所在的团队设计了第一个惠普桌面计算机。1973 年到 1979 年, 他在得克萨斯农工大学工程技术系任教, 同时攻读博士学位。1970 年到 1973 年, 他在西南弗吉尼亚州社区学院电子系任教。1969 年到 1970 年, 他在麦道的电子分公司 Conductron Missouri, 从事飞行模拟器的研发。1967 年到 1969 年, 他在西弗吉尼亚理工学院任教, 并攻读硕士学位。在收到西弗吉尼亚大学空军后备警官培训团的空军少尉委任后, 1963 年到 1966 年, 他在美国空军服役, 致力于研究和开发洲际弹道导弹。在怀俄明大学工作时, 他是 IEEE 教育专题杂志的助理编辑。Sandige 博士在专业期刊上发表了超过 20 篇文章, 并出版了四本教材和一本实验手册。

**Michael L. Sandige** 是从事与历史相关和感兴趣的的游戏以及游戏技术研发相关的软件设计师和开发者。1990 年, 他获得科罗拉多大学 Boulder 分校电气工程和计算机科学学士学位。作为一个独立的承包商, 他开始从事游戏产业。1987 年到 1994 年, 他以唯一的或主要的程序员开发几个项目。1994 年, 他为微软 Windows 这一个新兴的游戏平台开发游戏, 共同创立了 Cinematronics LLC。作为产品开发的副总裁, 他研发游戏, 而且随着公司的成长, 他管理和指导工程师队伍。在此期间, 他开发了非常流行的游戏之一, 即 Windows 95 出厂自带的游戏“太空学员”弹球。Cinematronics 成为一个成功的游戏开发工作室, Maxis (“模拟人生”的制造商) 于 1996 年收购了它。1997 年, 作为研究和开发的副总裁, Michael Sandige 加入了一个小的创业公司, 即 Eclipse 娱乐公司。他从事游戏引擎架构设计、渲染技术开发, 并帮助 Eclipse 娱乐公司的 Genesis3d 游戏引擎成为主导产品。1999 年, 他加入收购 Eclipse 娱乐公司的 WildTangent 公司, 负责 3D 引擎团队, 并研发了一个新的基于 Web 浏览器的技术, 即 WildTangent 网络驱动器。他设计技术架构, 且管理技术团队, 以及协助开发一些使用该引擎的游戏。Michael 已在 WildTangent 公司工作了十多年, 协助公司面临不同的技术挑战, 将其从游戏和技术开发商转换成游戏分销商; 他目前担任首席工程师。Michael Sandige 有超过 20 个游戏和其他出版的软件项目著作权。

# 前 言

本书可作为大学一年级学生的数字设计课程的教材，也可作为大学二年级或以上学生的计算机设计课程的教材。本书所涉及的内容适合学习计算机工程、计算机科学和电机工程的学生。本书使用螺旋式教学方式：先提出设计问题，然后在相同的章节或后面的章节中，或者当出现一个不同的设计问题时再强调相同的概念，或者用不同的技术研究相同的问题。这样做可以加强记忆。

本书无须先修内容，但是计算机导论及初级编程课程通常会对学生学习 VHDL 和汇编语言编程有所帮助。

## 本书主要特点

- 本书讲授和使用通用的 VHDL 代码，以便读者可以根据需要使用来自不同公司的 VHDL 工具。
- 课程中为了平衡，可同时讲授传统和现代 VHDL 设计。
- 使用作为互动工具的卡诺图浏览器程序，教给学生使用两变量、三变量和四变量卡诺图的方法。
- 教会学生如何设计 4 位教学版的 VBC1（非常基本计算机 1）和 VBC1-E（VBC1 的增强版本）。这两种不同的计算机版本可以下载到开发板上的 FPGA 中，且可用汇编语言编程。
- 本书提供编辑/汇编/仿真程序，用来指导学生如何编写 4 位教学版计算机的程序。
- 本书提供一个存储器加载软件程序，来教会学生如何设计指令存储器的加载器。
- 每章都有一个或多个实验，并用数字编号；许多实验设置了推荐的课前作业，这些作业与编写汇编语言程序或者进行仿真有关。
- 按照书中的每一节给出相应的课后习题。

## 章节和内容概述

在本书的数字设计部分，第 1~9 章覆盖了如下内容：

- 第 1 章介绍组合逻辑电路的 VHDL（超高速集成电路硬件描述语言）。
- 提供了 34 个实验，以便学生们通过实践来学习。实验 1A 至 9B 为学生们提供了学习如何在实验室设计数字设计的 VHDL 电路实践。实验的编号与章节的编号对应。可用这些实验布置家庭作业或者特别的大作业。
- 第 2 章给学生们引入一个使用字母显示系统的七段显示器，学生们可以通过 VHDL 在 FPGA 开发板上设计且构建它，来显示滑动开关的高（H）电平或者低（L）电平。该章还介绍了作为交互工具的卡诺图浏览器程序，用于教给学生掌握具有两变

量、三变量和四变量的卡诺图。

- 第3章介绍一种手工设计与非/与非和或非/或非形式的组合电路的图形设计方法，然后介绍用 VHDL 实现的等价设计。该章引入了译码器和多路选择器，以及使用译码器和多路选择器设计电路的手工方法。紧跟这些方法之后的是使用 VHDL 实现等价设计。该章还介绍了函数和逻辑现象，并向学生展示了如何用逻辑险象覆盖项来消除逻辑险象。
- 第4章介绍组合逻辑电路的 VHDL 设计，完整地介绍了数据流、行为和结构设计风格。该章提供了包括标量和矢量输入及输出的 VHDL 实例。
- 第5章给出置位-复位 (S-R) 锁存器、D 锁存器和 D 触发器的传统设计以及 VHDL 设计。该章让学生学习如何设计 D 边沿触发的触发器。实验 5A 提供了一个 D 锁存器和一个带 CLR (清零) 输入的上升沿触发的 D 触发器实践。实验 5B 提供了一个 8 位寄存器和一个带 PRE (预置) 输入的上升沿触发的 D 触发器实践。
- 有限状态机设计分为简单和复杂状态机。简单状态机是没有外部输入来改变计数序列的基本计数器。复杂状态机具有外部输入来改变技术序列。第6章介绍简单状态机。该章给出简单状态机的算法方程法，以展示给学生如何手工设计简单状态机。该方法实际上可以处理任意大小的状态机，但是它单调枯燥，因为学生必须掌握如何写 D 激励方程。学生学习如何使用算术方法，当生成一个更慢的时钟频率 (或者分频器) 时，此方法特别有用。此外，本书引入现态/次态 (PS/NS) 表格化方法，允许学生使用过程来写出基本计数器的 VHDL 方程，省去了获得 D 激励方程的麻烦。本章与传统的状态图一起引入了一种称为计数或者状态序列图的新计数器设计描述。
- 第7章给出了包含三状态输出、数据总线共享、加法器和减法器设计、逐次进位加法器以及超前进位加法器的不同计算机电路。实验 7A 和 7B 提供了与第7章相关的特殊组合逻辑系统的设计实践，即一个简单 (单比特) 错误检测系统和一个 4 位简单加-减系统。
- 第8章给出的电路实现技术展示了可编程逻辑器件的实现，即 PROM、PLA、PAL、GAL 和 LUT。该章还包括了正逻辑规则和直接极性指示以及如何转换这两种表示的简单介绍。该章给出了模块化设计方法，以展示如何设计 MUX 和 DMUX 树。实验 8 给出了 LUT 设计系统的设计和测试实验。
- 第9章使用双进程 PS/NS 方法的复杂状态机的 VHDL 设计。第一个称为同步过程的进程生成触发器，而第二个称为组合过程的进程译码次态函数以及设计中可能出现的摩尔和米利输出。该章还给出了复杂可编程逻辑器件 (CPLD) 和 FPGA 所用的状态机编码风格。实验 9A 提供了使用平面设计方法来设计单热递增/递减计数器系统的设计实践。实验 9B 提供了使用层次设计方法来设计十状态的计数器系统的设计实践。该章引入一个同步器电路，通过减少亚稳态的出现概率来改进复杂状态机设计的可靠性。为了讨论的完整性，该章给出两种附加的状态机设计方法：双赋值 PS/NS 法和混合 PS/NS 法。

在本书的计算机设计部分，第 10~17 章覆盖了如下内容：

- 在简单介绍哈佛型和普林斯顿 (冯·诺依曼) 型的计算机结构后，第 10 章给学生

们介绍了一个称为 VBC1 (Very Basic Computer) 的非常基本的哈佛型计算机。学生学习 VBC1 编程器的寄存器模型、指令集结构以及编写汇编语言的格式。学生可通过实验 10 中编写 VBC1 的汇编语言程序来获得其初次体验。附录 D 提供了称为 EASY1 的编辑器/汇编器/仿真器 1 的手册。

- 第 11 章给出了 VBC1 所有指令的汇编程序形式、转移函数形式以及机器码形式。该章还给出了 VBC1 的编程实例和技术。
- 与第 12~17 章对应的实验允许学生通过 FPGA 构建、设计和实现 VBC1, 如果一周完成一个实验, 一共需要六周。每周完成的实验数目可由讲授实验课程的老师决定。这些实验提供了推荐的实验前准备内容。
- 第 12 章介绍了 VBC1 输入输出 (I/O) 电路的设计, 主要讲述总线分发电路、可加载 D 寄存器、发光二极管 (LED) 驱动以及七段显示驱动。
- 第 13 章给出了指令存储器 (用于存储程序)、加载程序计数器 (用于加载指令存储器) 以及去抖动电路 (用于单步执行指令存储器) 的设计。该章还着重介绍了门控时钟电路以及如何移出它们。
- 第 14 章介绍 VBC1 多路显示系统的设计。为了提供额外的实践, 学生在该章学习如何设计一个字显示系统。
- 第 15 章介绍 VBC1 指令译码器的设计, 因为必须译码每条指令来自动完成指令的执行。
- 第 16 章介绍 VBC1 算术逻辑单元 (ALU) 的设计。除了一个扩展的 ALU 设计, 学生还学习如何用 VHDL 设计如下电路: 移位器电路、桶形移位器电路以及移位寄存器电路。
- 第 17 章给出了 VBC1 的最终设计, 其中包括允许 VBC1 在指定的时钟频率下运行的运行程序计数器。所设计的实验 17L 提供了通过存储器加载程序自动加载程序到 VBC1 的指令存储器的功能。至此, 可通过滑动开关手动加载指令存储器, 或者通过 VBC1 的 VHDL 代码中指令存储器的初始化预先加载。

在本书的计算机设计部分, 第 18~25 章覆盖了如下内容:

- 第 18 章给出了 VBC1-E 所有指令的汇编程序形式、转移函数形式以及机器码形式, 包括修改的 IN 和 OUT 指令 (每个都是 4 端口)、附加的数据存储器指令 (STORE 和 FETCH)、附加的算术和逻辑指令 (SUB、NOT、AND、OR 和 XNOR)、附加的移位和旋转指令 (SR1、SL0、SL1、RR 和 RL)、附加的控制指令 (JMP、JMPR 和 HALT)、附加的软件中断指令 (INT 和 IRET) 以及硬件中断功能。VBC1-E 的 EASY1-E 汇编器中还包括了两个汇编命令 (BIPROC 和 EQU)。实验 18 提供给学生书写和仿真 VBC1 和 VBC1-E 汇编语言程序的动手实践。
- 与第 19~25 章对应的实验允许学生通过 FPGA 构建、设计和实现 VBC1-E, 如果一周完成一个实验, 一共需要七周。每周完成的实验数目可由讲授实验课程的老师决定。
- 第 19 章介绍如何扩展 VBC1 的 I/O 设计来得到 VBC1-E, 包括重新设计指令译码器来处理指令 IN 和 OUT 的扩展 I/O 设计。
- VBC1 中不存在数据存储器, 所以第 20 章覆盖了 VBC1-E 的具有四个存储位置的

简单数据存储器的设计。

- 第 21 章中, 学生学习如何增强 VBC1 的 ALU 设计, 来包含新的算术和逻辑指令, 以及新的移位和旋转指令, 包括处理附加指令的指令译码器的重新设计。该章给出了新控制指令 JMP、JMPR 和 HALT 的设计, 以及重新设计指令译码器来处理这些新指令。
- 第 22 章是非常短的一章, 介绍如何设计一个在手工加载过程中阻止程序执行的电路。学生经常发现 VBC1-E 的手动加载是分散的, 于是出现了本书的该章。
- VBC1-E 具有附加的存储位置, 且第 23 章覆盖了指令存储器的修改, 来包括附加的存储位置。
- VBC1-E 具有新的软件中断指令, 且第 24 章覆盖了处理指令 INT 和 IRET 所需的电路设计。重新设计指令译码器来处理这些新指令。
- 第 25 章给出了 VBC1-E 的最终设计, 其中包括硬件中断功能的设计。所设计的实验 25L 提供了通过存储器加载程序自动加载程序到 VBC1-E 的指令存储器的功能。

## CAD 工具和 FPGA 开发板介绍

对于本书的数字设计部分, 使用传统的方法, 即手工计算以及 VHDL 设计来表示电路与系统。对于本书的计算机设计部分, 使用 VHDL 来设计 VBC1 和 VBC1-E。这种方式鼓励学生设计自己的数字系统和(或)游戏。一旦他们掌握了 VHDL 设计就会发现这很容易。学生不必局限于在小的电路开发板上生成电路, 这种情况下他们必须放置 IC (集成电路) 封装且将它们连在一起。现代数字开发板上所用的 FPGA (现场可编程门阵列) 芯片消除了这种无聊的任务。本书所用的基本 CAD (计算机辅助设计) 工具是 Xilinx ISE WebPACK。通过 Xilinx 的网站 <http://www.xilinx.com/support/download/index.htm>, 老师和学生可获得 ISE WebPACK。

可反复编程一个可编程逻辑 FPGA 芯片, 这是学生掌握技巧和纠正错误的理想方式。对设计的 VHDL 代码进行仿真, 以验证 VHDL 代码是否正确。如果在 VHDL 代码的仿真中存在错误, 学生们只要找出并改正错误, 然后重新进行仿真即可。当仿真正确了, 正确 VHDL 代码的比特形式就可以下载到 FPGA 芯片。然后学生也就可以在硬件上观察他们的设计。

Digilent 公司制造并出售两款非常流行的 FPGA 开发板 (网站地址为 <http://www.digilentinc.com>), 它们是 (1) BASYS 2 开发板, 包括 Xilinx 生产的 Spartan 3E FPGA; (2) NEXYS 2 开发板, 包括 Spartan 3E FPGA。BASYS 2 开发板的价格大约为 49 美元, NEXYS 2 开发板的价格大约为 99 美元。如果将本书用作数字设计课程的教材, BASYS 2 开发板或者 NEXYS 2 开发板都可使用。如果将本书用作计算机设计课程的教材, BASYS 2 开发板或者 NEXYS 2 开发板都可用来设计 VBC1-E 的精简版本, 但需要额外支付大约 55 美元购买几个附加的外设模块。NEXYS 2 开发板具有附加的可扩展性, 允许使用称为 FX2 MIB (模块接口板) 的扩展板。该扩展板允许用附加的外设模块设计 VBC1-E 的完整版本。FX2 MIB 的价格大约为 20 美元, 而附加的外设模块大约为 40 美元。

## 实验介绍

附录 A 包括 34 个实验。要完成实验 1B 至 25L, 需要使用 BASYS 2 或者 NEXYS 2 开发板。这些开发板很常见, 且可用已上市的更新的 FPGA 来替换。这些实验可用其他公司不同的 FPGA 开发板来实现, 只要该 FPGA 开发板具有所需的输入输出能力, 或者修改 VHDL 代码使之与不同 FPGA 开发板的输入输出能力匹配就行。也可使用 Altera 公司的 DE1 和 DE2 开发板, 用 Quartus-II 软件来实现这些实验, 因为本书使用了通用的 VHDL 代码。DE1 和 DE2 开发板的 I/O 与 BASYS 2 和 NEXYS 2 开发板的稍有不同, 因此需要修改通用的 VHDL 代码以便适应 I/O 能力的不同。

附录 A 包括了推荐的实验前准备, 所以学生可学习如何修改测试代码或者编写用于仿真其 VHDL 设计的测试代码。附录 B 提供了帮助学生修改测试代码的内容。

## 致谢

非常感谢本书讨论和写作过程中给予有价值建议的众多评论者。希望本书的最终版契合了他们的建议。

Bharat Bhuva	Vanderbuilt University
Suresh Borkar	Illinois Institute of Technology
C. Hwa Chang	Tufts University
Katherine Compton	University of Wisconsin-Madison
Steve Crist	Western New England College
Nila Y. Desai	Sardar Vallabhbhai National Institution of Technology, India
Rahul Dubey	DA-IICT (Dhirubhai Ambani Institute of Information and Communication Technology), Gujarat India
Mark Faust	Portland State University
Maria Garazaran	University of Illinois-Urbana
Roger Haggard	Tennessee Technological University
Ronald Hayne	The Citadel
M. Nazrul Islam	Old Dominion University
Anura Jayasumana	Colorado State University
Brock LaMeres	Montana State University
Yong Li	University of Wisconsin-Platteville
Yufeng Lu	Bradley University
Aleksander Malinowski	Bradley University
Chad Mano	Utah State University
James C. Maxted	University of Iowa
David G. Meyer	Purdue University



Venkatesan Muthukumar	University of Nevada-Las Vegas
Shahin Nazarian	University of Southern California
Patricia Nava	University of Texas-El Paso
Haluk Ozemek	San Jose State University
James K. Peckol	University of Washington
Reginald Perry	Florida State University
Arvind Rajawat	Maulana Azad National Institute of Technology, Bhopal India
Jackie Rice	University of Lethbridge
Salam Salloum	California State Polytechnic University-Pomona
Martha Sloan	Michigan Technological University
James Stine	Oklahoma State University
Somanath Tripathy	Indian Institute of Technology, Patna India
Kenneth S. Vastola	Rensselaer Polytechnic University
Earl Wells	University of Alabama-Huntsville
Phillip Wilsey	University of Cincinnati

特别致谢 Richard 的学生 Scott Marshall, 他开发和撰写了实验 17L 和 25L。Scott 还撰写了 VBC1-E 和 VBC1-EL 的存储器加载程序。Scott 在 Digilent 公司的 BASYS 2 和 NEXYS 2 开发板上实现了该程序, 且在 Altera 公司的 DE1 和 DE2 开发板上实现。存储器加载程序提供了自动加载指令比特模式到 VBC1 和 VBC1-E 的指令存储器的方法, 无须使用开关或者在启动时初始化指令存储器。

还要感谢圣路易斯奥比斯波的加州州立理工大学电机和计算机工程的众多具有奉献精神的勤奋好学的学生们。在撰写本书时, 很多学生对我们的工作感兴趣, 并在他们上完数字和计算机设计课程后, 给出建议和修订。没有这些细心的学生 (他们太多了无法一一指名), 不可能写出本书。谢谢你们!

没有 McGraw-Hill 公司的如下人员的热心帮助, 本书也不可能顺利出版: Raghu Srinivasan, 全球出版人; Peter Massar, 高级责任编辑; Lorraine Buczek, 策划编辑; 以及 Jane Mohr, 项目经理。我们衷心感谢你们的帮助。

感谢 Digilent 公司提供 BASYS 2 和 NEXYS 2 开发板, 使用它们时给予的技术支持, 以及提供实验 1A 和 19 的照片。帮助我们的人员有 Clint Cole、Gene Apperson、Jim O' Dell、Joe Harris、Joshua Pederson、Fiona Cole、Stephanie Roberts、Norman MacDonald 和 Roy Bean。

感谢 Altera 公司提供 DE1 和 DE2 开发板以及使用它们时给予的技术支持。帮助我们的人员有 Blair Fort 和 Ralene Marcoccia。

Richard 个人致谢 Xilinx 公司, 允许他加入 ISE 软件的内部课程, 以及暑假在 Xilinx 公司与软件和硬件工程师一起工作。帮助过他的人员有 Rina Raman、Peter Alfke 和 Paul Hartke。Richard 还要感谢 Ken Chapman, 他在本书的早期编著过程中阅读了手稿, 并给出重要的评论。Ken 是 Xilinx PicoBlaze 微处理器的设计者。Richard 在 Xilinx 工作期间, 有很多工程师提供了很好的建议和帮助, 发自肺腑地感谢他们!

最后, 但同样重要的是, 感谢 Cal Poly 的电机工程系和 CPE 项目的教师们, 他们使得

本书变得更好。帮助我们的人员有 Jim Harris、Michael Cirovic、Art MacCarley、Albert Liddicoat、Xiao-Hua(Helen) Yu、Tina Smilkstein、David Braun、Dennis Derickson、Fred DePiero、John Oliver、Wayne Pilkington、Lynne Silovsky、Bryan Mealy、John Saghri 和 Hugh Smith。他们之中有些使用我们的笔记讲授相关课程，而其他人鼓励或者劝阻我们做某些事情，使得本书能够更好。

## 网络资源

网站 [www.mhhe.com/sandige](http://www.mhhe.com/sandige) 将一些有用的资源提供给学生和教师。学生可以下载本书所用的程序，例如卡诺图浏览器程序、EASY1 程序和存储器加载程序。幻灯片、每章结尾处的习题的答案、实验前的激励手段以及实验设计结果只对教师开放。

无错不成书。如果读者发现了未被发现的错误，请将你的评论发邮件给 [richard@sandige.com](mailto:richard@sandige.com)。本书网站上会将已发现的错误的最新列表提供给所有读者。

Richard Sandige

Michael Sandige

# 目 录

<b>第 1 章 布尔代数、布尔函数、VHDL 和门</b> .....	1
1.1 引言 .....	1
1.2 布尔代数基础 .....	1
1.2.1 维恩图 .....	2
1.2.2 布尔函数的黑盒子 .....	3
1.2.3 基本逻辑符号 .....	4
1.2.4 布尔代数公理 .....	6
1.2.5 布尔代数定理 .....	7
1.2.6 布尔代数定理的证明 .....	8
1.3 从真值表推导出布尔函数 .....	9
1.3.1 用函数的 1 值推导出布尔函数 .....	10
1.3.2 用函数的 0 值推导出布尔函数 .....	11
1.3.3 用最小项和最大项推导出布尔函数 .....	11
1.4 简单门函数的 VHDL 设计 .....	14
1.4.1 NOT 函数的 VHDL 设计 .....	14
1.4.2 AND 函数的 VHDL 设计 .....	16
1.4.3 OR 函数的 VHDL 设计 .....	17
1.4.4 XOR 函数的 VHDL 设计 .....	19
1.4.5 NAND 函数的 VHDL 设计 .....	20
1.4.6 NOR 函数的 VHDL 设计 .....	22
1.4.7 XNOR 函数的 VHDL 设计 .....	23
1.4.8 BUFFER 函数的 VHDL 设计 .....	25
1.4.9 用标准形式给出的任意布尔函数的 VHDL 设计 .....	27
1.5 有关逻辑门的更多内容 .....	29
1.5.1 等价门符号 .....	29
1.5.2 全功能门 .....	30
1.5.3 等价门电路 .....	30
1.5.4 门的简化描述名称 .....	31
1.5.5 门的国际逻辑符号 .....	32
习题 .....	33
<b>第 2 章 数制转换、码制和函数最简化</b> .....	39
2.1 引言 .....	39
2.2 数字电路与模拟电路 .....	39
2.2.1 人类心脏的数字化信号 .....	39

2.2.2	离散信号与连续信号 .....	39
2.3	二进制数制转换 .....	40
2.3.1	十进制数、二进制数、八进制数和十六进制数 .....	40
2.3.2	转换技术 .....	42
2.4	二进制码制 .....	46
2.4.1	小键盘和键盘的最少比特表示 .....	47
2.4.2	常见码制: BCD、ASCII 以及其他 .....	47
2.4.3	二进制和反射格雷码之间的模 2 加法和转换 .....	50
2.4.4	七段码 .....	52
2.4.5	字母显示系统的 VHDL 设计 .....	53
2.5	卡诺图化简方法 .....	56
2.5.1	卡诺图资源管理器 .....	56
2.5.2	使用两变量卡诺图 .....	57
2.5.3	使用三变量卡诺图 .....	59
2.5.4	使用四变量卡诺图 .....	61
2.5.5	无关的输出 .....	63
	习题 .....	65
<b>第 3 章</b>	<b>逻辑电路分析和设计简介 .....</b>	<b>73</b>
3.1	引言 .....	73
3.2	集成电路器件 .....	73
3.3	分析和设计逻辑电路 .....	74
3.3.1	分析和设计继电器逻辑电路 .....	75
3.3.2	分析 IC 逻辑电路 .....	76
3.3.3	设计 IC 逻辑电路 .....	77
3.4	生成详细的原理图 .....	80
3.5	用与非/与非和或非/或非形式设计电路 .....	82
3.6	传输延时 .....	84
3.7	译码器 .....	86
3.7.1	用译码器和单个门设计逻辑电路 .....	88
3.8	多路选择器 .....	91
3.8.1	用多路选择器设计逻辑电路 .....	93
3.9	险象 .....	95
3.9.1	功能险象 .....	95
3.9.2	逻辑险象 .....	96
	习题 .....	97
<b>第 4 章</b>	<b>用 VHDL 实现组合逻辑电路的设计 .....</b>	<b>103</b>
4.1	引言 .....	103
4.2	VHDL .....	103
4.3	库组成 .....	104

4.4	实体声明 .....	105
4.5	结构体声明 .....	106
4.5.1	数据流设计风格评价 .....	107
4.5.2	行为设计风格评价 .....	107
4.5.3	结构设计风格评价 .....	107
4.6	数据流设计风格 .....	107
4.7	行为设计风格 .....	111
4.8	结构设计风格 .....	116
4.9	用连线和总线实现 .....	122
4.10	VHDL 设计实例 .....	126
4.10.1	用标量输入和输出设计 .....	126
4.10.2	用向量输入和输出设计 .....	128
4.10.3	通用 VHDL 架构 .....	130
	习题 .....	131
<b>第 4 章</b>	<b>双稳态存储器件的 VHDL 设计 .....</b>	<b>138</b>
5.1	引言 .....	138
5.2	S-R NOR 锁存器分析 .....	138
5.2.1	简单的电灯开关 .....	138
5.2.2	S-R NOR 锁存器的电路延迟模型 .....	140
5.2.3	S-R NOR 锁存器的特性表 .....	141
5.2.4	S-R NOR 锁存器的特征方程 .....	141
5.2.5	S-R NOR 锁存器的 PS/NS 表 .....	142
5.2.6	S-R NOR 锁存器的时序图 .....	143
5.3	S-R NAND 锁存器分析 .....	145
5.3.1	S-R NAND 锁存器电路延迟模型 .....	145
5.3.2	S-R NAND 锁存器的特性表 .....	146
5.3.3	S-R NAND 锁存器的特征方程 .....	146
5.3.4	S-R NAND 锁存器的 PS/NS 表 .....	146
5.3.5	S-R NAND 锁存器的时序图 .....	147
5.4	设计一个简单的时钟 .....	148
5.5	设计一个 D 锁存器 .....	151
5.5.1	门控 S-R 锁存器电路设计 .....	151
5.5.2	用 S-R 锁存器设计 D 锁存器电路 .....	152
5.5.3	利用 D 锁存器的特性表来设计 D 锁存器电路 .....	153
5.5.4	D 锁存器的时序图 .....	154
5.5.5	用 D 锁存器构造一个时钟 .....	156
5.5.6	构造一个 8 比特的 D 锁存器 .....	156
5.6	设计 D 触发器电路 .....	157
5.6.1	设计主从型 D 触发器电路 .....	157

5.6.2	用 S-R NAND 设计 D 触发器 .....	161
5.6.3	上升沿触发的 D 触发器的时序图 .....	164
	习题 .....	166
<b>第 6 章</b>	<b>用 VHDL 设计简单的有限状态机 .....</b>	<b>173</b>
6.1	引言 .....	173
6.2	同步电路 .....	173
6.3	用 VHDL 构造一个 D 型触发器 .....	174
6.4	设计简单的同步电路 .....	176
6.5	用算法公式法设计计数器 .....	176
6.6	用算法公式法设计非传统计数器 .....	184
6.7	用算术法设计计数器 .....	188
6.8	分频 (降低一个快时钟的频率) .....	189
6.9	用 PS/NS 表格法设计计数器 .....	192
6.10	用 PS/NS 表格法设计非传统计数器 .....	195
	习题 .....	197
<b>第 7 章</b>	<b>计算机电路 .....</b>	<b>207</b>
7.1	引言 .....	207
7.2	三态输出与断开状态 .....	207
7.3	微型计算机系统的数据总线共享 .....	210
7.4	深入了解 XOR 和 XNOR 符号及功能 .....	213
7.4.1	奇函数和偶函数 .....	215
7.4.2	单比特错误检测系统 .....	216
7.4.3	比较器和大于电路 .....	218
7.5	加法器设计 .....	221
7.5.1	半加器模块的设计 .....	221
7.5.2	全加器模块的设计 .....	222
7.6	设计及使用行波进位加法器和减法器 .....	224
7.7	行波进位加法器的传播延迟时间 .....	227
7.8	设计超前进位加法器 .....	227
7.9	超前进位加法器的传播延迟时间 .....	230
	习题 .....	231
<b>第 8 章</b>	<b>电路实现技术 .....</b>	<b>236</b>
8.1	引言 .....	236
8.2	可编程逻辑器件 .....	236
8.2.1	可编程只读存储器 (PROM) 和查找表 (LUT) .....	238
8.2.2	可编程逻辑阵列 (PLA) .....	239
8.2.3	可编程阵列逻辑 (PAL) 或者通用阵列逻辑 (GAL) .....	240
8.2.4	使用 PROM 或者 LUT 进行电路设计 .....	241
8.2.5	使用 PLA 进行电路设计 .....	242



8.2.6 使用 PAL 或者 GAL 进行电路设计 .....	243
8.3 正逻辑规则和直接极性标志 .....	244
8.3.1 信号名称 .....	244
8.3.2 PLC 和 DPI 系统的等效电路分析 .....	245
8.4 更多关于多路选择器和数据分路器的内容 .....	247
8.4.1 MUX 树设计 .....	249
8.4.2 DMUX 树设计 .....	250
习题 .....	250
<b>第 9 章 复杂有限状态机的 VHDL 设计 .....</b>	<b>255</b>
9.1 引言 .....	255
9.2 基于双进程 PS/NS 方法的设计 .....	256
9.3 CPLD、FPGA 和状态机编码风格浅析 .....	260
9.4 有限状态机模型总结 .....	262
9.5 利用摩尔输出设计紧凑编码状态机 .....	264
9.6 利用摩尔输出设计单热点编码的状态机 .....	266
9.7 利用摩尔和米利输出设计紧凑编码状态机 .....	270
9.8 利用摩尔和米利输出设计单热点编码状态机 .....	273
9.9 利用算法公式法设计复杂状态机 .....	275
9.10 提高复杂状态机的可靠性 .....	281
9.11 其他状态机设计方法 .....	285
9.11.1 双分配 PS/NS 方法 .....	285
9.11.2 混合 PS/NS 方法 .....	289
习题 .....	292
<b>第 10 章 基本的计算机体系结构 .....</b>	<b>311</b>
10.1 引言 .....	311
10.2 通用数据处理系统或计算机 .....	311
10.3 哈佛型计算机和 RISC 体系结构 .....	312
10.4 普林斯顿 (冯·诺依曼) 型计算机和 CISC 体系结构 .....	314
10.5 VBC1 概述 .....	315
10.6 VBC1 设计原理 .....	316
10.7 VBC1 编程器寄存器模型 .....	318
10.8 VBC1 指令集体系结构 .....	319
10.9 汇编语言程序的编写格式 .....	321
习题 .....	322
<b>第 11 章 VBC1 的汇编语言编程 .....</b>	<b>325</b>
11.1 引言 .....	325
11.2 VBC1 指令集 .....	325
11.3 IN 指令 .....	325
11.4 OUT 指令 .....	329