



经典译丛

CRC Press  
Taylor & Francis Group

微电子学

# 超大规模集成电路系统导论 ——逻辑、电路与系统设计

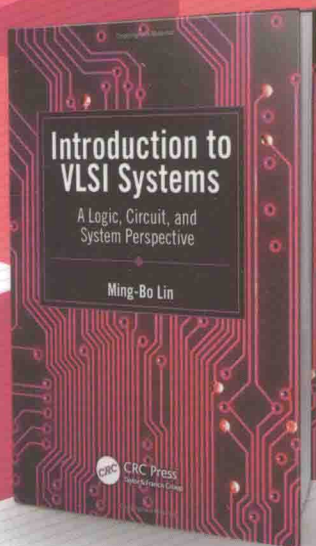
## Introduction to VLSI Systems A Logic, Circuit, and System Perspective

Ming-Bo Lin (林铭波) 著

刘艳艳 等译

张为 审校

Introduction to VLSI Systems  
A Logic, Circuit, and System Perspective



中国工信出版集团



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY  
<http://www.phei.com.cn>

经典译丛·微电子学

# 超大规模集成电路系统导论 ——逻辑、电路与系统设计

Introduction to VLSI Systems  
A Logic, Circuit, and System Perspective

Ming-Bo Lin(林铭波) 著

刘艳艳 等译

张 为 审校

电子工业出版社  
Publishing House of Electronics Industry  
北京·BEIJING

## 内 容 简 介

本书对超大规模集成电路与系统的分析和设计进行了全面介绍。从电路与版图设计基础知识出发,再逐步深入,对超大规模集成电路设计进行了详尽阐述。本书由浅入深,理论联系实际,同时提供了大量的图表和设计实例。

全书共 16 章。第 1 章至第 6 章主要介绍层次化 IC 设计、标准 CMOS 逻辑设计、金属-氧化物-半导体(MOS)晶体管的物理学原理、器件制造、物理版图、电路仿真、功耗和低功耗设计规则及技巧。第 7 章至第 9 章介绍了静态逻辑和动态逻辑及时序逻辑。第 10 章至第 16 章以及附录部分关注系统设计,主要包括数据通路子系统设计、存储器模块、设计方法和实现方式、互连线、电源分布与时钟设计、输入/输出模块、ESD 保护网络以及测试和可测性设计等内容。

本书内容丰富,自成体系,既可作为高等院校电子科学与技术、集成电路工程等专业高年级本科生和研究生教材,也可供从事相关领域研究工作的工程技术人员自学和参考。

Introduction to VLSI Systems: A Logic, Circuit, and System Perspective by Ming-Bo Lin(林铭波)

ISBN: 9781439868591

Copyright © 2012 by Taylor & Francis Group, LLC

Authorized translation from English language edition published by CRC Press, part of Taylor & Francis Group LLC; All rights reserved.

Publishing House of Electronics Industry is authorized to publish and distribute exclusively the Chinese (Simplified Characters) language edition. This edition is authorized for sale throughout Mainland of China. No part of the publication may be reproduced or distributed by any means, or stored in a database or retrieval system, without the prior written permission of the publisher.

Copies of this book sold without a Taylor & Francis sticker on the cover are unauthorized and illegal.

本书原版由 Taylor & Francis 出版集团旗下, CRC 出版公司出版,并经其授权翻译出版。版权所有,侵权必究。本书中文简体翻译版授权由电子工业出版社独家出版并仅限在中国大陆地区销售。未经出版者书面许可,不得以任何方式复制或发行本书的任何部分。本书封面贴有 Taylor & Francis 公司防伪标签,无标签者不得销售。

版权贸易合同登记号 图字: 01-2012-5740

### 图书在版编目(CIP)数据

超大规模集成电路系统导论: 逻辑、电路与系统设计/林铭波著; 刘艳艳等译.

北京: 电子工业出版社, 2015. 7

(经典译丛·微电子学)

书名原文: Introduction to VLSI Systems: A Logic, Circuit, and System Perspective

ISBN 978-7-121-26597-6

I. ①超… II. ①林… ②刘… III. ①超大规模集成电路-高等学校-教材 IV. ①TN47

中国版本图书馆 CIP 数据核字(2015)第 155747 号

策划编辑: 马 岚

责任编辑: 李秦华

印 刷: 北京京师印务有限公司

装 订: 北京京师印务有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787 × 1092 1/16 印张: 44.75 字数: 1263 千字

版 次: 2015 年 7 月第 1 版

印 次: 2015 年 7 月第 1 次印刷

定 价: 118.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlt@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

# 译 者 序

随着信息产业的发展,集成电路已经发展到系统级芯片(SoC)阶段,而培养更多高水平集成电路设计人才是目前国内微电子学科的一项重要任务。正如本书前言所述,通过对本书的学习,读者可以熟悉全定制集成电路的设计与实现,了解超大规模集成(VLSI)电路的版图设计和制造,并可利用全定制技术进行VLSI系统设计。此外,还可深入了解现代VLSI技术的特征和局限性,获取足够的背景知识以应对这一发展日新月异的高科技领域。尽管有些读者最终可能并不从事集成电路设计工作,但是,对相关背景知识有较为通透的了解,有助于在系统设计中消除诸多隐患,从而让集成电路的应用变得更加高效而可靠。

本书是作者根据15年来在台湾科技大学开设的“VLSI系统设计”和“数字集成电路分析与设计”两门课程的讲义精心编写而成的。在阐述原理和概念时,由浅入深,逐步深入,并借助大量的图形与实例帮助读者理解全定制VLSI的基本特征,掌握数字逻辑设计、数字电路设计,以及系统设计的要素。此外,在每章最后部分还提供了一定数量的习题,可用于测试读者对书中内容的掌握理解情况。

本书由刘艳艳、张为等翻译,张为审校。在本书的翻译过程中,电子工业出版社李秦华编辑、马岚编辑在组织出版和编辑工作中给予了大力的支持,在此,对他们的帮助表示衷心的感谢。

需要指出的是,某些关于集成电路版图和工艺术语的中译词汇目前尚无统一标准,译者力图深入浅出、翔实准确,但由于水平有限,译文中难免有不妥指出,敬请读者批评指正。

译 者  
于天津大学  
2014年10月

# 前 言

随着半导体的发展及计算机和通信业的兴荣,采用片上系统(SoC)已经成为了降低产品成本的一项不可或缺的技术。随着这一趋势的发展以及特征尺寸的持续降低,了解超大规模集成(VLSI)电路的电路基础知识以及版图设计知识显得非常重要,原因有如下几点。首先,在解决更为困难的问题时需要了解对电路和版图设计问题有基本的了解。其次,出色的工程师通常可凭借其物理直觉来快速估算出电路的行为特点,不需要完全依赖计算机辅助设计(CAD)工具。本书正是从逻辑、电路以及系统设计的角度进行阐述,以满足大家对相关知识的需求。

为了达到这些目标,本书将着力于从底向上建立对集成电路的了解,更多关注逻辑电路、逻辑设计以及系统设计。更确切地说,本书的目标有如下几点。首先,本书将通过数字系统的实现过程来令读者熟悉全定制集成电路。其次,本书对开关逻辑设计的规则进行了介绍,并提供了很多有用的图表,这些都可以应用到不同的静态和动态逻辑系列电路当中去。第三,本书对互补金属-氧化物-半导体(CMOS)VLSI的制造和版图设计进行了详细介绍。因此,读者在阅读完本书之后可利用全定制技术进行VLSI系统的设计。第四,本书意欲涵盖当代CMOS工艺的若干重要问题,包括深亚微米器件、电路优化、互连线建模与优化、信号完整性、电源完整性、时钟和时序、功耗以及静电放电(ESD)。因此,读者不仅可以深入了解现代VLSI技术的特征和局限性,而且还能获取足够的背景知识以应对这一日新月异的领域。

本书的大部分内容来源于VLSI系统设计和数字集成电路分析与设计这两门课程,而这两门课程在过去的15年中在我们学校每年都有开设。这两门课程都是本科生和研究生一年级学生的选修课。本书的目的在于成为学生的有用教材和工程师的实用参考书,或者成为读者的自学书。对于课程使用,本书通篇都列举了大量实例,以帮助读者理解全定制VLSI的基本特征,掌握数字逻辑设计、数字电路分析与设计以及系统设计的要素。此外,书中还利用了大量图形来解释各个主题的主要概念。在每章中还提供了大量习题,以帮助读者测试其对书中内容的理解。

## 本书内容

本书的内容主要分为三部分。第一部分为第1章至第6章,主要介绍层次化IC设计、标准CMOS逻辑设计、金属-氧化物-半导体(MOS)晶体管的物理学原理、器件制造、物理版图、电路仿真、功耗和低功耗设计规则与技巧。第二部分包括第7章至第9章,介绍的是静态逻辑和动态逻辑以及时序逻辑。第三部分关注的是系统设计,包括第10章至第16章以及一个附录。这一部分主要考虑的是数据通路子系统设计、存储器模块、设计方法和实现方式、互连线、电源分布与时钟设计、输入/输出模块、ESD保护网络以及测试和可测性设计。

第1章介绍VLSI系统的特征、性能及前景。本章首先简要回顾了集成电路的发展史,并简单介绍了目前以及不久的将来VLSI设计所面临的挑战。然后介绍了VLSI设计与制造、CMOS逻辑电路的设计规则与设计模式,同时还介绍了数字系统的设计与实现方法。

第2章介绍了半导体的基本特性、pn结的特征、MOS系统和MOS晶体管的特征。有关

半导体的内容包括了本征半导体与非本征半导体的区别。pn 结的特征包括基本结构、内建电势、电流方程和结电容。对 MOS 晶体管(MOSFET)的基本工作原理及其理想电流-电压( $I-V$ )特性进行了细致的探讨。此外,还介绍了 CMOS 工艺的按比例缩小理论、非理想特性、阈值电压效应、泄漏电流、短沟道  $I-V$  特性、温度效应以及 MOS 晶体管的限制。同时,本章还随例介绍了集成电路仿真程序(SPICE)及相关的二极管和 MOS 晶体管模型。

第 3 章对半导体的基本制造工艺进行了介绍,包括热氧化、掺杂工艺、光刻、薄膜去除、薄膜淀积及其集成。此外还对后端工艺,包括晶圆测试(或称为晶圆探测)、划片、封装、最终测试以及老化测试进行了讨论。另外还简要介绍了几种先进的封装技术,例如多模块(MCM)封装和 3D 封装,包括系统封装(System-in-package, SiP)、系统级封装(System-on-package, SoP)以及晶圆上系统(SoW)。

第 4 章考虑的是制造工艺和电路设计之间的接口部分,即版图设计规则。同时还介绍了一些版图设计的深层次考虑,包括现代深亚微米(纳米)工艺的信号完整性、可制造性和可靠性。对 CMOS 工艺中的闩锁问题进行了深入探讨。之后,结合例子对常规版图结构中广为采用的欧拉路径法进行了介绍。

第 5 章关注的是 MOS 晶体管的寄生电阻和电容及其影响。在此首先介绍的是 MOS 晶体管的电阻和电容,然后介绍了估算传输延迟,即  $t_{pHL}$  和  $t_{pLH}$  的三种常规方法。之后介绍的是单元延迟和 Elmore 延迟模型。接下来讨论的是由反相器或混合逻辑门组成的逻辑链路的路径延迟优化问题。最后给出了逻辑功效的定义,并对其在路径延迟优化问题中的应用进行了细致探讨。

第 6 章介绍的是功耗和低功耗设计。在本章中首先介绍的是 MOS 逻辑电路的功耗,然后关注的是低功耗设计原则及相关问题。最后介绍的是功率可控元件设计和动态功率管理技术,并结合例子进行了深入讨论。

第 7 章研究的是静态逻辑电路。首先考虑的是 CMOS 反相器及其电压传输特性。然后介绍的是与非门和或非门。最后结合典型实例对单轨逻辑电路和双轨逻辑电路做了广泛介绍。同时对这些逻辑电路的逻辑设计规则进行了深入研究。

第 8 章考虑的是动态逻辑电路。本章首先对基本的动态逻辑电路进行了细致讨论,并讨论了局部放电危险及其避免措施。之后更为细致地对动态逻辑的非理想效应进行了讨论。最后介绍了三种类型的动态逻辑:单轨动态逻辑、双轨动态逻辑和钟控 CMOS 逻辑。

第 9 章介绍的是时序逻辑电路。本章首先介绍了时序逻辑电路的基础知识,包括时序逻辑模型、基本双稳态器件、亚稳态、冒险以及仲裁器。之后对不同 CMOS 静态和动态存储器元件进行了深入讨论,包括锁存器、触发器和脉冲式锁存器。同时还细致讨论了基于触发器、锁存器和脉冲式锁存器的系统时序问题。最后讨论的是流水线系统。

第 10 章对数据通路中广为采用的基本元件进行了探讨。这些元件包含基本组合元件和时序元件。组合元件包括译码器、编码器、多路选择器、多路分配器、幅值比较器和移位器,时序元件包括寄存器和计数器。此外还对算术运算包括加法、减法、乘法和除法进行了细致讨论。通常一个算术运算可通过采用一个多周期结构或单周期结构来实现。文中多次以移位、加法、乘法和除法运算为例来阐述这两种结构的本质。

第 11 章对大量不同类型的半导体存储器进行了介绍。半导体存储器可根据数据存取的类型和信息保持能力来分类。根据数据存取类型,半导体存储器可分为串行存取存储器、内容寻址存储器和随机存取存储器。随机存取存储器可分为读/写存储器和只读存储器。读/写存储



器还可进一步细分为两种类型:静态随机存取存储器(SRAM)和动态随机存取存储器(DRAM)。根据信息保持能力,半导体存储器可分为易失性和非易失性存储器。易失性存储器包括静态RAM和动态RAM,而非易失性存储器包括ROM、铁电RAM(FRAM)和磁阻RAM(MRAM)。

第12章介绍的是VLSI或数字系统的设计方法和实现方式。本章首先介绍了系统级和寄存器传输(RT)级的相关设计方法。然后介绍了数字系统寄存器传输级和物理级的设计流程及其实现方式。最后通过一个实例分析来演示如何用不同方法来设计并实现一个真实系统,包括 $\mu$ P/DSP系统、现场可编程器件以及带有单元库的专用集成电路(ASIC)。

第13章讲述的是互连线及其相关问题。VLSI系统或数字系统中的互连线主要提供电源传递路径、时钟传递路径以及信号传递路径。它在所有VLSI系统或数字系统中都扮演着非常重要的角色,因为它控制了时序、功率、噪声、设计功能及可靠性。所有这些密切相关的问题都在文中进行了细致讨论。

第14章讨论的是电源分布和时钟设计。文中详细讨论了电源分布、电源分布网络和去耦电容的设计问题及其相关问题。时钟系统的主要目的是为系统中的时序器件或动态逻辑电路产生并分配一个或多个时钟,并且时钟偏移要尽可能小。为此,本章着重介绍了时钟系统架构、产生时钟的方法以及时钟分配网络。同时还对锁相环和延迟锁定回路进行了探讨。

第15章介绍了输入/输出(I/O)模块和静电放电(ESD)保护网络。I/O模块通常包括输入和输出缓冲器。它们在芯片或VLSI系统与外部的通信中起着重要的作用。与I/O缓冲器相关的是ESD保护网络,利用它们来为ESD事件引起的静电荷提供放电电流通路,以保护核心电路不被破坏。

最后一章(第16章)讨论的是测试和可测性设计问题。测试的目的是为了找出系统或电路中存在的任何缺陷。本章首先关注了VLSI测试,随后对故障模型、测试向量产生和可测电路设计或可测性设计进行了讨论。之后对边界扫描标准(IEEE 1149.1),系统及测试,例如SRAM,基于内核的系统,片上系统(SoC)以及IEEE 1500进行了简要介绍。

附录通过Verilog硬件描述语言(Verilog HDL)和SystemVerilog实例对一些可综合特性进行了概述。通过列举这些例子,读者可逐步学会采用Verilog HDL/SystemVerilog来描述他们自己的硬件模块。此外,附录中还简要地介绍了验证程序的基本设计方法。最后用Verilog HDL对第12章中介绍的start/stop计时器完整地描述了一遍。

## 本书的课程使用

多年来作者一直将本书中的内容用于如下两门课程,即VLSI系统设计(或VLSI导论)和数字集成电路分析与设计。VLSI系统设计这门课的目的是让学生了解如何以全定制集成电路方式实现一个数字系统,为其介绍开关逻辑设计的规则,为CMOS逻辑电路提供有用的范例,形象地介绍CMOS VLSI的制造和版图设计,让学生对现代VLSI技术有基本的了解。因此,读者不仅可深入了解现代VLSI技术的特征和局限性,而且还能获取足够的背景知识以应对这一日新月异的领域。在这门课程中包括如下几个章节。具体内容可参阅:

- 1.1节至1.4节
- 3.1节至3.3节
- 4.1节至4.4节
- 5.1节至5.3节和6.1节

- 7.1 节(7.1.2 节至 7.1.4 节), 7.2 节和 7.3 节
- 8.1 节(8.1.2 节和 8.1.3 节), 8.3 节, 8.4 节和 8.5 节
- 9.1 节, 9.2 节, 9.3 节和 9.4 节
- 10.1 节至 10.6 节
- 可选, 12.1 节至 12.3 节
- 可选, 16.1 节至 16.5 节

数字集成电路分析与设计这门课程的主要目的是向学生介绍现代 CMOS 工艺的重要问题, 包括深亚微米器件, 电路优化, 存储器设计, 互连线建模与优化, 低功耗设计, 信号完整性, 电源完整性、时钟和时序、功耗以及静电放电(ESD)。为达到这些目标, 在课程中涵盖了如下几个章节。具体内容同样可参阅:

- 2.1 节至 2.5 节
- 7.1 节至 7.3 节
- 8.1 节至 8.2 节
- 11.1 节至 11.6 节
- 13.1 节至 13.4 节
- 14.1 节至 14.3 节
- 15.1 节至 15.4 节
- 6.1 节至 6.4 节

当然, 我们鼓励采用这本书的指导教师根据本书的内容确定自身的课程大纲。

## 补充材料

所有采用本书作为教材的指导教师都可获得指导教师补充材料, 包括解答手册和讲义的 PPT 幻灯片<sup>①</sup>。

## 致谢

本书的绝大部分材料来源于我们学校的两门课程 ET5302 和 ET5006, 而这两门课程在过去的 15 年中每年都有开设。十分感谢学习这两门课程的学生, 他们参与了本书草稿中的大量实验课程。两门课程的参与者提供了很多有用的建议, 帮助本书的内容日臻完整, 十分感激。感谢台湾应用研究实验室的芯片实现中心, 在过去的 20 年中他们为台湾的 VLSI 教育和相关研究提供了大量支持。还要诚挚地感谢我的导师, Ben Chen, 中华书局的创办者之一, 在过去的数十年中对我的学术生涯提供了鼎力支持和不断的鼓励。特别感谢 CRC 出版社的工作人员, 他们为本书的出版立下了汗马功劳, 特别是: Li-Ming Leong, Joselyn Banks-Kyle 和 Jim McGovern。最后, 要将我最衷心的感谢献给我的妻子 Fanny 和我的孩子 Alice 和 Frank, 他们对我在本书的写作过程中无法陪伴他们给予了足够的理解和支持。

Ming-Bo Lin

于台北

<sup>①</sup> 采用本书作为教材的授课教师, 可联系 [te\\_service@phei.com.cn](mailto:te_service@phei.com.cn) 获得相关教辅资料——编者注。



# 目 录

第 1 章 绪论 .....	1	2.3.1 MOS 系统 .....	60
1.1 VLSI 简介 .....	1	2.3.2 MOS 晶体管工作原理 .....	65
1.1.1 简介 .....	1	2.3.3 MOS 晶体管的 $I-V$ 特性 .....	66
1.1.2 VLSI 电路的基本特征 .....	3	2.3.4 按比例缩小理论 .....	69
1.1.3 VLSI 电路设计中存在的 问题 .....	6	2.4 MOS 晶体管的高级特性 .....	72
1.1.4 VLSI 经济学 .....	9	2.4.1 MOS 晶体管的非理想特性 .....	72
1.2 开关 MOS 晶体管 .....	11	2.4.2 阈值电压效应 .....	74
1.2.1 nMOS 晶体管 .....	11	2.4.3 泄漏电流 .....	76
1.2.2 pMOS 晶体管 .....	12	2.4.4 短沟道 $I-V$ 特性 .....	80
1.2.3 CMOS 传输门 .....	13	2.4.5 温度效应 .....	83
1.2.4 简单开关逻辑设计 .....	14	2.4.6 MOS 晶体管的限制 .....	83
1.2.5 CMOS 逻辑设计规则 .....	17	2.5 SPICE 和建模 .....	85
1.3 VLSI 设计与制造 .....	24	2.5.1 SPICE 简介 .....	85
1.3.1 设计技术 .....	24	2.5.2 二极管模型 .....	93
1.3.2 单元设计 .....	30	2.5.3 MOS 晶体管模型 .....	94
1.3.3 CMOS 工艺 .....	34	2.6 小结 .....	96
1.3.4 CMOS 版图 .....	35	参考文献 .....	97
1.3.5 版图设计规则 .....	37	习题 .....	98
1.4 数字系统的实现方法 .....	38	第 3 章 CMOS 集成电路制造 .....	101
1.4.1 未来趋势 .....	38	3.1 基本工艺 .....	101
1.4.2 实现方式 .....	39	3.1.1 热氧化 .....	101
1.5 小结 .....	40	3.1.2 掺杂工艺 .....	102
参考文献 .....	41	3.1.3 光刻 .....	105
习题 .....	42	3.1.4 薄膜去除 .....	113
第 2 章 MOS 晶体管基础 .....	46	3.1.5 薄膜淀积 .....	116
2.1 半导体基础 .....	46	3.2 各种材料及其应用 .....	120
2.1.1 本征半导体 .....	46	3.2.1 绝缘体 .....	120
2.1.2 非本征半导体 .....	49	3.2.2 半导体 .....	122
2.1.3 载流子输运过程 .....	52	3.2.3 导体 .....	123
2.2 pn 结 .....	54	3.3 工艺集成 .....	124
2.2.1 pn 结 .....	54	3.3.1 FEOL .....	125
2.2.2 金属-半导体结 .....	59	3.3.2 BEOL .....	133
2.3 MOS 晶体管理论 .....	60	3.3.3 后端工艺 .....	141
		3.4 先进 CMOS 工艺和器件 .....	144

3.4.1	先进 CMOS 工艺器件	144	5.4	小结	226
3.4.2	先进 CMOS 工艺	150		参考文献	226
3.5	小结	151		习题	227
	参考文献	152	<b>第 6 章</b>	<b>功耗与低功耗设计</b>	230
	习题	155	6.1	功耗	230
<b>第 4 章</b>	<b>版图设计</b>	156	6.1.1	功耗的组成部分	230
4.1	版图设计规则	156	6.1.2	动态功耗	231
4.1.1	版图设计的基本概念	156	6.1.3	设计裕度	233
4.1.2	基本结构的版图	161	6.1.4	确定导线宽度	234
4.1.3	高级版图设计讨论	165	6.2	低功耗逻辑设计原则	236
4.1.4	相关 CAD 工具	167	6.2.1	基本原则	236
4.2	CMOS 闩锁及其预防	168	6.2.2	降低电压摆幅	236
4.2.1	CMOS 闩锁	168	6.2.3	减少转换操作	238
4.2.2	闩锁的预防	170	6.2.4	减小开关电容	241
4.3	版图设计	172	6.3	低功耗逻辑架构	241
4.3.1	单元概念	172	6.3.1	流水线技术	241
4.3.2	基本版图设计	176	6.3.2	并行处理技术	243
4.4	复杂逻辑门的版图设计方法	180	6.4	功率管理	243
4.4.1	源/漏共享	180	6.4.1	基本技术	243
4.4.2	欧拉路径法	181	6.4.2	动态功率管理	249
4.4.3	版图设计小结	185	6.5	小结	252
4.5	小结	186		参考文献	252
	参考文献	187		习题	254
	习题	187	<b>第 7 章</b>	<b>静态逻辑电路</b>	255
<b>第 5 章</b>	<b>延迟模型和路径延迟优化</b>	190	7.1	基本静态逻辑电路	255
5.1	MOS 晶体管的电阻和电容	190	7.1.1	静态逻辑电路的类型	255
5.1.1	MOS 晶体管的电阻	190	7.1.2	CMOS 反相器	256
5.1.2	MOS 晶体管的电容	192	7.1.3	与非门	261
5.2	传输延迟与延迟模型	198	7.1.4	或非门	264
5.2.1	电压电平与噪声容限	198	7.1.5	基本门尺寸	266
5.2.2	与时序相关的基本术语	199	7.2	单轨逻辑电路	270
5.2.3	传输延迟	201	7.2.1	CMOS 逻辑电路	270
5.2.4	单元延迟模型	207	7.2.2	基于 TG 的逻辑电路	272
5.2.5	Elmore 延迟模型	213	7.2.3	有比逻辑电路	275
5.3	路径延迟优化	215	7.3	双轨逻辑电路	281
5.3.1	驱动较大容性负载	216	7.3.1	共源共栅电压开关逻辑 (CVSL)	281
5.3.2	路径延迟优化	216	7.3.2	互补传输晶体管逻辑 (CPL)	284
5.3.3	逻辑功效和路径延迟 优化	221			

7.3.3	DCVSPG	286	9.1.3	亚稳态和冒险	343
7.3.4	双传输晶体管逻辑 (DPL)	288	9.1.4	仲裁器	345
7.4	小结	289	9.2	存储元件	346
	参考文献	290	9.2.1	静态存储元件	346
	习题	291	9.2.2	动态存储单元	358
<b>第8章</b>	<b>动态逻辑电路</b>	294	9.2.3	脉冲调制锁存器	364
8.1	动态逻辑简介	294	9.2.4	准动态触发器	365
8.1.1	MOS管开关	294	9.2.5	低功耗触发器	366
8.1.2	基本动态逻辑	298	9.3	钟控系统时的时序问题	368
8.1.3	局部放电冒险	302	9.3.1	触发器系统的时序问题	368
8.1.4	动态逻辑电路类型	303	9.3.2	时钟偏移	370
8.2	动态逻辑的非理想效应	304	9.3.3	锁存器系统的时序问题	372
8.2.1	开关的泄漏电流	305	9.3.4	脉冲锁存器(Pulsed-Latch) 系统的时序问题	375
8.2.2	电荷注入和电容耦合	305	9.4	流水线系统	376
8.2.3	电荷损失效应	308	9.4.1	流水线系统分类	376
8.2.4	电荷共享效应	310	9.4.2	同步流水线	377
8.2.5	电源噪声	312	9.4.3	异步流水线	379
8.3	单轨动态逻辑	313	9.4.4	波形流水线	380
8.3.1	多米诺逻辑	313	9.5	小结	382
8.3.2	np多米诺逻辑	318		参考文献	382
8.3.3	两相不交叠时钟模式	318		习题	384
8.3.4	时钟延迟多米诺逻辑	321	<b>第10章</b>	<b>数据通路设计</b>	388
8.3.5	条件电荷管理器	323	10.1	基本组合元件	388
8.4	双轨动态逻辑	324	10.1.1	译码器	388
8.4.1	双轨多米诺逻辑	325	10.1.2	编码器	390
8.4.2	动态CVSL	325	10.1.3	多路选择器	393
8.4.3	基于读出放大器的动态 逻辑	327	10.1.4	多路分配器	395
8.5	钟控CMOS逻辑	328	10.1.5	幅值比较器	397
8.5.1	钟控单轨逻辑	329	10.2	基本的时序元件	398
8.5.2	钟控双轨逻辑	333	10.2.1	寄存器	399
8.6	小结	333	10.2.2	移位寄存器	399
	参考文献	334	10.2.3	计数器	400
	习题	336	10.2.4	序列发生器	402
<b>第9章</b>	<b>时序逻辑设计</b>	340	10.3	移位器	404
9.1	时序逻辑基础	340	10.3.1	基本移位操作	404
9.1.1	霍夫曼模型	340	10.3.2	移位器的实现方法	405
9.1.2	基本存储器件	342	10.4	加法/减法	408
			10.4.1	基本全加器	408
			10.4.2	$n$ 位加法器/减法器	409

10.4.3	并行前置加法器	419	参考文献	499
10.5	乘法	425	习题	502
10.5.1	无符号乘法器	425	<b>第 12 章 设计方法和实现方式</b>	504
10.5.2	有符号乘法器	431	12.1 设计方法和实现架构	504
10.6	除法	435	12.1.1 系统级设计	504
10.6.1	不恢复除法	435	12.1.2 RTL 级设计	506
10.6.2	不恢复除法的实现方法	437	12.1.3 实现架构	508
10.7	小结	438	12.2 综合流程	509
参考文献		439	12.2.1 一般综合流程	509
习题		441	12.2.2 RTL 综合流程	510
<b>第 11 章 存储器</b>		445	12.2.3 物理综合流程	511
11.1 简介		445	12.3 数字系统的实现方式	512
11.1.1	存储器分类	445	12.3.1 基于平台实现的系统	512
11.1.2	存储器结构	447	12.3.2 ASIC	515
11.1.3	存储器存取时序	449	12.3.3 现场可编程器件	518
11.2 静态随机存取存储器		450	12.3.4 实现方式的选择	521
11.2.1	RAM 核结构	450	12.4 实例研究——简单启动/停止	
11.2.2	SRAM 的工作原理	458	定时器	523
11.2.3	行译码器	460	12.4.1 设计要求	523
11.2.4	列译码器/多路选择器	464	12.4.2 基于 $\mu\text{P}$ 的设计	524
11.2.5	读出放大器	466	12.4.3 基于 FPGA 的设计	525
11.2.6	ATD 电路和时序的产生	471	12.4.4 基于单元的设计	526
11.3 动态随机存取存储器		472	12.5 小结	528
11.3.1	单元结构	472	参考文献	528
11.3.2	存储阵列结构	475	习题	529
11.4 只读存储器		476	<b>第 13 章 互连线</b>	530
11.4.1	或非型 ROM	477	13.1 RLC 寄生器件	530
11.4.2	与非型 ROM	478	13.1.1 电阻	530
11.5 非易失性存储器		479	13.1.2 电容	534
11.5.1	闪存	480	13.1.3 电感	537
11.5.2	其他非易失性存储器	485	13.2 互连线和仿真模型	539
11.6 其他存储器件		488	13.2.1 互连线模型	539
11.6.1	内容寻址存储器	488	13.2.2 仿真模型	540
11.6.2	寄存器文件	491	13.3 互连线的寄生效应	542
11.6.3	双端口 RAM	493	13.3.1 RC 延迟	542
11.6.4	可编程逻辑阵列	494	13.3.2 电容耦合效应	545
11.6.5	FIFO	497	13.3.3 RLC 效应	548
11.7 小结		498	13.4 传输线模型	549
			13.4.1 无损传输线	549

13.4.2	有损传输线	553	15.3.4	驱动传输线	601
13.4.3	传输线终端	554	15.3.5	同步转换噪声	602
13.5	高级专题	556	15.4	静电放电保护网络	604
13.5.1	自定时再生器(STR)	556	15.4.1	ESD 模型和设计问题	604
13.5.2	片上网络	557	15.4.2	常规 ESD 保护网络	605
13.5.3	考虑互连线的逻辑功效	557	15.4.3	ESD 保护网络	606
13.6	小结	559	15.5	小结	610
参考文献		559	参考文献		610
习题		561	习题		611
<b>第 14 章</b>	<b>电源分布和时钟设计</b>	<b>563</b>	<b>第 16 章</b>	<b>测试、验证和可测性设计</b>	<b>612</b>
14.1	电源分布网络	563	16.1	VLSI 测试简介	612
14.1.1	电源分布网络设计中的问题	563	16.1.1	验证测试	612
14.1.2	电源分布网路	566	16.1.2	晶圆测试	614
14.2	时钟产生和分配网络	569	16.1.3	器件测试	615
14.2.1	时钟系统架构	569	16.2	故障模型	616
14.2.2	时钟产生电路	570	16.2.1	故障模型	616
14.2.3	时钟分配网络	572	16.2.2	故障检测	619
14.3	锁相环/延迟锁定回路	575	16.3	自动测试信号产生	620
14.3.1	电荷泵 PLL	575	16.3.1	测试向量	620
14.3.2	全数字 PLL	582	16.3.2	路径敏化	621
14.3.3	延迟锁定回路	584	16.4	可测性电路设计	623
14.4	小结	586	16.4.1	特定法	624
参考文献		586	16.4.2	扫描路径法	625
习题		588	16.4.3	内建自测试	627
<b>第 15 章</b>	<b>输入/输出模块和 ESD 保护网络</b>	<b>589</b>	16.4.4	边界扫描标准——IEEE 1149.1	631
15.1	普通芯片结构	589	16.5	系统级测试	632
15.1.1	普通芯片结构简介	589	16.5.1	SRAM BIST 和 March 测试	632
15.1.2	常规考虑	590	16.5.2	核测试	634
15.2	输入缓冲器	591	16.5.3	SoC 测试	635
15.2.1	施密特电路	591	16.6	小结	636
15.2.2	电平转换电路	595	参考文献		636
15.2.3	差分缓冲器	596	习题		638
15.3	输出驱动器/缓冲器	598	<b>附录 A</b>	<b>Verilog HDL/SystemVerilog 简介</b>	<b>640</b>
15.3.1	唯 nMOS 缓冲器	598	<b>术语表</b>		<b>678</b>
15.3.2	三态缓冲器设计	599			
15.3.3	双向 I/O 电路	600			

# 第1章 绪 论

尽管目前绝大多数专用集成电路都完全或部分采用基于硬件描述语言(HDL)的专用综合流程来进行设计,并采用现场可编程门阵列或单元库来实现,但是了解超大规模集成(VLSI)电路的电路设计和物理设计基本知识变得越来越重要了,原因至少有以下几点。首先,在解决更为困难的问题时需要了解对电路和版图设计问题有基本的了解。其次,出色的工程师通常可凭借其物理直觉来快速估算出电路的行为特点,不需要完全依赖计算机辅助设计(CAD)工具。

为达到上述目标,本书将着力于从底向上建立对集成电路的了解,更多关注逻辑电路、逻辑设计以及系统设计。归根结底,我们一直相信学习VLSI设计的最佳方法是动手设计。

为了让读者熟悉一个数字系统的全定制实现过程,在本章中将介绍集成电路的发展简史、VLSI设计在当前及不久的将来所面临的挑战、VLSI设计透视、VLSI设计与制造、互补金属氧化物半导体(CMOS)逻辑设计的规则与模式,以及数字系统的设计和实现方法。

## 1.1 VLSI 简介

本节首先简要回顾一下VLSI技术的历史。接下来介绍一种硅平面工艺,现代CMOS工艺正是在此基础上建立起来的,还要介绍特征尺寸的最终限制。然后介绍的是VLSI电路的分类,采用VLSI电路的好处,制造VLSI电路的合适工艺,并简要介绍了按比例缩小理论。最后,详细讨论了深亚微米(DSM)器件和连线的设计挑战。文中还简单探讨了VLSI技术的经济学问题和未来发展。

### 1.1.1 简介

在本小节中将介绍VLSI技术的历史,一种基本的硅平面工艺以及特征尺寸的最终限制。

#### 1.1.1.1 简史

VLSI的历史可追溯至晶体管的发明。1947年,John Bardeen, Valter Brattain 和 William Shockley(都在贝尔实验室)发明了第一只点接触晶体管。由于这一突出贡献,他们在1956年获得了物理学诺贝尔奖。继这一发明之后,贝尔实验室致力于开发双极型晶体管(BJT)。这一努力建立了现代双极型晶体管的基础。双极型晶体管迅速替代了真空管,成为电子系统的主流,因为它们相比而言更为可靠、噪声更小且功耗更低。

晶体管发明十年之后,德州仪器(TI)的Jack Kilby制作了第一枚集成电路,探索了在单个硅片上制作多个晶体管微型化的可能性。这项工作奠定了晶体管-晶体管逻辑(TTL)系列的基石,而TTL系列在20世纪70年代到20世纪80年代非常流行。它们当中的一部分在今天依然存在且被广为使用,尽管这些电路现在的制造可能与原先的设计有所不同。由于发明了这款集成电路,Jack Kilby在2000年荣获了物理学诺贝尔奖。

尽管金属氧化物半导体场效应晶体管(MOSFET)或简称金属氧化物半导体(MOS)晶体管



的发明要早于双极型晶体管，但是它的使用却是直到 20 世纪 70 年代才被推广开来。Julius Lilien-field(德国)(美国专利 1745175)和 Oskar Heil(英国专利 439457)分别在 1925 年和 1935 年发布了他们的专利。1963 年，仙童公司的 Frank Wanlass 利用分立元件搭建了第一个互补金属氧化物半导体(CMOS)逻辑门，展示了 CMOS 技术利用两种不同 MOS 管——n 型和 p 型管表现出的超低等待功率特征。这一电路是当今 CMOS 领域的奠基石。

### 1.1.1.2 硅平面工艺

随着硅平面工艺的出现，MOS 集成电路由于其低成本而变得流行开来，每个晶体管所占的面积要比双极型晶体管小，且制造工艺要更为简单。在开始阶段采用的是 p 型 MOS(pMOS)管，但很快被 n 型 MOS(nMOS)管所取代，因为 nMOS 管的性能、可靠性和成品率更高。nMOS 逻辑电路的一个优点是它们所需的面积比 pMOS 电路要小。这一优点可借助英特尔公司采用 nMOS 工艺开发的 1101——256 位静态随机存储器(RAM)和 4004——第一款 4 位微处理器来说明。尽管如此，在 20 世纪 80 年代，对集成度的需求急速上升；nMOS 逻辑电路较高的等待功率极大地限制了集成度的提升。于是出现了 CMOS 工艺，并迅速取代了 nMOS 工艺，成为 VLSI 技术的主流，尽管采用 CMOS 工艺的逻辑电路所需的面积要远大于采用 nMOS 工艺实现的逻辑电路。现在 CMOS 工艺已经成为了 VLSI 设计最成熟和最流行的技术。

硅平面工艺的基本特征就是在硅表面的特定区域内淀积选定掺杂原子以改变或修改这些区域的电学特性的能力。为达到这一目标，如图 1.1 所示，需要进行如下基本步骤：(1)在硅表面形成氧化层(二氧化硅， $\text{SiO}_2$ )；(2)去除选定区域的氧化层；(3)在硅表面和氧化层上淀积所需的掺杂原子；(4)选定区域上的掺杂原子扩散到硅当中去。重复采用这 4 个步骤，就可以制作出所需的集成电路(IC)。

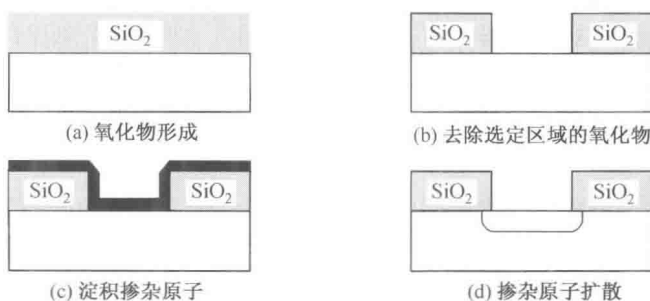


图 1.1 硅平面工艺的基本步骤

从 20 世纪 60 年代以来，基本硅平面工艺经过了一次又一次的完善。特征尺寸，即集成电路特定工艺中所允许的最小线宽或两条线之间的最小间距持续地快速变化，从 1969 年的  $8\ \mu\text{m}$  变化到了现在(2010 年)的  $32\ \text{nm}$ 。随着这一变化，芯片上的晶体管数目急速增加，如图 1.2 所示，其中展示的是英特尔微处理器的发展。从图中可以看出，晶体管的数目几乎是每两年翻一番。芯片上晶体管数目的指数增长首先是被摩尔在 1965 年发现的，由他提出了著名的摩尔定律，摩尔定律表示芯片上晶体管的数目每 18 至 24 个月要翻一番。三年之后，Robert Noyce 和摩尔创立了英特尔公司，当今已经成为了全球最大的芯片制造商。

摩尔定律实际受两个主要力量推动。首先，随着集成电路工艺设备的改良，特征尺寸大幅

减小。其次,管芯<sup>①</sup>面积逐步增加从而可以容纳更多的晶体管,因为晶圆的缺陷密度已经显著降低。现在,面积为 $2 \times 2 \text{ cm}^2$ 的管芯已并不少见。然而我们要看到的是管芯的成品率和每块管芯的成本与管芯面积息息相关。为了获得较好的管芯成品率,管芯的面积必须要控制在一定的范围内。有关管芯成品率和更普通的话题细节,即 VLSI 经济学方面的内容将在本节的稍后部分讨论。

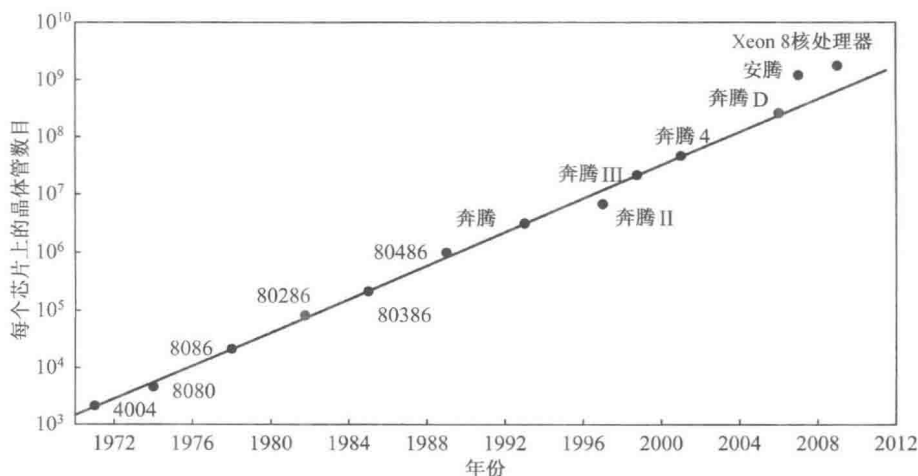


图 1.2 以英特尔微处理器来展示摩尔定律

### 1.1.1.3 特征尺寸的最终限制

特征尺寸可以减小到多少存在一个限制。至少有两个因素会限制特征尺寸无限制地减小下去。首先,随着器件尺寸的减小,数字的统计波动( $\approx \sqrt{n}$ )会成为限制电路性能的一个重要因素,不光是对模拟电路而言,最终对数字电路也是如此。这使得电路的设计相比以前变得更为困难。最终,每个器件中可能只包含几个电子,电路设计的整个概念会变得与今天所用的概念截然不同。

限制特征尺寸无限制减小的另一个因素是光刻设备的分辨率。尽管诸如光学邻近校正(OPC)、相移掩膜、双重曝光和浸润式光刻等这些分辨率提升技术已经使得目前分辨率可达到 45 nm 甚至更低,但是随着特征尺寸的降低,在不远的将来还需要更为昂贵的光刻设备以及其他制造设备。而设备的开发和制造成本很有可能限制可用于制造集成电路的特征尺寸。

### 复习题

- Q1-1 描述硅平面工艺的基本步骤。  
 Q1-2 描述摩尔定律及其含义。  
 Q1-3 特征尺寸的最终限制是什么?

### 1.1.1.2 VLSI 电路的基本特征

在本节中将讨论 VLSI 电路的含义、采用 VLSI 电路的好处、制造 VLSI 电路的合适工艺以及按比例缩小理论。

<sup>①</sup> 管芯通常指的是晶圆上的一个 IC, 而芯片表示的是已经从晶圆上切割下来 IC。有时候它们二者可以互用。

### 1.1.2.1 VLSI 电路的分类

粗略地讲,“VLSI”这个词是指所有包含很多元件,例如晶体管、电阻、电容等的集成电路。更为确切地说,集成电路(IC)可根据所包含元件的数目划分为以下几类。

- 小规模集成(SSSI)指的是包含少于10个门的IC。
- 中等规模集成(MSI)指的是包含多至100个门的IC。
- 大规模集成(LSI)指的是包含多至1000个门的IC。
- 超大规模集成(VLSI)指的是包含超过1000个门的IC。

在此“门”指的是一个二输入基本门,例如一个与门或与非门。另外一种衡量一个IC复杂度的常用方法是晶体管的数目。采用如下经验系数,FPGA器件、基于单元的设计和双极全定制设计的门数目和晶体管数目都可以相互转换。

- 现场可编程门阵列(FPGA):在FPGA器件中,由于一些不可避免的开销,1个门近似等于7~10个晶体管,这取决于所选用FPGA器件的类型。
- 基于单元的CMOS设计:由于一个基本的二输入与非门有两个pMOS管和两个nMOS管组成,在基于单元的设计中一个基本门通常可算做4个晶体管。
- 双极全定制设计:在双极型晶体管逻辑中,例如TTL,每个基本门大致都由10个基本元件组成,包括晶体管和电阻。

常见的一些VLSI电路有:微处理器,微控制器(嵌入式系统),存储器器件(静态随机存取存储器/SRAM,动态随机存取存储器/DRAM,闪存),不同的FPGA器件以及专用处理器,例如数字信号处理(DSP)器件和图形处理单元(GPU)器件。

近年来,有时会用超大规模(ULSI)这一术语来表示集成了亿万个元件的单个电路。不过在本书中不会采用这一术语。取而代之的是书中只采用VLSI这一术语来表示晶体管及/或其他元件高度集成的IC。

### 1.1.2.2 采用VLSI电路的好处

完成集成电路的分类之后,现在来讨论采用VLSI电路的好处。由于几乎无须采用人工组装,集成可以降低制造成本,除此之外集成还可以给设计带来很大改善。这一点从集成带来的以下几点影响可以看出。首先,集成减少了寄生,包括电容,电阻甚至电感,因而刻蚀的最终电路可以高速工作。其次,集成降低了功耗,从而产生的热量更少。集成电路的大部分功耗是由I/O电路造成的,当信号转换时I/O电路中的大量电容需要被充电或者是放电。通过适当的集成,这些I/O电路中的绝大部分可以去除掉。第三,集成系统的物理尺寸更小一些,因为芯片占据的面积比初始系统的面积要小。因此,采用VLSI技术来设计一个电子系统可使得系统具有更高性能、消耗更少功率并占据更小的面积。这些因素反映到最终的产品中就是更小的物理尺寸、更低的功耗和更低的成本。

### 1.1.2.3 VLSI 技术

现在可以采用多种技术来设计和实现一个集成电路。其中最为常用的技术为CMOS工艺,双极型晶体管和砷化镓(GaAs)。在这三种技术中,CMOS工艺是VLSI领域的主导技术,因为它有最低的功耗和最高的集成度,因而极具吸引力。双极型晶体管的特有特征是比CMOS电路具有更高的工作频率。因此,在射频(RF)应用中常采用双极型晶体管。现在