

Embedded System Design Based on ARC EM Processor

ARC EM处理器 嵌入式系统开发与编程

雷鑑铭 郑朝霞 吴丹 程松波 等编著

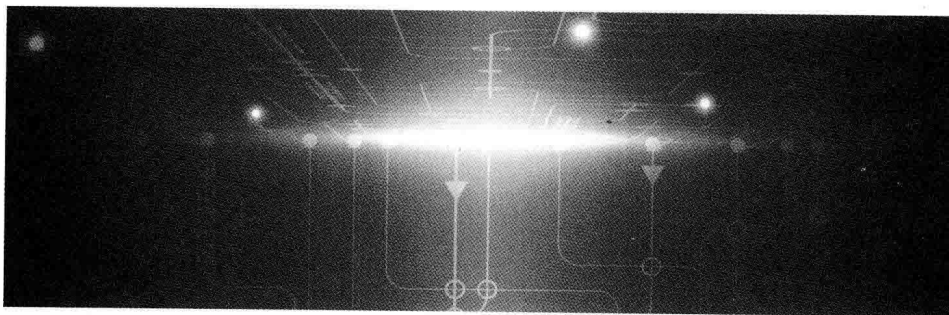


机械工业出版社
China Machine Press

高等院校电子信息与电气学科系列规划教材

Embedded System Design Based on ARC EM Processor

ARC EM处理器 嵌入式系统开发与编程



雷鑑铭 郑朝霞 吴丹 程松波 等编著



机械工业出版社
China Machine Press

图书在版编目(CIP)数据

ARC EM 处理器嵌入式系统开发与编程 / 雷鑑铭等编著. —北京: 机械工业出版社, 2015.10

ISBN 978-7-111-51778-8

I. A… II. 雷… III. 微处理器—系统设计 IV. TP332

中国版本图书馆 CIP 数据核字 (2015) 第 243871 号

本书以实际的嵌入式系统产品应用与开发为主线,力求透彻讲解开发中所涉及的庞大而复杂的相关知识。第 1~5 章为基础篇,介绍 ARC 嵌入式系统的基础知识和开发过程中需要的一些理论知识,具体包括 ARC 嵌入式系统概述、ARC EM 处理器介绍、ARC EM 编程模型、中断及异常处理、汇编语言程序设计等内容。第 6~9 章为实践篇,介绍如何建立嵌入式开发环境、搭建嵌入式硬件开发平台等,具体包括 ARC EM 处理器的开发及调试环境、MQX 实时操作系统、ARC EM Starter Kit FPGA 开发板以及嵌入式系统应用开发实例等内容。第 10~11 章特别介绍 ARC EM 处理器特有的可配置及可扩展 APEX 属性,以及如何在处理器设计中利用这种可配置及可扩展性实现优化设计。

ARC EM 处理器嵌入式系统开发与编程

出版发行: 机械工业出版社 (北京市西城区百万庄大街 22 号 邮政编码: 100037)

责任编辑: 王 颖

责任校对: 殷 虹

印 刷: 北京瑞德印刷有限公司

版 次: 2015 年 11 月第 1 版第 1 次印刷

开 本: 186mm×240mm 1/16

印 张: 17.25

书 号: ISBN 978-7-111-51778-8

定 价: 45.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

客服热线: (010) 88379426 88361066

投稿热线: (010) 88379604

购书热线: (010) 68326294 88379649 68995259

读者信箱: hzit@hzbook.com

版权所有·侵权必究

封底无防伪标均为盗版

本书法律顾问: 北京大成律师事务所 韩光 / 邹晓东



In recent years processor IP has become ubiquitous as mobile and consumer device makers have migrated their designs from using stand-alone processor chips to processor cores integrated into more power-efficient System-on-Chips (SoCs). At the same time, software functionality and complexity has increased at a dramatic rate, requiring additional processing bandwidth. Many of today's processors, including the ARC EM Family of processor IP cores, are focused on delivering increasing levels of performance with lower power consumption and a minimum silicon footprint.

ARC EM processors were first introduced in 2012. Designed for ultra-low power operation, EM cores hit a sweet spot in processing efficiency and have since become Synopsys' most successful processor product line. EM processors are now used in a wide variety of embedded applications, especially where exceptional performance-to-power (DMIPS/mW) or performance-to-area (DMIPS/mm²) ratios are needed such as the Internet of Things (IoT).

The ARC EM family utilizes a scalable 16-/32-bit RISC instruction set architecture (ISA) that is optimized for the unique requirements of embedded and deeply embedded applications, such as performance efficiency and code density. Like all ARC processors, EM cores are highly configurable to enable designers to tailor each ARC processor instance to meet specific performance, power and area requirements. ARC processors are also extendable, allowing designers to add their own custom instructions that accelerate application-specific code. The EM processor cores are supported by a robust ecosystem of software and hardware development tools, including an easy to use and low-cost ARC EM Starter Kit for early software development, the MQX real-time operating system (RTOS), the embARC Open Software Platform, and a broad portfolio of third-party tools, operating systems and middleware from leading industry vendors.

Through the explanations and examples in this book, you will find the ARC EM processors are easy to use and easy to program. The processors are extremely "C-friendly", meaning there is no need to optimize the applications with assembly. In some aspects, EM processors are easier to use than many 8-bit microcontrollers because of the simplicity of the linear memory architecture, an uncomplicated and yet flexible exception model, comprehensive debug features, and the software

infrastructures provided by Synopsys and ecosystem partners.

In 2012, we began expanding Synopsys' engineering development resources in China with a new ARC-focused R&D site in Wuhan, Hubei province. In addition to building the Synopsys team, we sought opportunities to build relationships with local universities and help educate future generations of engineers. The Huazhong University of Science and Technology (HUST) is one such university where a strong bond was formed. HUST is a public, coeducational research university located in Wuhan and is directly affiliated to the Ministry of Education of China. HUST professors and students led the way in working with us to develop a strong microprocessor design and programming curriculum, including coursework and hands-on labs. Our HUST collaborators have also been instrumental in co-authoring with Synopsys this book, which not only serves as a companion text for students taking the ARC-based course but will also serve as a valuable resource to professional software developers, chip design engineers, hobbyists and electronic enthusiasts of all shapes and sizes.

Many thanks to all those people who have contributed to the publication of this book. I hope that you, the reader, find this book helpful for any processor-based project you are undertaking. Design on!

——Yankin Tanurhan, Vice-president of ARC R&D, Synopsys

前 言

嵌入式系统 (Embedded System) 是一种“完全嵌入受控器件内部, 为特定应用而设计的专用计算机系统”, 根据英国电气工程师协会 (U. K. Institution of Electrical Engineer) 的定义, 嵌入式系统为控制、监视或辅助设备、机器, 或用于工厂运作的设备。而国内普遍认同的嵌入式系统的定义为: 以应用为中心, 以计算机技术为基础, 软硬件可裁剪, 适应应用系统对功能、可靠性、成本、体积、功耗等严格要求的专用计算机系统。与个人计算机这样的通用计算机系统不同, 嵌入式系统通常执行的是带有特定要求的预先定义的任务。

本书以实际的嵌入式系统产品应用与开发为主线, 力求透彻讲解开发中所涉及的庞大而复杂的相关知识。

本书第 1 ~ 5 章为基础篇, 介绍了 ARC 嵌入式系统的基础知识和开发过程中需要的一些理论知识, 具体包括 ARC 嵌入式系统概述、ARC EM 处理器介绍、ARC EM 编程模型、中断及异常处理、汇编语言程序设计等内容。第 6 ~ 9 章为实践篇, 介绍了如何建立嵌入式开发环境、搭建嵌入式硬件开发平台等, 具体包括 ARC EM 处理器的开发及调试环境、MQX 实时操作系统、ARC EM Starter Kit FPGA 开发板以及嵌入式系统应用开发实例等内容。第 10 ~ 11 章介绍了 ARC EM 处理器特有的可配置及可扩展 APEX 属性, 以及如何在处理器设计中利用这种可配置及可扩展性实现优化设计。

本书不仅详细讲解基础理论知识, 还提供了大量的开发案例供读者参考, 学习性和实用性强, 既可供从事嵌入式系统设计、开发的广大科技人员阅读, 也可以作为大专院校电子科学与技术、集成电路与集成系统、微电子科学与工程、物联网工程、电子信息、自动控制专业及其他相关专业的教材或参考书。

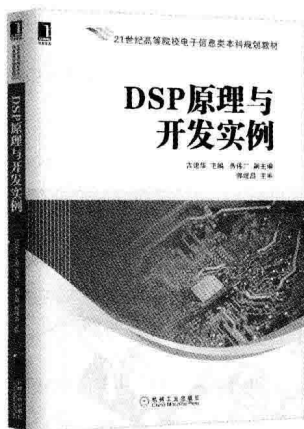
本书是华中科技大学-Synopsys ARC 处理器联合培训中心的力作, 系统介绍应用 Synopsys ARC 处理器进行嵌入式系统开发与编程。为了使广大学生和研发工程师尽快掌握 ARC EM 处理器的使用, 更好地推广 Synopsys ARC 处理器技术与产品, 在 Synopsys 全球总部、Synopsys 武汉公司、Synopsys ARC 研发团队、华中科技大学光学与电子信息学院微电子工程系、武汉微电子学院及机械工业出版社华章公司的支持下, 我们编著了此书, 目的是为广大读者提供一本较为完整、系统的 ARC EM 嵌入式系统开发与编程参考书。本书主要以 ARC EM 原版数据手册的内容为基础, 增加了 ARC EM 处理器特有的可配置及可扩展 APEX 属性等

内容。为了方便学习和实践，我们还开发了较为完整的配套实验案例，以及一个嵌入式系统应用实例——温度自动监测模块。

本书由华中科技大学武汉国际微电子学院及华中科技大学光学与电子信息学院雷鑑铭老师负责组织并完成全书的编著工作，华中科技大学郑朝霞副教授、邹雪城教授对本书进行了审校。参与本书编写和整理、软硬件设计和案例开发验证等工作的有 Synopsys 公司的吴丹、程松波、程文、涂申俊、饶金理、沈金阳、陈鹏、胡振波、彭剑英以及华中科技大学武汉微电子学院的彭自强、向灯、黄之、许晟、安志浩、顾云帆、高文、钟媛、高弘扬、郑贤、符章等。在本书完成过程中，还得到了 Synopsys 武汉公司王喆及机械工业出版社华章公司的大力支持，在此向他们表示衷心的感谢。特别感谢文华学院外国语学院英语系肖艳梅老师的审校工作。

由于时间仓促和水平有限，同时在成书过程中 Synopsys 公司的官方资料还在不断更新，所以本书有些内容不尽完善，错误之处也在所难免，恳请读者批评指正，以便我们及时修正。有关此书的信息和配套资源，会及时发布在网站上（网址为 <http://www.embarc.org>）。

推荐阅读



DSP原理与开发实例

作者：吉建华 等 ISBN：978-7-111-45249-2 出版时间：2014年01月 定价：35.00元

本书以“边学边练、学做结合，践以求知、学以致用”为编写原则，力求理论和实践相结合。本书语言流畅、通俗易懂，努力避免繁琐的理论和长篇的数学推导，尽量用实例来说明问题，包含100余道例题、100道思考题、12个实验和两个应用系统设计，有效地整合本书内容的同时，最大限度地帮助读者掌握DSP这门应用技术。为方便读者使用，提供本书所有程序的源代码、电子课件、思考题答案以及书中所有插图电子版图片等资源。本书既可作为高等学校电子信息类专业本科生和研究生学习DSP的教材与参考书，也可供从事DSP芯片开发与应用的广大工程技术人员参考。

单片机原理与应用（第2版）

作者：李林功 等 ISBN：978-7-111-45995-8 出版时间：2014年03月 定价：35.00元

本书系统介绍了MCS-51系列单片机的基本工作原理、指令系统、程序设计、中断、定时/计数器、串行通信、系统扩展、接口技术、串行总线、应用系统设计等内容。从单片机内部结构讲解到外部扩展理论联系实际。原理讲解之后，配有应用实例。所有例题均有Proteus仿真。所有例题都配有汇编语言程序和C语言程序。

电子元件的可靠性

作者：王守国 ISBN：978-7-111-47170-7 出版时间：2014年09月 定价：49.00元

本书从可靠性基本概念、可靠性科学研究的主要内容出发，给出可靠性数学的基础知识，讨论威布尔分布的应用；通过电子元件的可靠性试验，如筛选试验、寿命试验、鉴定试验等内容，诠释可靠性物理的核心知识。接着，详细介绍电子元件的类型、失效模式和失效分析等，阐述电子元件的可靠性应用。最后，着重介绍器件的生产制备和可靠性保证等可靠性管理的内容。本书内容立足于专业基础，结合数理统计等数学工具，实用性强，旨在帮助学生掌握可靠性科学的理论工具，以及电子元件可靠性应用的工程技术，提高实际操作能力。

目 录

序 前言

第 1 章 ARC 嵌入式系统概述..... 1	2.4 小结..... 27
1.1 嵌入式系统简介..... 1	
1.2 ARC 处理器简介..... 2	
1.3 ARC EM 处理器系列..... 4	
1.4 ARC EM 处理器开发环境..... 9	
1.4.1 ARChitect..... 9	
1.4.2 MetaWare 开发套件..... 9	
1.4.3 embARC 软件平台..... 10	
1.4.4 操作系统支持..... 10	
1.4.5 ARC EM Starter Kit 开发板..... 10	
1.5 小结..... 11	
第 2 章 ARC EM 处理器介绍..... 12	第 3 章 ARC EM 编程模型..... 28
2.1 ARC EM 处理器特点..... 12	3.1 概述..... 28
2.2 可配置性及可扩展性..... 14	3.2 寻址空间划分..... 30
2.2.1 可配置性..... 14	3.3 数据类型..... 30
2.2.2 用户可扩展性..... 15	3.3.1 32 位数据..... 31
2.3 ARC EM 处理器结构..... 16	3.3.2 16 位数据..... 31
2.3.1 接口信号..... 16	3.3.3 8 位数据..... 32
2.3.2 内核结构..... 18	3.3.4 1 位数据..... 32
2.3.3 存储系统..... 20	3.4 寻址方式..... 32
2.3.4 存储保护机制..... 24	3.5 寄存器组..... 32
2.3.5 调试..... 25	3.5.1 核心寄存器组..... 33
	3.5.2 辅助寄存器组..... 38
	3.6 工作模式..... 46
	3.7 指令类型..... 46
	3.7.1 算术逻辑运算指令..... 46
	3.7.2 数据传输指令..... 47
	3.7.3 控制流指令..... 47
	3.7.4 特殊指令..... 47
	3.7.5 扩展指令集..... 48
	3.8 指令格式..... 48
	3.8.1 32 位指令格式..... 48
	3.8.2 16 位指令格式..... 48
	3.8.3 指令存储方式..... 49
	3.8.4 条件执行..... 50

3.9 指令集应用实例	51	5.2.2 汇编语言伪指令	79
3.9.1 数据传输指令	52	5.3 ARC 汇编语言语句格式	82
3.9.2 算术运算指令	52	5.3.1 汇编语言格式与例子	82
3.9.3 比较指令	54	5.3.2 汇编语言的字符集与标识符	85
3.9.4 逻辑运算指令	54	5.3.3 汇编语言符号	86
3.9.5 跳转指令	54	5.3.4 汇编语言标号	88
3.9.6 加载/存储指令	55	5.3.5 汇编语言的常量	90
3.9.7 其他指令	56	5.3.6 表达式	91
3.10 小结	57	5.3.7 宏	92
第4章 中断及异常处理	58	5.4 ARC 汇编语言程序设计	93
4.1 概述	58	5.4.1 汇编语言编程步骤	93
4.2 工作模式和权限	58	5.4.2 程序设计类型	94
4.3 中断	60	5.5 ARC 汇编语言程序实例	97
4.3.1 中断单元特性	61	5.6 ARC 汇编语言与 C/C++ 的混合编程	98
4.3.2 配置中断单元	61	5.6.1 ARC C/C++ 调用汇编程序	98
4.3.3 中断单元编程	62	5.6.2 ARC 汇编调用 C/C++	101
4.3.4 中断处理	66	5.6.3 ARC C/C++ 和汇编交叉调用实例	101
4.4 异常	69	5.7 小结	103
4.4.1 异常精确性	69	第6章 ARC EM 处理器的开发及调试环境	104
4.4.2 异常向量及异常原因寄存器	70	6.1 MetaWare 开发套件	104
4.4.3 异常类型与优先级	72	6.1.1 MetaWare mcc 编译器和 ccac 编译器	105
4.4.4 异常检测	74	6.1.2 MetaWare ELF 汇编器	106
4.4.5 异常进入	75	6.1.3 MetaWare ELF 链接器	106
4.4.6 异常退出	75	6.1.4 MetaWare 运行时库	107
4.4.7 异常与延迟槽指令	75	6.1.5 MetaWare 调试器	110
4.5 中断或异常服务程序返回指令 RTIE	75	6.1.6 MetaWare 仿真器	110
4.6 小结	77	6.1.7 MetaWare IDE	111
第5章 汇编语言程序设计	78	6.2 MetaWare IDE 开发指南	112
5.1 ARC 汇编语言	78	6.2.1 创建与管理工程	112
5.2 ARC 汇编语言伪指令	78		
5.2.1 汇编语言伪指令简介	78		

6.2.2 配置工程	116	第 8 章 ARC EM Starter Kit FPGA	
6.2.3 编译工程	118	开发板	154
6.2.4 调试工程	118	8.1 概述	154
6.3 使用 MetaWare 调试器进行性能		8.2 ARC EM FPGA 系统设计	155
分析	122	8.2.1 FPGA 系统概述	155
6.4 MetaWare 命令行模式	126	8.2.2 EM 内核配置	156
6.4.1 MetaWare C/C++ 编译命令	126	8.2.3 外围设备控制	160
6.4.2 MetaWare 调试器调试命令	127	8.2.4 FPGA 系统时钟	164
6.5 ARC GNU 介绍	128	8.2.5 FPGA 系统中断分配	164
6.6 小结	128	8.3 开发板的使用	165
第 7 章 MQX 实时操作系统	129	8.3.1 开发板上接口介绍	165
7.1 实时操作系统介绍	129	8.3.2 Pmod 的使用	166
7.2 MQX 内核组件	130	8.3.3 操作模式	173
7.3 MQX 任务管理	132	8.3.4 软件包介绍	175
7.3.1 任务调度	133	8.4 实例	178
7.3.2 任务同步与通信	135	8.5 小结	181
7.4 MQX 存储管理	139	第 9 章 开发实例：温度监测与显示	182
7.4.1 可变大小存储块管理	139	9.1 系统简介	182
7.4.2 固定大小存储块管理	140	9.2 系统硬件设计	183
7.4.3 高速缓存控制	142	9.2.1 EM 内核设置	183
7.5 中断处理	142	9.2.2 Pmod 外设介绍	184
7.5.1 中断处理初始化	143	9.2.3 Pmod 与开发板的硬件	
7.5.2 装载应用程序定义的 ISR	143	连接	185
7.5.3 针对 ISR 的限制	144	9.3 系统软件实现	186
7.5.4 修改默认 ISR	146	9.3.1 软件设计	186
7.5.5 异常处理	146	9.3.2 代码实现	187
7.5.6 ISR 异常处理	146	9.3.3 系统代码详解	191
7.5.7 任务异常处理	147	9.4 调试与运行	194
7.5.8 ISR 装载实例	147	9.4.1 选择 FPGA 映像	194
7.6 MQX 配置	148	9.4.2 编译和运行代码	195
7.6.1 配置选项	149	9.4.3 运行结果	195
7.6.2 MQX 创建任务实例	150	9.5 小结	197
7.7 小结	153		

第 10 章 ARC EM 可配置性.....	198	11.2 为何添加 APEX 扩展.....	214
10.1 可配置性优点.....	198	11.3 识别定制指令.....	214
10.2 基准模板.....	199	11.4 创建 APEX 扩展.....	216
10.3 配置模块.....	201	11.4.1 APEX 扩展命名.....	216
10.3.1 添加 / 删除模块.....	201	11.4.2 配置扩展内容.....	217
10.3.2 配置模块属性.....	203	11.4.3 编辑选项.....	219
10.3.3 与固定配置处理器比较.....	203	11.4.4 编写逻辑.....	222
10.4 可选模块.....	205	11.4.5 编写测试代码.....	224
10.4.1 可选模块简介.....	205	11.5 验证 APEX 扩展.....	226
10.4.2 Cache 实例.....	206	11.6 使用 APEX 扩展.....	228
10.5 软硬件一致性.....	208	11.7 小结.....	230
10.5.1 什么是软硬件一致性.....	208		
10.5.2 乘法器使用实例.....	209	附录 A 常用辅助寄存器快速参考.....	231
10.6 小结.....	211	附录 B ARC 指令速查表.....	258
第 11 章 APEX 扩展.....	212	附录 C 术语及缩略语.....	262
11.1 APEX 综述.....	212	参考文献.....	264

ARC 嵌入式系统概述

本章主要介绍嵌入式系统的定义、嵌入式系统的主要特点和嵌入式系统的各个组成部分，使读者对嵌入式系统有较为系统的认识。同时还简要地介绍 ARC EM 处理器系列特点，以及基于 ARC EM 处理器的嵌入式系统开发环境。

1.1 嵌入式系统简介

近年来，随着以计算机技术、通信技术为主的信息技术的快速发展和 Internet 的普及，嵌入式系统得到了越来越广泛的应用及发展。嵌入式系统是以应用为中心，以计算机技术为基础，软硬件可裁剪（这是指嵌入式系统的大小和规格可随着具体应用需求而改变），适用于应用系统对功能、可靠性、成本、体积、功耗有严格要求的专用计算机系统。

根据英国电气工程师协会（U. K. Institution of Electrical Engineer）的定义，嵌入式系统（Embedded System）为控制、监视或辅助设备、机器，或用于工厂运作的设备。

根据中文维基百科的定义：嵌入式系统是一种完全嵌入受控器件内部，为特定应用设计的专用计算机系统。与个人计算机等通用计算机系统不同，嵌入式系统通常执行的是带有特定要求的预先定义的任务。由于嵌入式系统只针对一项特殊的任务，设计人员能够对其进行功能最佳化、系统最小化设计，从而达到降低成本的目的。

总之，嵌入式系统是面向用户、面向产品、面向应用的，必须与具体应用相结合才会具有生命力和优势。因此可以这样理解上述三个面向的含义，即嵌入式系统是与应用紧密结合的，它具有很强的专用性，必须结合实际系统需求进行合理的设计。

嵌入式系统主要由硬件层、中间层、系统软件层和应用软件层组成。

- 硬件层包含嵌入式处理器、存储器、通用设备接口和 I/O（Input/Output，输入/输出）接口。在单片嵌入式处理器基础上添加电源电路、时钟电路和存储器电路，就构成了一个嵌入式核心控制模块。
- 硬件层与软件层之间为中间层，也称为硬件抽象层或板级支持包（Board Support Package，BSP）。它将系统上层软件与底层硬件分离，使系统的底层驱动程序与硬件无关，上层软件开发人员无需关心底层硬件的具体细节，只要根据 BSP 层提供的接口即可进行开发。该层一般包含相关底层硬件的初始化、数据的输入/输出操作和硬件设备的配置功能。

- 系统软件层由实时多任务操作系统、文件系统、图形用户接口、网络系统及通用组件模块组成。RTOS (Real Time Operating System, 实时操作系统) 是嵌入式应用软件的基础和开发平台。
- 应用软件层指用户可以使用的各种程序设计语言, 以及用各种程序设计语言编制的应用程序的集合。

其中, 嵌入式处理器是嵌入式系统的核心组成部分, 它由通用计算机中的 CPU (Central Processing Unit, 中央处理器) 演变而来, 与通用 CPU 最大的不同在于嵌入式处理器主要工作在为特定用户群所专门设计的系统中, 它将通用 CPU 中许多由板卡完成的任务集成在芯片内部, 从而有利于嵌入式系统在设计时趋于小型化, 同时还具有很高的效率和可靠性。

嵌入式处理器的体系结构一般采用冯·诺依曼结构或哈佛结构, 指令系统采用复杂指令集 (Complex Instruction Set Computer, CISC) 结构或精简指令集 (Reduced Instruction Set Computer, RISC) 结构。据不完全统计, 全球嵌入式处理器已经超过 1000 种, 其中主流的体系有 ARM、MIPS、PowerPC、ARC、X86 等。

1.2 ARC 处理器简介

ARC 处理器是 Synopsys 公司推出的系列 32 位 RISC 结构微处理器产品, 致力于在满足应用所需的处理性能前提下, 以尽可能低的处理器功耗和尽可能小的芯片面积实现高效能、低成本。

ARC 处理器具有独特的可配置和可扩展特性, 给工程设计人员提供了极大的设计弹性。设计人员可以根据应用需求, 选择相应的 ARC 处理器产品系列, 配置处理器总线接口类型、数据位宽、寻址位宽、指令类型等属性。处理器内部的各功能模块也支持可配置, 例如配置乘法器采用不同算法实现, 配置高速缓存 Cache 的容量和结构, 配置中断处理单元所支持的中断数目和中断级数等。此外, ARC 处理器支持嵌入式系统设计工程师通过处理器的 APEX 扩展接口添加自己的定制指令、寄存器、硬件模块甚至是协处理器, 为特定应用提供硬件加速。这种根据应用“量身裁剪”的设计方式使得工程师可以在性能、面积、功耗之间进行权衡, 以实现最佳的内核 PPA (Performance/Power/Area, 性能 / 功耗 / 效率)。

ARC 处理器采用了高效的 16/32 位混合指令集体系结构。其中, 16 位指令包含最常用的指令操作类型, 有助于提高代码密度。ARC 处理器的存储系统支持配置片上存储器 CCM (Closely Coupled Memory, 紧耦合存储器), 便于以固定延迟 (1 ~ 2 个时钟周期) 访问应用中性能关键的代码和数据, 不仅有利于缓解片外总线访存压力, 降低系统访存延迟, 提高处理性能, 还有助于提高系统集成度, 降低系统成本。

ARC 处理器具有强大的中断 / 异常处理能力, 支持快速中断响应和中断处理优先级动态编程, 可以精确定位异常原因和类型。同时, ARC 处理器提供了丰富的调试接口和调试指令, 便于程序员实时监测处理器内部的运行状态和调试应用程序, 使得 ARC 处理器可以很好地适用

于可靠性要求较高的应用场合。

ARC 处理器的研发经历了 ARCV1 和 ARCV2 两种指令集体系结构,得到了充分的市场验证及系统应用。目前,全球已有超过 200 家厂商获得了 ARC 处理器的生产授权,基于 ARC 处理器的芯片年出货量超过 17 亿片。

相比 ARCV1, ARCV2 体系结构在以下方面进一步提高了处理器的性能和实时处理能力:

- 1) 支持 64 位访存指令。
- 2) 支持非对齐的存储器访存操作。
- 3) 支持硬件整数除法。
- 4) 增加了 64 位乘法、乘累加、向量加法和减法等指令操作。
- 5) 支持影子寄存器以进行异常处理中的现场保护,减少异常上下文的切换时间。
- 6) 扩展了中断处理功能,支持多达 240 个外部中断和 16 个可编程中断优先级,可自动保存上下文和返回现场。
- 7) 优化的指令集结构使得代码密度可以获得 18% 的提升。

为了满足嵌入式领域不同应用的需求,ARC 处理器已经开发了丰富的产品系列^①,如图 1-1 所示。

1) HS 产品系列(HS34、HS36、HS38)是目前性能最高的 ARC 处理器内核,采用了十级流水线技术,支持指令乱序执行和 L2 Cache,可配置成双核或四核 SMP (Symmetric Multi-Processor, 对称多处理器)系统,并支持运行 Linux 操作系统。可提供高达 1.6GHz 的主频和 1.9DMIPS/MHz 的性能,内核功耗为 60mW,面积约 0.15mm²。HS 产品系列主要面向高端的嵌入式应用,如固态硬盘、联网设备、汽车控制器、媒体播放器、数字电视、机顶盒和家庭联网产品等。

2) EM 系列产品(EM4、EM6、EM SEP、EM5D、EM7D)是功耗最低、面积最精简的 ARC 处理器内核,采用三级流水线技术。可提供约 900MHz 的主频和 1.77DMIPS/MHz 的性能,能效效率可达 3μW/MHz,内核面积仅为 0.01mm²。主要面向深嵌入式超低功耗应用领域以及数字信号处理领域,如 IoT (Internet of Things, 物联网)、工业微控制器、机顶盒、汽车电子等。

3) 700 系列产品(710D、725D、770D)采用了七级流水线技术,支持动态分支预测,可提供高达 1.1GHz 的主频。主要面向中、高端的嵌入式应用领域,如固态硬盘、图像处理、信

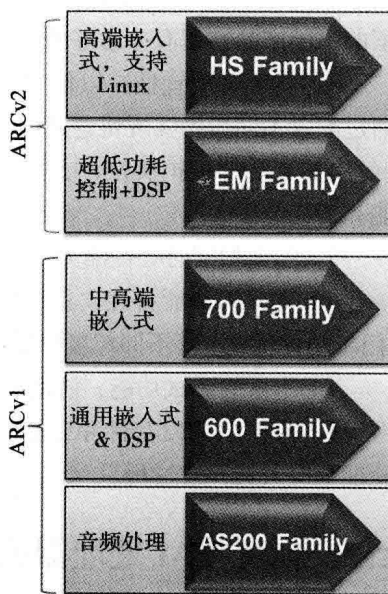


图 1-1 ARC 处理器产品系列

① 本章节所涉及的处理器频率、功耗和面积数据均基于 TSMC 28nm HPM 工艺。

号处理、联网设备等。

4) 600 系列产品 (601、605、610D、625D) 采用了五级流水线技术, 可提供约 900MHz 的主频。主要面向通用嵌入式领域, 如工业控制、带宽调制解调、VoIP、音频处理等。此外, 600 系列处理器具备特有的 XY 存储器结构, 特别针对数字信号处理进行优化, 可以很好地应用于嵌入式 DSP (Digital Signal Processing) 领域。

5) AS200 系列产品 (AS211SFX、AS221BD) 是专门用于数字电视、数码相机、音频播放和视频播放等音频处理应用领域。

此外, 为了能更有效地针对特定应用进行开发, 降低设计风险, 缩短产品设计周期, 基于 ARC 处理器的软件开发工具、中间软件以及操作系统部署等也都趋于完善和成熟, 建立了完整的生态系统, 能够给工程技术人员提供一套完整的解决方案。

ARC 处理器的主要特点可归纳如下:

1) 以功耗效率 (DMIPS/mW) 和面积效率 (DMIPS/mm²) 最优化为目标, 满足嵌入式市场对微处理器产品日益提高的效能要求。

2) 成熟、统一的 ISA 指令集体系结构不仅便于开发不同产品系列, 也便于开发同一系列下的不同产品, 具有非常好的延展性和兼容性。

3) 高度可配置性, 以便“量体裁衣”, 可通过增加或删除功能模块, 满足不同应用需求, 通过配置不同属性实现快速系统集成。

4) 灵活的可扩展性, 支持用户自定义指令、外围接口和硬件逻辑, 进一步优化处理器性能和功耗。

5) 强大的实时处理能力, 中断响应快速且动态可编程。

6) 优异的节能特性, 支持从体系结构 (SLEEP 指令)、硬件设计 (门控时钟) 到设计实现 (门级功耗优化) 等不同粒度的低功耗控制。

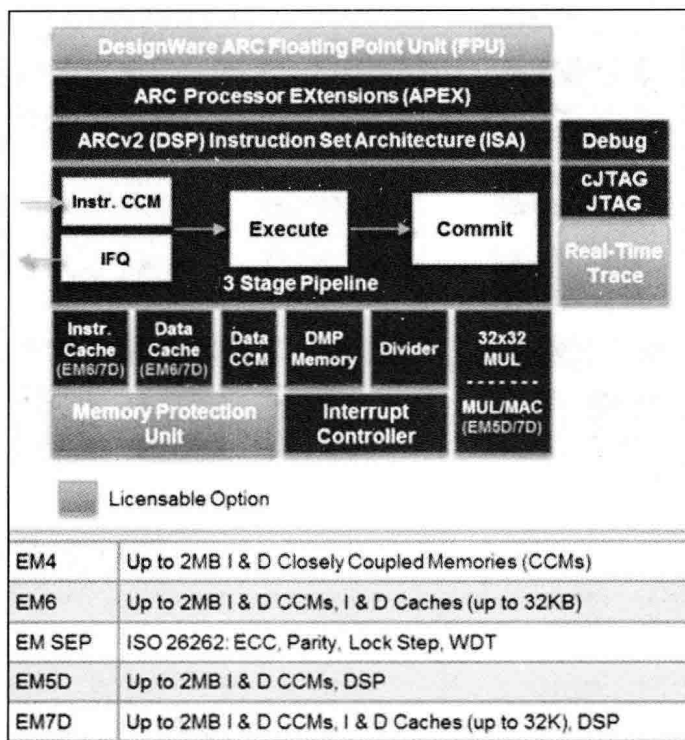
7) 丰富的调试功能, 协助编程人员快速查询处理器状态。

8) 成熟的开发套件和完整的生态系统, 帮助工程设计人员快速完成从产品设计、实现到验证等嵌入式开发过程。

1.3 ARC EM 处理器系列

ARC EM 处理器产品系列自 2012 年推向市场以来, 已经在传感器、IoT、微控制器、数字信号处理以及汽车电子等对设备功耗、体积和安全性要求高的深嵌入式应用领域得到了广泛应用。

ARC EM 处理器的通用结构及其系列产品如图 1-2 所示。ARC EM 处理器采用了三级流水线技术, 包含基本的取指部件、ALU (算术逻辑单元) 和寄存器组。在此基础之上, 通过添加不同的功能模块 (如高速缓存 Cache、紧耦合存储器 CCM) 或扩展指令集 (如向量处理 DSP 指令) 实现不同的产品。



目前, ARCEM 处理器产品系列主要包括以下几种:

(1) ARC EM4 处理器

ARC EM4 结构图如图 1-3 所示。

- 内核规模非常小，等效门数小于 10K。
- 高达 1.77 DMIPS/MHz 和 3.41 Core-Marks/MHz 的性能。
- 支持多达 16 个中断优先级，240 个中断。
- 可配置指令 CCM (ICCM) 容量为 512B ~ 2MB。
- 可配置数据 CCM (DCCM) 容量为 512B ~ 2MB。
- ARM、AMBA、AHB、AHB-lite 和 BVIC 总线接口。
- 可选 32×32 或 (和) 16×16 乘法器。
- 支持自定义用户扩展。

主要应用包括：嵌入式和深嵌入式应用，如智能微系统（智能 MEMS 系统）、记忆卡、SSD 控制器、8 位和 16 位微控制器替代产品和电池供电的产品。

(2) ARC EM6 处理器

ARC EM6 结构图如图 1-4 所示。ARC EM6 内核支持高达 32K 的指令和数据高速缓存,并专门进行了优化,以用于功耗和成本敏感型的嵌入式及深嵌入式应用。