



普通高等教育应用技术型“十三五”规划系列教材

CPLD/FPGA 设计及应用

CPLD/FPGA SHEJI JI YINGYONG

◎ 马玲 彭敏 主编



华中科技大学出版社

<http://www.hustp.com>

普通高等教育应用技术型“十三五”规划系列教材

CPLD /FPGA 设计及应用

主 编 马 玲 彭 敏
副主编 赵 庆 杨祖芳
刘琴涛 韩 洁

华中科技大学出版社
中国·武汉

内 容 简 介

本书从实际应用角度出发,重点介绍了以下主要内容:一是可编程逻辑器件 CPLD/FPGA 的编程原理;二是 Quartus II 软件的安装使用方法;三是编程语言 VHDL 的应用。本书结合各类案例给读者介绍了复杂可编程逻辑器件的设计方法,介绍了各类工程模块电路的设计方法,展示了从图形设计输入、编译到软件仿真、下载和硬件测试等的全过程。

本书适合作为普通高等教育本科院校通信工程等电子信息类和计算机应用类相关专业的教材或参考书,也可作为工程技术人员的自学参考书。

图书在版编目(CIP)数据

CPLD/FPGA 设计及应用/马玲,彭敏主编. —武汉:华中科技大学出版社,2015.7

ISBN 978-7-5680-1115-0

I. ①C… II. ①马… ②彭… III. ①可编程序逻辑器件-系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2015)第 179488 号

CPLD/FPGA 设计及应用

马 玲 彭 敏 主 编

策划编辑:范莹

责任编辑:谢婧

封面设计:原色设计

责任校对:马燕红

责任监印:周治超

出版发行:华中科技大学出版社(中国·武汉)

武昌喻家山 邮编:430074 电话:(027)81321913

录 排:武汉楚海文化传播有限公司

印 刷:武汉科源印刷设计有限公司

开 本:787mm×1092mm 1/16

印 张:13.75

字 数:342千字

印 次:2015年9月第1版第1次印刷

定 价:29.80元



本书若有印装质量问题,请向出版社营销中心调换
全国免费服务热线:400-6679-118 竭诚为您服务
版权所有 侵权必究

前 言

电子设计自动化(Electrical Design Automation, EDA)技术是现代集成电路(IC)及电子整机系统设计科技创新和产业发展的关键技术。EDA 技术教学是培养高素质电子设计人才(尤其是 IC 设计人才)的重要途径。基于 EDA 技术的 CPLD/FPGA 设计和应用是我国未来电子设计技术发展的主要方向。

本书的内容共七章。第一章概述 EDA 技术的基础知识,使读者对 EDA 有一个整体上的认知。第二章介绍可编程逻辑器件 CPLD/FPGA,对可编程逻辑器件的编程原理进行介绍,并介绍了目前市场上主流公司的不同型号器件。第三章介绍 VHDL 基础,重点介绍 VHDL 语言的技术结构、语法要素、顺序语句及并行语句。第四章介绍 Quartus II 软件平台,介绍 Quartus II 软件安装方法,结合各种不同输入方式对 EDA 的设计流程及软件的操作步骤进行了详细描述,并给出了设计实例。第五章介绍基本逻辑电路设计,通过具体设计实例,重点介绍基本的组合逻辑电路设计、时序逻辑电路设计以及分频器设计。第六章重点介绍状态机设计。第七章是设计实例分析,结合工程实际,列举了一些常用设计实例。

本书由武昌首义学院马玲、武汉工商学院彭敏共同主持编写,确定全书结构框架以及撰写主要内容。武汉工商学院杨祖芳对第一、二章进行了修订,武昌工学院赵庆对第三章进行了修订,江汉大学文理学院刘琴涛对第四章进行了修订,武昌首义学院韩洁对第五、六章进行了修订。同时,在本书编写过程中得到了华中科技大学出版社的大力支持,在此向他们一并表示诚挚的感谢。

由于作者水平有限,书中难免有不妥之处,恳请读者批评指正。

编 者

2015 年 8 月

目 录

第 1 章 概述	(1)
1.1 EDA 技术的含义	(1)
1.2 EDA 技术的发展历程	(1)
1.3 EDA 技术的主要内容	(3)
1.4 EDA 的工程设计流程	(5)
第 2 章 可编程逻辑器件	(9)
2.1 可编程逻辑器件概述	(9)
2.2 CPLD/FPGA 产品概述	(12)
2.3 PLD 的基本结构	(29)
2.4 CPLD 的结构与工作原理	(32)
2.5 FPGA 的结构与工作原理	(38)
2.6 CPLD 和 FPGA 的编程与配置	(46)
2.7 FPGA 和 CPLD 的开发应用选择	(49)
第 3 章 VHDL 基础	(54)
3.1 概述	(54)
3.2 VHDL 程序基本结构	(57)
3.3 VHDL 语言要素	(72)
3.4 VHDL 顺序语句	(85)
3.5 VHDL 并行语句	(108)
3.6 子程序(SUBPROGRAM)	(127)
第 4 章 Quartus II 软件平台	(134)
4.1 概述	(134)
4.2 Quartus II 软件开发基本流程	(134)
4.3 宏功能模块	(153)
4.4 宏功能模块的应用	(159)
第 5 章 基本逻辑电路设计	(166)
5.1 基本组合逻辑电路的设计	(166)
5.2 时序逻辑电路设计	(181)
5.3 分频器设计	(187)

第 6 章 有限状态机的 VHDL 设计	(190)
6.1 有限状态机的基本结构和功能	(190)
6.2 一般有限状态机的 VHDL 组成	(190)
6.3 摩尔状态机设计	(193)
6.4 米立型状态机设计	(195)
6.5 状态机编码	(196)
6.6 状态机设计中需要注意的问题	(197)
6.7 习题	(198)
第 7 章 VHDL 设计应用实例	(201)
7.1 8 位加法器的设计	(201)
7.2 序列检测器的设计	(203)
7.3 秒表的设计	(205)
7.4 交通灯信号控制器的设计	(208)
7.5 彩灯控制电路设计	(211)
参考文献	(214)

第 1 章 概 述

1.1 EDA 技术的含义

由于 EDA 技术是一门迅速发展的新技术,涉及面广,内容丰富,理解各异,因此目前尚无统一的定义。笔者认为:EDA 技术,就是以大规模集成可编程逻辑器件为设计载体,以硬件描述语言为系统逻辑描述的主要表达方式,以计算机、大规模集成可编程逻辑器件的开发软件及实验开发系统为设计工具,通过有关的开发软件,自动完成电子系统设计到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑布局布线、逻辑仿真,直至完成对于特定目标芯片的适配编译、逻辑映射、编程下载等工作,最终形成集成电子系统或专用集成芯片的一门新技术。

利用 EDA 技术进行电子系统的设计,具有以下几个特点:①用软件的方式设计硬件;②用软件方式设计的系统到硬件系统的转换是由有关的开发软件自动完成的;③设计过程中可用有关软件进行各种仿真;④系统可现场编程,在线升级;⑤整个系统可集成在一个芯片上,体积小、功耗低、可靠性高;⑥从以前的“组合设计”转向真正的“自由设计”;⑦设计的移植性好、效率高;⑧非常适合分工设计,团体协作。因此,利用 EDA 技术是现代电子设计的发展趋势。

1.2 EDA 技术的发展历程

EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了计算机辅助设计(computer assist design, CAD)、计算机辅助工程设计(computer assist engineering design, CAE)和电子设计自动化(electronic design automation, EDA)三个发展阶段。

1.2.1 20 世纪 70 年代的计算机辅助设计 CAD 阶段

早期的电子线路系统设计采用的是分立元件,随着集成电路的出现和应用,电子线路系统设计进入到初级阶段。初级阶段的设计大量选用中小规模标准集成电路,人们将这些器件焊接在电路板上,做成初级电子系统,对电子系统的调试是在组装好的印制电路板(PCB)上进行的。

由于传统的手工布图方法无法满足产品复杂性的要求,更不能满足工作效率的要求,于是人们开始将产品设计过程中高度重复性的繁杂劳动,如布图布线工作,用二维图形编辑与分析的 CAD 工具替代。其中最具代表性的产品就是美国 ACCEL 公司开发的 Tango 布线软件。20 世纪 70 年代,是 EDA 技术发展初期,由于 PCB 布图布线工具受到计算机工作平台的制约,其支持的设计工作有限且性能比较差。

1.2.2 20 世纪 80 年代的计算机辅助工程设计 CAE 阶段

初期电子系统设计是用大量不同型号的标准芯片实现的。随着微电子工艺的发展,相继出现了集成上万只晶体管的微处理器、集成几十万直到上百万存储单元的随机存储器和只读存储器。此外,支持定制单元电路设计的硅编辑、掩膜编程的门阵列,如标准单元的半定制设计方法以及可编程逻辑器件(PAL 和 GAL)等一系列微结构和微电子学的研究成果都为电子系统的设计提供了新天地。因此,可以用少数几种通用的标准芯片实现电子系统的设计。

伴随计算机和集成电路的发展,EDA 技术进入到计算机辅助工程设计阶段。20 世纪 80 年代初推出的 EDA 工具则以逻辑模拟、定时分析、故障仿真、自动布局和布线为核心,重点解决电路设计没有完成之前的功能检测等问题。利用这些工具,设计师能在产品制作之前预知产品的功能与性能,能生成产品制造文件,在设计阶段对产品性能的分析前进了一大步。

如果说 20 世纪 70 年代的自动布局布线的 CAD 工具代替了设计工作中绘图的重复劳动,那么,20 世纪 80 年代出现的具有自动综合能力的 CAE 工具则代替了设计师的部分工作,对保证电子系统的设计、制造出最佳的电子产品起着关键的作用。20 世纪 80 年代后期,EDA 工具已经可以进行设计描述、综合与优化和设计结果验证,CAE 阶段的 EDA 工具不仅为成功开发电子产品创造了有利条件,而且为高级设计人员的创造性劳动提供了方便。但是,大部分从原理图出发的 EDA 工具仍然不能适应复杂电子系统的设计要求,具体化的元件图形制约着优化设计。

1.2.3 20 世纪 90 年代电子系统设计自动化 EDA 阶段

为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。微电子技术的发展,特别是可编程逻辑器件的发展,使得微电子厂家可以为用户提供各种规模的可编程逻辑器件,使设计者通过设计芯片实现电子系统功能。EDA 技术的发展,又为设计师提供了全线 EDA 工具。这个阶段发展起来的 EDA 工具,可以完成设计前期由设计师完成的许多高层次设计,如可以将用户要求转换为设计技术规范,有效地处理可用的设计资源与理想的设计目标之间的矛盾,按具体的硬件、软件和算法分解设计等。随着电子技术和 EDA 工具的发展,设计师可以在不太长的时间内使用 EDA 工具,通过一些简单标准化的设计过程,利用微电子厂家提供的设计库来完成数万门 ASIC 和集成系统的设计与验证。

20 世纪 90 年代,设计师逐步从使用硬件转向设计硬件,从单个电子产品开发转向系统级电子产品开发,即片上系统集成(system on a chip)。因此,EDA 工具是以系统机设计为核心,包括系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计功能,具有高级抽象的设计构思手段。例如,提供方框图、状态图和流程图的编辑功能,具有适合层次描述和混合信号描述的硬件描述语言(如 VHDL、AHDL 或 Verilog-HDL),同时含有各种工艺的标准元件库。只有具备上述功能的 EDA 工具,才可能使电子系统工程师在不熟悉各种半导体工艺的情况下,完成电子系统的设计。

未来的 EDA 技术将向广度和深度两个方向发展,将会超越电子设计的范畴进入其他领域。随着基于 EDA 的单片系统(SOC)设计技术的发展,软硬核功能库的建立,以及基于 VHDL 所谓自顶向下设计理念的确立,未来的电子系统的设计与规划将不再是电子工程师们的专利。有专家认为,21 世纪将是 EDA 技术快速发展的时期,并且 EDA 技术将是对 21 世纪产生重大影响的十大技术之一。

1.3 EDA 技术的主要内容

EDA 技术涉及面广,内容丰富。从教学和实用的角度看,一般认为,主要应掌握如下方面的内容:①大规模集成可编程逻辑器件;②硬件描述语言;③软件开发工具;④实验开发系统。其中,大规模集成可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体,硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段,软件开发工具是利用 EDA 技术进行电子系统设计的智能化自动化设计工具,实验开发系统则是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。为了使读者对 EDA 技术有一个总体印象,下面对 EDA 技术的主要内容进行概要介绍。

1.3.1 大规模集成可编程逻辑器件

可编程逻辑器件(programmable logic device,PLD)是一种由用户编程以实现某种逻辑功能的新型逻辑器件。FPGA 和 CPLD 分别是现场可编程门阵列和复杂可编程逻辑器件的简称。现在,FPGA 和 CPLD 器件的应用已十分广泛,它们将随着 EDA 技术的发展而在电子设计领域担任重要角色。国际上生产 FPGA/CPLD 的主流公司,并且在国内占有较大市场份额的是 Xilinx,Altera,Lattice 三家公司。典型 CPLD 产品有,Lattice 公司的 ispMACH4A5、ispMACH4000、ispXPLD5000 等系列;Altera 公司的 MAX3000A、MAX7000 等系列;Xilinx 公司的 CoolRunner-II、CoolRunner XPLA3、XC9500/XL/XV 等系列。典型 FPGA 产品有,Lattice 公司的 MachXO、ispXPGA、EC/ECP、ECP2/M(含 S 系列)、ECP3、SC/SCM、XP/XP2、FPSC 等系列;Altera 公司的 MAX II、Cyclone、Cyclone II、Cyclone III、Arria GX、Arria II GX、STRATIX、STRATIX II、STRATIX III、STRATIX IV、FLEX10K、FLEX8000、APEX20K、APEX II、ACEX1K 等系列;Xilinx 公司的 XC3000、XC4000、XC5200、Spartan II、Spartan II E、Spartan-3、Spartan-3A、Spartan-3E、Spartan-3L、Spartan-6、Virtex、Virtex-E、Virtex-II、Virtex-4、Virtex-5、Virtex-6 等系列。近年来,随着集成电路制造技术的飞速发展,这些公司不断地推出集成度更高、性能更好的产品系列和品种,现在一块 CPLD/FPGA 芯片上的等效逻辑门数可从几千到几百万。

FPGA 在结构上主要分为可编程逻辑单元、可编程 I/O 单元和可编程连线三个部分。CPLD 在结构上主要包括三个部分,即可编程逻辑宏单元,可编程 I/O 单元和可编程内部连线。

高集成度、高速度和高可靠性是 FPGA/CPLD 最明显的特点,其时钟延时可小至 ns 数量级,结合其并行工作方式,在超高速应用领域和实时测控方面有着非常广阔的应用前景。在高可靠应用领域,如果设计得当,将不会存在类似于 MCU 的复位不可靠和 PC 可能跑飞等问

题。FPGA/CPLD 的高可靠性还表现在几乎可将整个系统下载于同一芯片中,实现所谓片上系统,从而大大缩小了体积,易于管理和屏蔽。

FPGA/CPLD 的集成规模非常大,可利用先进的 EDA 工具进行电子系统设计和产品开发。由于开发工具的通用性、设计语言的标准化以及设计过程几乎与所用器件的硬件结构没有关系,因而设计开发成功的各类逻辑功能块软件有很好的兼容性和可移植性。它几乎可用于任何型号和规模的 FPGA/CPLD,从而使得产品设计效率大幅度提高。可以在很短时间内完成十分复杂的系统设计,这正是产品快速进入市场最宝贵的特征。美国 IT 公司认为,一个专用集成电路(ASIC)80%的功能可用于 IP 核等现成逻辑合成。而未来大系统的 FPGA/CPLD 设计仅仅是各类再应用逻辑与 IP 核(core)的拼装,其设计周期将更短。

与 ASIC 设计相比,FPGA/CPLD 显著的优势是开发周期短、投资风险小、产品上市速度快、市场适应能力强和硬件升级回旋余地大,而且当产品定型和产量扩大后,可将在生产中得到充分检验的 VHDL 设计迅速实现 ASIC 投产。

对于一个开发项目,究竟是选择 FPGA 还是选择 CPLD,主要取决于开发项目本身的需要。对于普通规模,且产量不是很大的产品项目,通常使用 CPLD 比较好。对于大规模的 ASIC 设计,或单片系统设计,则多采用 FPGA。另外,FPGA 掉电后将丢失原有的逻辑信息,所以在实用中需要为 FPGA 芯片配置一个专用 ROM。

1.3.2 硬件描述语言

常用的硬件描述语言(HDL)有 VHDL、Verilog、ABEL。

VHDL:作为 IEEE 的工业标准硬件描述语言,在电子工程领域已成为事实上的通用硬件描述语言。

Verilog:支持的 EDA 工具较多,适用于 RTL 级和门电路级的描述,其综合过程较 VHDL 稍简单,但其在高级描述方面不如 VHDL。

ABEL:一种支持各种不同输入方式的 HDL,被广泛用于各种可编程逻辑器件的逻辑功能设计,其语言描述独立,适用于各种不同规模的可编程器件的设计。

有专家认为,未来 VHDL 与 Verilog 语言将承担几乎全部的数字系统设计任务。

1.3.3 软件开发工具

目前比较流行的、主流厂家的 EDA 软件工具有 Altera 公司的 Quartus II、Xilinx 公司的 ISE/ISE-WebPACK series 及 Lattice 公司的 ispLEVER。这些软件的基本功能相同,主要区别在于面向的目标器件不一样、性能各有优劣。

Quartus II:支持原理图、VHDL 和 Verilog 语言文本文件,以及以波形与 EDIF 等格式文件作为设计输入、并支持这些文件的任意混合设计。它具有门级仿真器,可以进行功能仿真和时序仿真,能够产生精确的仿真结果。在适配之后,Quartus II 生成供时序仿真用的 EDIF、VHDL 和 Verilog 这三种不同格式的网表文件,它界面友好,使用便捷,被誉为业界最易学易用的 EDA 软件,并支持主流的第三方 EDA 工具,支持除 APEX20K 系列之外的所有 Altera 公司的 FPGA/CPLD 大规模逻辑器件。

ISE/ISE-WebPACK series:Xilinx 公司推出的 EDA 集成软件开发环境(integrated soft-

ware environment, ISE)。Xilinx ISE 的操作简易方便,提供的各种最新改良功能能解决以往各种设计上的瓶颈,加快了设计与检验的流程。各版本的 ISE 软件皆支持 Windows 2000、Windows XP 操作系统。

ispLEVER;Lattice 公司最新推出的一套 EDA 软件,提供设计输入、HDL 综合、验证、器件适配、布局布线、编程和在线系统设计调试。设计输入可采用原理图、硬件描述语言、混合输入三种方式。能对所设计的数字电子系统进行功能仿真和时序仿真。软件中含有不同的工具,适用于各个设计阶段。ispLEVER 软件给开发者提供了一个有力的工具,用于设计所有 Lattice 公司可编程逻辑器件产品,这使得 ispLEVER 的用户能够设计所有 Lattice 公司的业界领先的 FPGA、FPSC、CPLD 产品而不必学习新的设计工具。

1.3.4 实验开发系统

实验开发系统提供芯片下载电路及 EDA 实验/开发的外围资源(类似于用于单片机开发的仿真器),供硬件验证用,一般包括:①实验或开发所需的各类基本信号发生模块,包括时钟、脉冲、高低电平;②FPGA/CPLD 输出信息显示模块,包括数码显示、发光管显示、声响指示等;③监控程序模块,提供“电路重构软配置”;④目标芯片适配座以及上面的 FPGA/CPLD 目标芯片和编程下载电路。

1.4 EDA 的工程设计流程

对于目标器件为 FPGA 和 CPLD 的 VHDL 设计,其工程设计步骤一般包括下面几个环节:第一,进行“源程序的编辑和编译”——用一定的逻辑表达手段将设计表达出来;第二,进行“逻辑综合”——将用一定的逻辑表达手段表达出来的设计经过一系列的操作,分解成一系列的基本逻辑电路及对应关系(电路分解);第三,进行目标器件的布线/适配——在选定的目标器件中建立这些基本逻辑电路及对应关系(逻辑实现);第四,目标器件的编程下载——将前面的软件设计经过编程变成具体的设计系统(物理实现);最后,进行硬件仿真/硬件测试——验证所设计的系统是否符合设计要求。同时,在设计过程中要进行有关仿真——模拟有关设计结果与设计构想是否相符。综上所述,EDA 工程设计的基本流程如图 1.1 所示,现具体阐述如下。

1.4.1 源程序的编辑和编译

利用 EDA 技术进行一项工程设计,首先须利用 EDA 工具的文本编辑器或图形编辑器将它用文本方式或图形方式表达出来,进行排错编译,变成 VHDL 文件格式,为进一步的逻辑综合做准备。

常用的源程序输入方式有三种。

(1)原理图输入方式:利用 EDA 工具提供的图形编辑器以原理图的方式进行输入。原理图输入方式比较容易掌握,直观且方便,所画的电路原理图(请注意,这种原理图与利用 Protel 画的原理图有本质的区别)与传统的器件连接方式完全一样,很容易被人接受,而且编辑器中有许多现成的单元器件可以利用,自己也可以根据需要设计元件。然而原理图输入法的优点

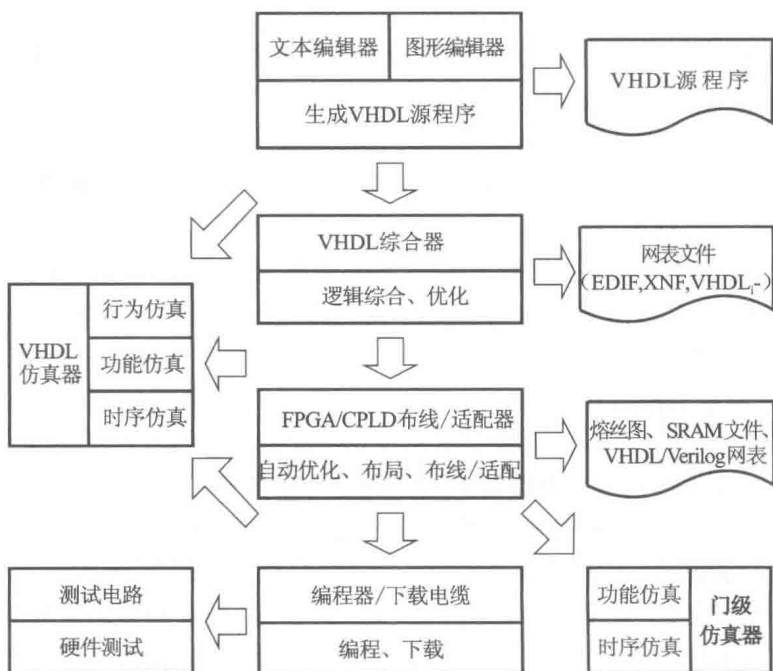


图 1.1 EDA 工程设计流程图

也是它的缺点：①随着设计规模增大，设计的易读性迅速下降，面对图中密密麻麻的电路连线，极难搞清电路的实际功能；②一旦完成，改变电路结构将十分困难，因而几乎没有可再利用的设计模块；③移植困难、入档困难、交流困难、设计交互困难，因为不可能存在一个标准化的原理图编辑器。

(2) 状态图输入方式：以图形的方式表示状态图进行输入。当填好时钟信号名、状态转换条件、状态机类型等要素后，就可以自动生成 VHDL 程序。这种设计方式简化了状态机的设计，比较流行。

(3) VHDL 软件程序的文本方式：最一般化、最具普遍性的输入方式，任何支持 VHDL 的 EDA 工具都支持文本方式的编辑和编译。

1.4.2 逻辑综合和优化

若要把 VHDL 的软件设计与硬件的可实现性挂钩，就要利用 EDA 软件系统的综合器进行逻辑综合。

综合器的功能就是将设计者在 EDA 平台上完成的针对某个系统项目的 HDL、原理图或状态图形的描述，针对给定硬件结构组件进行编译、优化、转换和综合，最终获得门级电路甚至更底层的电路描述文件。由此可见，综合器工作前，必须给定最后实现的硬件结构参数，它的功能就是将软件描述与给定硬件结构用某种网表文件的方式联系起来。显然，综合器是软件描述与硬件实现的一座桥梁。综合过程就是将电路的高级语言描述转换成低级的，可与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件。

由于 VHDL 仿真器的行为仿真功能是面向高层次的系统仿真，只能对 VHDL 的系统描述做可行性的评估测试，不针对任何硬件系统，因此基于这一仿真层次的许多 VHDL 语句不

能被综合器所接受。这就是说,这类语句的描述至少在现阶段无法在硬件系统中实现,这时,综合器不支持的语句在综合过程中将忽略掉。综合器对源 VHDL 文件的综合是针对某一 PLD 供应商的产品系列的,因此,综合后的结果是可以为硬件系统所接受,具有硬件可实现性。

1.4.3 目标器件的布线/适配

逻辑综合通过后必须利用适配器将综合后的网表文件针对某一具体的目标器进行逻辑映射操作,其中包括底层器件配置、逻辑分割、逻辑优化、布线与操作,适配完成后可以利用适配所产生的仿真文件做精确的时序仿真。

适配器的功能是将由综合器产生的网表文件配置于指定的目标器件中,产生最终的下载文件,如 JEDEC 格式的文件。适配所选定的目标器件(FPGA/CPLD 芯片)必须属于原综合器指定的目标器件系列。对于一般的可编程模拟器件所对应的 EDA 软件来说,一般仅需包含一个适配器就可以了,如 Lattice 的 PAC-DESIGNER。通常,EDA 软件中的综合器可由专业的第三方 EDA 公司提供,而适配器则需由 FPGA/CPLD 供应商自己提供,因为适配器的适配对象直接与器件结构相对应。

1.4.4 目标器件的编程/下载

如果编译、综合、布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题,即满足原设计的要求,则可以将由 FPGA/CPLD 布线/适配器产生的配置/下载文件通过编程器或下载电缆载入目标芯片 FPGA 或 CPLD 中。

1.4.5 设计过程中的有关仿真

在综合以前可以先对 VHDL 所描述的内容进行行为仿真,即将 VHDL 设计源程序直接送到 VHDL 仿真器中仿真,这就是所谓的 VHDL 行为仿真。因为此时的仿真只是根据 VHDL 的语义进行的,与具体电路没有关系。在这个阶段的仿真中,可以充分发挥 VHDL 中的适用于仿真控制的语句及有关的预定义函数和库文件的作用。

在综合之后,VHDL 综合器一般都可以生成一个 VHDL 网表文件。网表文件中描述的电路与生成的 EDIF/XNF 等网表文件一致。VHDL 网表文件采用 VHDL 语法,只是其中的电路描述采用了结构描述方法,即首先描述了最基本的门电路,然后将这些门电路用例化语句连接起来。这样的 VHDL 网表文件再送到 VHDL 仿真器中进行所谓功能仿真,仿真结果与门级仿真器所做的功能仿真的结果基本一致。

功能仿真是仅对 VHDL 描述的逻辑功能进行测试模拟,以了解其实现的功能是否满足原设计的要求,仿真过程不涉及具体器件的硬件特性,如延时特性。时序仿真是接近真实器件运行的仿真,仿真过程中已将器件特性考虑进去了,因而,仿真精度要高得多。但时序仿真的仿真文件必须来自针对具体器件的布线/适配器所产生的仿真文件。综合后所得的 EDIF/XNF 门级网表文件通常作为 FPGA 布线器或 CPLD 适配器的输入文件。通过布线/适配处理后,布线/适配器将生成一个 VHDL 网表文件,这个网表文件包含了较为精确的延时信息,网表文件描述的电路结构与布线/适配后的结果是一致的。此时,将这个 VHDL 网表文件送到

VHDL 仿真器中进行仿真,就可以得到精确的时序仿真结果了。

1.4.6 硬件仿真/硬件测试

这里所谓的硬件仿真是针对 ASIC 设计而言的。在 ASIC 设计中,比较常用的方法是利用 FPGA 对系统的设计进行功能检测,通过检测后再将其 VHDL 设计以 ASIC 形式实现。而硬件测试则是把 FPGA 或 CPLD 直接用于应用系统的设计中,将下载文件下载到 FPGA 或 CPLD 后对系统设计进行功能检测。

硬件仿真和硬件测试的目的是在更真实的环境中检验 VHDL 设计的运行情况,特别是对于设计上不是十分规范、语义上含有一定歧义的 VHDL 程序。一般的仿真器包括 VHDL 行为仿真器和 VHDL 功能仿真器,它们对于同一 VHDL 设计的“理解”,即仿真模型的产生,与 VHDL 综合器的“理解”,即综合模型的产生,常常是不一致的。此外,由于目标器件功能的可行性约束,综合器对于设计的“理解”常在一定有限范围内选择,而 VHDL 仿真器的“理解”是纯软件行为,其“理解”的选择范围要宽得多。这种“理解”的偏差势必导致仿真结果与综合后实现的硬件电路在功能上不一致。当然,还有许多其他的因素也会产生这种不一致。由此可见,VHDL 设计的硬件仿真和硬件测试是十分必要的。

第2章 可编程逻辑器件

2.1 可编程逻辑器件概述

可编程逻辑器件(PLD)是一种由用户根据自己要求来构造逻辑功能的数字集成电路,具有并行处理能力及在系统编程的灵活性,是实现 ASIC 逻辑的一种非常重要而又十分方便有效的手段,已成为数字系统设计的主流平台之一。

2.1.1 ASIC 设计与 PLD

ASIC 是相对通用集成电路而言的,指专门为某一应用领域或用户需要而设计制造的 LSI 或 VLSI 电路,它可以将某些专用电路或电子系统设计在一个芯片上,构成单片集成系统。按照功能的不同可分为:微波 ASIC、模拟 ASIC、数字 ASIC 和数/模混合 ASIC。

模拟 ASIC 由线性阵列和模拟标准单元组成。由于模拟电路的频带宽度、精度、增益和动态范围等暂时还没有一个最佳的办法加以描述和控制,因此与数字 ASIC 相比,它的发展还相当缓慢。但模拟 ASIC 可减少芯片面积、提高性能、降低费用、扩大功能、降低功耗、提高可靠性以及缩短开发周期,因此其发展也势在必行。

对于数字 ASIC,其设计方法有很多种。按版图结构及制造方法分为全定制和半定制两种方法。

1. 全定制

全定制是一种基于晶体管级的手工设计版图的设计方法,它主要针对要求得到最高速度、最低功耗和最小面积的芯片设计。在全定制设计中,人工参与的工作量大,设计周期长,设计成本较高,而且容易出错,适用于对性能要求很高(如高速芯片)或批量很大的芯片(如存储器、通用芯片)的设计生产。

2. 半定制

半定制是一种约束性设计方法。约束的目的是简化设计、缩短设计周期和提高芯片的产品率。半定制法按照逻辑实现的方式不同分为以下几种。

(1) 门阵列(gate array)法。门阵列法又称母片法,是较早使用的一种 ASIC 设计方法。用该法进行设计需预先制造好各种规模的硅阵列(称母片),其内部包括成行成列等间距排列的基本逻辑门、触发器等基本单元的阵列,芯片中留有一定的连线区。除金属连线及引线孔以外的各层版图图形均固定不变,只剩下一层或两层金属铝连线及孔的掩膜需要根据用户电路的不同而定制。每个基本单元以三对或五对晶体管组成,基本单元的高度、宽度都是相等的,并按行排列。设计者根据所需要的功能设计电路,确定连线方式,将设计好电路的网表文件交给 IC 厂家。IC 厂家再根据网表文件描述的电路连线关系,完成母片上电路元件的布局及单元间的连线,最后进行制版及流片。

(2)标准单元(standard cell)法。标准单元法又称库单元法,它是以预先设计配置好、经过测试的标准单元库为基础的。用该设计方法设计必须预先建立完善的版图单元库,库中包括以物理版图表达的各种电路元件和电路模块标准单元,这些单元的逻辑功能、电性能及几何设计规则等均已经过分析和验证。设计时选择库中的标准单元构成电路,然后调用这些标准单元的版图,并利用自动布局布线软件(CAD 工具)完成电路到版图一一对应的最终设计。和门阵列法相比,标准单元法设计灵活、自动化程度高、设计周期短、设计效率高,十分适合利用功能强大的 EDA 工具进行 ASIC 设计。其缺点在于,在工艺更新之后,标准单元库要随之更新,这是一项十分繁重的工作。

门阵列法或标准单元法设计 ASIC 的共同缺点是,无法避免繁复的 IC 制造后向流程,而且与 IC 设计工艺紧密相关,最终的设计也需要集成电路制造厂家来完成,一旦设计有误,将导致巨大的损失。另外还有设计周期长、基础投入大、更新换代难等缺陷。

(3)可编程逻辑器件法。可编程逻辑器件法是用 PLD 设计用户定制的数字电路系统。PLD 是一种厂家作为通用型器件生产的半定制逻辑芯片,该芯片实质上是门阵列及标准单元设计技术的延伸和发展。与上述两种半定制电路不同,它是一种已完成了全部工艺制造、可直接从市场上购得的产品,设计者只要利用 EDA 工具对器件编程就可实现所需要的逻辑功能,故它又称为可编程 ASIC。PLD 是用户可配置的器件,其规模越来越大,功能越来越强,价格越来越低,相配套的 EDA 软件也越来越完善,当系统需要升级时,不需要修改硬件电路板,只需要在软件上进行程序更新,将配置代码重新下载到 PLD 内即可。

用可编程逻辑器件法设计时,设计者在实验室即可设计和制造出芯片,且可通过对器件反复编程进行电路更新,一旦发现错误,则可随时更改,而不必关心器件实现的具体工艺,这使得设计效率大大提高,设计周期大大缩短。但用 PLD 直接实现的 ASIC 在性能、速度和单位成本上劣于用全定制或标准单元法设计的 ASIC。另外,也不可能用可编程 ASIC 去取代通用产品,如 CPU、单片机、存储器等。

目前,在电子系统开发阶段的硬件验证过程中,一般都采用可编程逻辑器件法,以期尽快开发产品,迅速占领市场,等大批量生产时,再根据实际情况转换成前面两种方法中的一种进行再设计。也可采用特殊的方法转成 ASIC 电路,如 Altera 的部分 FPGA 器件在设计成功后可以通过 HardCopy 技术转成对应的门阵列 ASIC 产品。

2.1.2 PLD 分类

目前生产 PLD 的厂家有 Lattice、Altera、Xilinx、Actel、Atmel、AMD、AT&T、Cypress、Intel、Motorola、Quicklogic、TI(Texas Instrument)等。常见的 PLD 产品有 PROM、EPROM、EEPROM、PLA、FPLA、PAL、GAL、CPLD、EPLD、EEPLD、HDPLD、FPGA、pLSI、ispLSI、ispGAL、ispGDS。PLD 的分类方法较多,也不统一,常见的分类方法有以下几种。

1. 按器件集成度划分

根据 PLD 单片集成度的高低,可将 PLD 分为低密度 PLD 和高密度 PLD 等两类。

通常,当 PLD 中的等效门数超过 500 门时,则认为它是高密度 PLD。常见的低密度 PLD 有 PROM、PLA、PAL 以及 GAL 器件等,常见的高密度 PLD 有 EPLD、CPLD 以及 FPGA 等。

2. 按器件结构类型划分

目前常用的 PLD 都是从“与或”阵列和“门”阵列两类基本结构发展起来的,所以 PLD 从结构上可分为两大类。

(1)乘积项结构器件。其基本结构为“与或”阵列器件。简单 PLD、EPLD 和 CPLD 都属于此类器件。

(2)查找表结构器件。其基本结构类似于“门”阵列器件,它由简单的查找表组成可编程逻辑门,再构成阵列形式。大多数 FPGA 属于此类器件。

3. 按编程工艺划分

PLD 按编程工艺分为以下 6 种类型:熔丝(fuse)型器件、反熔丝型(antifuse)器件、UEPROM 型器件、EEPROM 型器件、SRAM 型器件、Flash 型器件。

4. 按可编程特性划分

对大规模集成 PLD 编程后,根据其掉电后重新上电能否保持编程信息划分为两类:CPLD,掉电后重新上电还能保持编程信息的器件;FPGA,掉电后不能保持编程信息的器件。

2.1.3 PLD 的发展历程

20 世纪 70 年代初出现了最早的 PLD,主要是可编程只读存储器(PROM)和可编程逻辑阵列(programmable array logic,PLA)。20 世纪 70 年代末出现了 PLA 器件。

20 世纪 80 年代初,美国 Lattice 公司推出了一种新型 PLD,称为通用阵列逻辑(generic array logic,GAL)器件,一般认为它是第二代 PLD。随着技术进步,生产工艺不断改进,器件规模不断扩大,逻辑功能不断增强,各种 PLD 如雨后春笋般涌现,如 PROM、EPROM、EEPROM 等。1985 年,美国 Altera 公司在 EPROM 和 GAL 器件的基础上,首先推出了可擦除可编程逻辑器件(erasable PLD,EPLD),其结构与 PAL/GAL 器件相仿,但其集成度比 GAL 器件高得多。而后 Altera、Atmel、Xilinx 等公司不断推出新的 EPLD 产品,它们的工艺不尽相同,结构不断改进,形成了一个庞大的产品群。但是从广义来讲,EPLD 可以包括 GAL、EEPROM、FPGA、ispLSI 或 ispEPLD 等器件。

最初,一般把器件的可用门数超过 500 门的 PLD 称为 EPLD。后来,器件的密度越来越大,许多公司把原来称为 EPLD 的产品都称为复杂可编程逻辑器件(complex programmable logic devices,CPLD)。现在,一般把所有超过某一集成度的 PLD 都称为 CPLD。当前 CPLD 的规模已从取代 PAL 和 GAL 的 500 门以下的芯片系列,发展到 5000 门以上,现已有上百万门的 CPLD 芯片系列。随着工艺水平的提高,在增加器件容量的同时,为提高芯片的利用率和工作频率,CPLD 从内部结构上进行了许多改进,出现了多种不同的形式,功能更加齐全,应用不断扩展。在 EPROM 基础上出现的高密度可编程逻辑器件称为 EPLD 或 CPLD。

20 世纪 80 年代中期,美国 Xilinx 公司首先推出了现场可编程门阵列(field programmable gate array,FPGA)器件。FPGA 器件采用逻辑单元阵列结构和静态随机存取存储器工艺,设计灵活,集成度高,可无限次反复编程,并可现场模拟调试验证。FPGA 器件及其开发系统是开发大规模数字集成电路的新技术。它利用计算机辅助设计,首先绘制出实现用户逻辑的原理图、编辑布尔方程或用硬件描述语言等方式作为输入;然后经一系列转换程序、自动布局布