

Cadence 16.6

电路设计与仿真

从入门到精通

王超 胡仁喜 等 编著

多媒体
教学光盘

包含 19 段与
本书全程同步的
基础知识及重点案例
视频教学录像，
总时长达 160 分钟
对应 17 个案例源文件

写给初学者的技术宝典

上百个知识点的透彻讲解，对应多个
典型实例应用，一线工程师全面讲解设计方法
分享经验积累

DVD



中国工信出版集团



人民邮电出版社
POSTS & TELECOM PRESS

Cadence 16.6

电路设计与仿真

从入门到精通

王超 胡仁喜 等 编著

人民邮电出版社

北京

图书在版编目 (C I P) 数据

Cadence 16.6电路设计与仿真从入门到精通 / 王超
等编著. -- 北京: 人民邮电出版社, 2016.2
ISBN 978-7-115-41188-4

I. ①C… II. ①王… III. ①印刷电路—计算机辅助
设计 IV. ①TN410.2

中国版本图书馆CIP数据核字(2015)第316794号

内 容 提 要

全书以 Cadence 为平台, 全面讲解了电路设计的基本方法和技巧。全书共 15 章, 内容包括 Cadence 概述、原理图设计概述、原理图编辑环境、原理图设计基础、原理图的绘制、原理图的后续处理、高级原理图设计、创建元件库、创建 PCB 封装库、Allegro PCB 设计平台、PCB 设计基础、印制电路板设计、电路板后期处理、仿真电路原理图设计和仿真电路电路板设计。在讲解的过程中, 内容由浅入深, 从易到难, 各章节既相对独立又前后关联。作者根据自己多年的经验及学习的通常心理, 及时给出总结和 Related提示, 帮助读者及时快捷地掌握所学知识。全书解说翔实, 图文并茂, 语言简洁, 思路清晰。

本书随书配送多媒体教学光盘, 包含全书实例操作过程录屏 AVI 文件和实例源文件, 读者可以通过多媒体光盘方便直观地学习本书内容。

本书既可作为初学者的入门与提高教材, 也可作为相关行业工程技术人员以及各院校相关专业师生学习参考。

◆ 编 著 王 超 胡仁喜 等

责任编辑 俞 彬

责任印制 张佳莹 焦志炜

◆ 人民邮电出版社出版发行 北京市丰台区成寿寺路 11 号

邮编 100164 电子邮件 315@ptpress.com.cn

网址 <http://www.ptpress.com.cn>

北京昌平百善印刷厂印刷

◆ 开本: 787×1092 1/16

印张: 33.75

字数: 701 千字

2016 年 2 月第 1 版

印数: 1-2 500 册

2016 年 2 月北京第 1 次印刷

定价: 69.00 元 (附光盘)

读者服务热线: (010) 81055410 印装质量热线: (010) 81055316

反盗版热线: (010) 81055315

前 言

随着计算机业的发展,从20世纪80年代中期开始计算机应用进入各个领域。在这种背景下,由美国Cadence宣布推出了SPB产品,以保证设计电路的信号完整性和电磁兼容性。

Cadence公司全称是Cadence Design Systems Inc.是一家世界领先的EDA(Electronic Design Automation,电子设计自动化)工具软件公司,在国际上有着高度的品牌影响力和市场份额,而中国这样一个电子制造大国正在从中国制造朝中国设计迈进,中国市场的潜力也逐渐被越来越多的国际跨国公司所重视。

Cadence公司的电子设计自动化(Electronic Design Automation)产品涵盖了电子设计的整个流程,包括系统级设计,功能验证,IC综合及布局布线,模拟、混合信号及射频IC设计,全定制Cadence设计软件集成电路设计,IC物理验证,PCB设计和硬件仿真建模等。

Cadence软件是统一使用的原理图设计、PCB设计、高速仿真的EDA工具。“工欲善其事,必先利其器”熟练掌握一款PCB设计工具对于电路设计工作者及学习对象来说,是至关重要的。

全书以Cadence为平台,全面向读者讲解了该软件的使用方法,并以此为媒介介绍了电路设计的方法和技巧。主要内容包括Cadence概述、原理图设计工作平台、原理图编辑环境、原理图设计基础、原理图的绘制、原理图后续处理、原理图的高级设计、创建元件库、创建PCB封装库、Allegro PCB设计平台、PCB设计基础、电路板设计、电路板后期处理、仿真电路原理图设计和仿真电路电路板设计。

本教材针对硬件开发人员及相关专业的学生,对需要使用的原理图输入及其相关的原理图检查和约束管理等工具进行了全面的阐述,并对PCB编辑器有关的内容作了简单介绍,以加强电路图设计者对工具的理解。

本书随书配送多媒体教学光盘,包含全书实例操作过程录屏AVI文件和实例源文件,读者可以通过多媒体光盘方便直观地学习本书内容。

本书由三维书屋工作室总策划,沈阳市化工学校的王超老师和石家庄三维书屋文化传播有限公司的胡仁喜博士主编。另外,闫聪聪、刘昌丽、康士廷、王培合、甘勤涛、杨雪静、李兵、李亚莉、卢园、孟培、王艳池、解江坤、闫国超、王玉秋、王义发、井晓翠、王玮、吴秋彦、王敏、张亭、秦志霞、毛璐、孙立明等也为本书的出版提供了大量的帮助,在此一并表示感谢。

由于时间仓促,编者水平有限,书中不足之处在所难免,望广大读者发送邮件到win760520@126.com批评指正,编者将不胜感激。

作者

2015年12月

目录

第 1 章 Cadence 概述..... 1

- 1.1 Cadence 简介..... 2
 - 1.1.1 Cadence 特点..... 3
 - 1.1.2 Cadence 新功能..... 4
- 1.2 Cadence 软件的安装..... 5
 - 1.2.1 Cadence 产品安装..... 6
 - 1.2.2 Cadence 的破解..... 10
- 1.3 电路板总体设计流程..... 13
- 1.4 Cadence SPB 16.6 的启动..... 14
 - 1.4.1 原理图开发环境..... 14
 - 1.4.2 印制板电路的开发环境..... 18
 - 1.4.3 信号分析环境..... 19
 - 1.4.4 仿真编辑环境..... 20
 - 1.4.5 编程编辑环境..... 22

第 2 章 原理图设计概述..... 24

- 2.1 电路设计的概念..... 25
- 2.2 原理图功能简介..... 25
- 2.3 原理图设计平台..... 26
- 2.4 Design Entry CIS 原理图图形界面..... 27
 - 2.4.1 OrCAD Capture CIS 界面简介..... 27
 - 2.4.2 项目管理器..... 28
 - 2.4.3 菜单栏..... 33
 - 2.4.4 工具栏..... 40
- 2.5 Design Entry HDL 原理图图形界面..... 41
 - 2.5.1 OrCAD Capture HDL 界面简介..... 42
 - 2.5.2 OrCAD Capture HDL 特性..... 42
 - 2.5.3 项目管理器..... 43
 - 2.5.4 菜单栏..... 43
 - 2.5.5 工具栏..... 48

第 3 章 原理图编辑环境..... 49

- 3.1 电路原理图的设计步骤..... 50
- 3.2 原理图类型简介..... 51
- 3.3 文件管理系统..... 52
 - 3.3.1 新建文件..... 52
 - 3.3.2 保存文件..... 54
 - 3.3.3 打开文件..... 55
 - 3.3.4 删除文件..... 55
 - 3.3.5 重命名文件..... 56
 - 3.3.6 移动文件..... 56
 - 3.3.7 更改文件类型..... 57
- 3.4 配置系统属性..... 58
 - 3.4.1 颜色设置..... 58
 - 3.4.2 格点属性..... 59
 - 3.4.3 设置缩放窗口..... 60
 - 3.4.4 选取模式..... 60
 - 3.4.5 杂项..... 61
 - 3.4.6 文字编辑..... 62
 - 3.4.7 电路板仿真..... 62
- 3.5 设置设计环境..... 63
 - 3.5.1 字体的设置..... 63
 - 3.5.2 标题栏的设置..... 64
 - 3.5.3 页面尺寸的设置..... 64
 - 3.5.4 网格属性..... 65
 - 3.5.5 层次图参数的设置..... 66
 - 3.5.6 SDT 兼容性的设置..... 66
- 3.6 原理图页属性设置..... 67
- 3.7 视图操作..... 67
 - 3.7.1 窗口显示..... 68
 - 3.7.2 图纸显示..... 70

第 4 章 原理图设计基础..... 72

- 4.1 原理图分类..... 73
- 4.2 原理图设计的一般流程..... 73
- 4.3 原理图的组成..... 74

4.4	原理图图纸设置	75	5.1.1	绘制直线	127
4.5	加载元件库	77	5.1.2	绘制多段线	128
4.5.1	元件库的分类	77	5.1.3	绘制矩形	129
4.5.2	打开“Place Part (放置元件)” 面板	78	5.1.4	绘制椭圆	130
4.5.3	加载和卸载元件库	78	5.1.5	绘制椭圆弧	131
4.6	放置元件	80	5.1.6	绘制圆弧	131
4.6.1	搜索元件	80	5.1.7	绘制贝塞尔曲线	132
4.6.2	元件操作	82	5.1.8	放置文本	133
4.6.3	放置元件	83	5.1.9	放置图片	134
4.6.4	调整元件位置	84	5.2	标题栏的设置	135
4.6.5	元件的复制和删除	85	5.3	原理图库	135
4.6.6	元件的固定	86	5.3.1	新建库文件	136
4.7	元件的属性设置	87	5.3.2	加载库文件	136
4.7.1	属性设置	87	5.3.3	绘制库元件	137
4.7.2	参数设置	90	5.3.4	绘制含有子部件的库元件	140
4.7.3	编辑元件外观	92	5.4	操作实例	142
4.8	原理图连接工具	92	5.4.1	音乐闪光灯电路	142
4.9	元件的电气连接	93	5.4.2	时钟电路	147
4.9.1	导线的绘制	93	第6章 原理图的后续处理 152		
4.9.2	总线的绘制	95	6.1	元件的常用操作	153
4.9.3	总线分支线的绘制	96	6.1.1	查找	153
4.9.4	自动连线	97	6.1.2	替换	155
4.9.5	放置手动连接	99	6.1.3	定位	156
4.9.6	放置电源符号	99	6.1.4	建立压缩文档	157
4.9.7	放置接地符号	100	6.2	差分对的建立	157
4.9.8	放置网络标签	101	6.3	信号属性	158
4.9.9	放置不连接符号	102	6.3.1	网络分配属性	159
4.10	操作实例	103	6.3.2	Footprint 属性	161
4.10.1	实用门铃电路设计	103	6.3.3	Room 属性	161
4.10.2	看门狗电路设计	110	6.4	电路图的检查	163
4.10.3	定时开关电路设计	116	6.5	设计规则检查	165
4.10.4	A/D 转换电路设计	121	6.6	元件编号管理	167
第5章 原理图的绘制 126			6.6.1	自动编号	167
5.1	绘图工具	127	6.6.2	反向标注	169



6.7	自动更新属性	170
6.8	报表输出	170
6.8.1	生成网络表	171
6.8.2	元器件报表	173
6.8.3	交叉引用元件报表	174
6.8.4	属性参数文件	175
6.9	打印输出	177
6.9.1	设置打印属性	177
6.9.2	打印区域	178
6.9.3	打印预览	179
6.9.4	打印	180
6.10	操作实例	180
6.10.1	模拟电路设计	180
6.10.2	晶体管电路图设计	185
6.10.3	时钟电路设计	191

第7章 高级原理图设计 195

7.1	高级原理图设计	196
7.2	平坦式电路	196
7.2.1	平坦式电路图特点	196
7.2.2	平坦式电路图结构	197
7.3	层次式电路	197
7.3.1	层次式电路图特点	197
7.3.2	层次式电路图结构	198
7.3.3	层次式电路图分类	198
7.4	图纸的电气连接	199
7.4.1	放置电路端口	199
7.4.2	放置页间连接符	200
7.4.3	放置图表符	202
7.4.4	放置图纸入口	203
7.5	层次电路的设计方法	204
7.5.1	自上而下的层次原理图设计	204
7.5.2	自下而上的层次原理图设计	205
7.6	操作实例	206
7.6.1	过零调功电路	207

7.6.2	自上而下绘制单片机多通道 电路	210
7.6.3	自下而上绘制单片机多通道 电路	217

第8章 创建元件库 223

8.1	原理图元件库编辑器	224
8.1.1	启动 Library Explorer	224
8.1.2	Library Explorer 图形界面	227
8.1.3	新建库文件	228
8.1.4	新建库元件	229
8.2	元件编辑器	230
8.2.1	库元件编辑器	230
8.2.2	封装编辑	232
8.2.3	元件符号编辑	233
8.2.4	过滤元件	235
8.2.5	编译元件	235
8.3	元件编辑器环境设置	236
8.4	元件的创建	239
8.4.1	创建封装	239
8.4.2	创建管脚	241

第9章 创建 PCB 封装库 248

9.1	封装的基本概念	249
9.1.1	常用封装介绍	249
9.1.2	封装文件	250
9.2	元器件封装概述	250
9.3	常用元器件的封装介绍	251
9.3.1	分立元器件的封装	251
9.3.2	集成电路的封装	252
9.4	Allegro Package 图形界面	253
9.4.1	标题栏	254
9.4.2	菜单栏	254
9.4.3	工具栏	255
9.4.4	视图	256

9.5	设置工作环境	257
9.6	元器件的封装设计	259
9.6.1	使用向导建立封装零件	260
9.6.2	手动建立零件封装	262
9.7	焊盘的概述	268
9.7.1	焊盘的基本概念	268
9.7.2	焊盘设计原则	269
9.8	Pad Designer 图形编辑器	269
9.8.1	菜单栏	270
9.8.2	工作区	273
9.9	焊盘设计	275
9.9.1	钻孔焊盘	277
9.9.2	热风焊盘设计	279
9.9.3	贴片焊盘设计	281
9.10	过孔设计	282
9.10.1	通孔设计	283
9.10.2	盲孔设计	285
9.10.3	埋孔设计	286
9.11	报表文件	288
9.12	操作实例	289
9.12.1	正方形有钻孔焊盘	290
9.12.2	圆形有钻孔焊盘	293
9.12.3	椭圆形有钻孔焊盘	295

第 10 章 Allegro PCB 设计平台 299

10.1	PCB 编辑器界面简介	300
10.1.1	标题栏	300
10.1.2	菜单栏	301
10.1.3	工具栏	302
10.1.4	控制面板	302
10.1.5	视窗	305
10.1.6	状态栏	305
10.1.7	命令窗口	307
10.1.8	工作区	309
10.2	文件管理系统	309
10.2.1	新建文件	310

10.2.2	打开文件	310
10.2.3	保存文件	311
10.2.4	打印文件	312
10.3	参数设置	313
10.3.1	设计参数设置	314
10.3.2	设置子集选项	320
10.3.3	设置盲孔属性	320
10.4	信息显示	322
10.5	用户属性设置	323
10.6	快捷操作	326
10.6.1	视图显示	326
10.6.2	Script 功能	328
10.6.3	Strokes 功能	329

第 11 章 PCB 设计基础 332

11.1	印制电路板概述	333
11.1.1	印制电路板的概念	333
11.1.2	PCB 设计流程	334
11.1.3	文件类型	335
11.1.4	印制电路板设计的基本原则	336
11.2	建立电路板文件	337
11.2.1	使用向导创建电路板	337
11.2.2	手动创建电路板	341
11.3	电路板物理结构及环境参数设置	341
11.3.1	图纸参数设置	342
11.3.2	电路板的物理边界	342
11.3.3	编辑物理边界	344
11.3.4	放置定位孔	345
11.3.5	设定层面	346
11.3.6	设置栅格	347
11.3.7	颜色设置	348
11.3.8	板约束区域	350
11.4	在 PCB 文件中导入原理图网络表信息	351
11.5	元件布局属性	354
11.5.1	添加 Room 属性	354



11.5.2	添加 Place_Tag 属性	356	12.1.1	设置电气规则	389
11.6	摆放封装元件	358	12.1.2	设置间距规则	394
11.6.1	元件的手工摆放	358	12.1.3	设置物理规则	396
11.6.2	元件的快速摆放	360	12.1.4	设置其他设计规则	397
11.7	PCB 编辑环境显示	361	12.2	覆铜	398
11.7.1	飞线的显示	362	12.2.1	覆铜分类	399
11.7.2	对象的交换	364	12.2.2	覆铜区域	399
11.8	布局	364	12.2.3	覆铜参数设置	399
11.8.1	自动布局	365	12.2.4	为平面层绘制覆铜区域	401
11.8.2	交互式布局	367	12.3	分割平面	404
11.9	PCB 编辑器的编辑功能	369	12.3.1	使用 Anti Etch 方法分割平面	404
11.9.1	对象的选取和取消选取	369	12.3.2	使用添加多边形的方法进行 分割平面	406
11.9.2	对象的移动	370	12.4	布线	410
11.9.3	对象的删除	371	12.4.1	设置栅格	411
11.9.4	对象的复制	371	12.4.2	手动布线	412
11.9.5	对象的镜像	372	12.4.3	扇出	416
11.9.6	对象的旋转	372	12.4.4	群组布线	417
11.9.7	文字的调整	373	12.4.5	设置自动布线的规则	419
11.9.8	元件的锁定与解锁	374	12.4.6	自动布线	423
11.10	回编	374	12.4.7	PCB Router 布线器	426
11.11	3D 效果图	376	12.5	补泪滴	429
11.12	操作实例	378	12.6	操作实例	431
11.12.1	创建电路板	378	12.6.1	时钟电路	431
11.12.2	导入原理图网络表信息	379	12.6.2	电磁兼容电路	436
11.12.3	图纸参数设置	380	第 13 章 电路板的后期处理 439		
11.12.4	电路板的物理边界	380	13.1	电路板的报表输出	440
11.12.5	放置定位孔	380	13.1.1	生成元件报告	440
11.12.6	放置工作格点	381	13.1.2	生成元件清单报表	440
11.12.7	电路板的电气边界	381	13.1.3	生成元件管脚信息报告	441
11.12.8	编辑元件属性	382	13.1.4	生成网络表报告	442
11.12.9	摆放元件	384	13.1.5	生成符号管脚报告	442
11.12.10	元件布局	385	13.2	元件标号重命名	443
11.12.11	3D 效果图	386	13.2.1	分配元件序号	443
第 12 章 印制电路板设计 387					
12.1	PCB 设计规则	388			

13.2.2	自动重命名元件标号	444
13.2.3	手动重命名元件标号	445
13.3	DFA 检查	445
13.4	测试点的生成	448
13.4.1	自动加入测试点	449
13.4.2	建立测试夹具钻孔文件	450
13.4.3	修改测试点	450
13.5	标注尺寸	453
13.5.1	尺寸样式	453
13.5.2	标注尺寸	454
13.5.3	编辑尺寸标注	455
13.6	丝印层调整	455
13.7	制造数据的输出	456
13.8	钻孔数据	457
13.9	元件封装符号的更新	459
13.10	技术文件	461
13.10.1	输出技术文件	461
13.10.2	查看技术文件	462
13.10.3	导入技术文件	463
13.11	env 文件的修改操作	464
13.12	操作实例	464

第 14 章 仿真电路原理图设计 466

14.1	电路仿真的基本概念	467
14.2	电路仿真的基本方法	467
14.2.1	仿真原理图文件	468
14.2.2	仿真原理图电路	470
14.2.3	建立仿真描述文件	470
14.3	仿真分析类型	474
14.3.1	直流扫描分析 (DC Sweep)	474
14.3.2	交流分析	475
14.3.3	噪声分析 (Noise Analysis)	476
14.3.4	瞬态分析 [Time Domain (Transient)]	476
14.3.5	傅里叶分析 [Time Domain	

(Transient)]	477	
14.3.6	静态工作点分析 (Bias Point)	478
14.3.7	蒙特卡罗分析 (Monte Carlo Analysis)	478
14.3.8	最坏情况分析	479
14.3.9	参数分析 (Parameter Sweep)	480
14.3.10	温度分析 (Temperature Sweep)	481
14.4	独立激励信号源	481
14.4.1	直流激励信号源	481
14.4.2	正弦激励信号源	482
14.4.3	脉冲激励信号源	482
14.4.4	分段线性激励信号源	483
14.4.5	指数激励信号源	483
14.4.6	调频激励信号源	483
14.5	数字信号源	484
14.5.1	时钟型信号源	484
14.5.2	基本型信号源	485
14.5.3	文件型激励信号源	485
14.5.4	图形编辑型激励信号源	486
14.6	特殊仿真元器件的参数设置	487
14.6.1	IC 符号	487
14.6.2	NODESET 符号	487
14.6.3	电容、电感初始值的设置	488
14.7	仿真元器件的参数设置	488

第 15 章 仿真电路板设计 489

15.1	电路板仿真概述	490
15.2	电路板仿真步骤	490
15.3	IBIS 模型的转化	492
15.3.1	Model Integrity 界面简介	492
15.3.2	IBIS to DML 转换器	494
15.3.3	解析的 IBIS 文件结果	495
15.3.4	在 Model Integrity 中仿真 IOCell 模型	496



15.3.5	Espice to Spice 转换器	498
15.4	PCB 仿真图形界面	500
15.5	提取网络拓扑结构	501
15.5.1	设置叠层	502
15.5.2	直流电压值的设置	503
15.5.3	DML 模型库的加载	503
15.5.4	模型分配	504
15.5.5	网络拓扑结构属性设置	506
15.5.6	提取网络拓扑结构	507
15.6	SigXplorer 图形编辑界面	509
15.7	PCB 前仿真	512

15.7.1	设置仿真参数	512
15.7.2	设置激励源	513
15.7.3	执行仿真	514
15.7.4	分析仿真结果	516
15.8	给拓扑加约束	520
15.8.1	扫描运行参数	520
15.8.2	添加、编辑拓扑约束	522
15.8.3	将拓扑结构赋给相应的网络	525
15.9	后仿真	526
附录		527

第1章

Cadence 概述

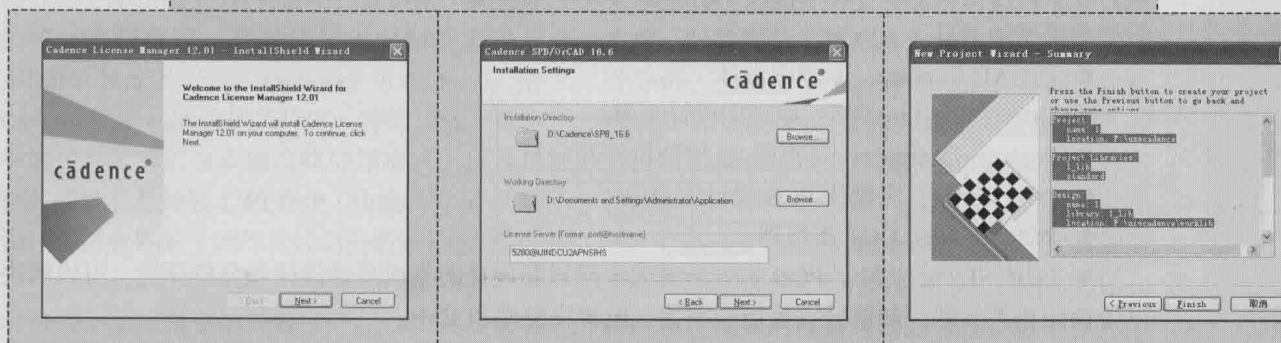
内容指南

Cadence 为挑战简短、复杂、高速芯片封装设计，推出了以 Windows XP 的操作平台为主的 Cadence SPB 16.6。

本章将从 Cadence 的功能特点及发展历史讲起，介绍 Cadence SPB 16.6 的安装、界面、使用环境，以使读者能对该软件有一个大致的了解。

👉 知识重点

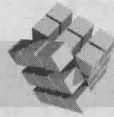
- 📖 Cadence 简介
- 📖 Cadence 软件的安装
- 📖 Cadence SPB 16.6 的启动





1.1

Cadence 简介



Cadence 公司在 EDA 领域处于国际领先地位，旗下 PCB 设计领域有市面上众所周知的 OrCAD 和 Allegro SPB 两个品牌，其中 OrCAD 为 20 世纪 90 年代的收购品牌。Allegro SPB 为 Cadence 公司自有品牌，早期版本称为 Allegro PSD。经过 10 余年的整合，目前 Cadence PCB 领域仍执行双品牌战略，OrCAD 覆盖中低端市场（以极低的价格就可以获得好用的工具，主要与 Protel 和 Pads 竞争），Allegro SPB 覆盖中高端市场（与 Mentor 和 Zuken 竞争）。

(1) OrCAD 涵盖原理图工具 OrCAD Capture、Capture CIS（含有元件库管理之功能），原理图仿真工具 PSpice（PSpiceAD、PSpiceAA），PCB Layout 工具 OrCAD PCB Editor（Allegro L 版本，OrCAD 原来自有的 OrCAD Layout 在 2008 年已经全球范围停止销售），信号完整性分析工具 OrCAD Signal Explorer（Allegro SI 基础版本）。

(2) Allegro SPB 涵盖原理图工具 Design Entry CIS（与 OrCAD Capture CIS 完全相同）、Design Entry HDL（Cadence 旧 Concept HDL），原理图仿真工具 Allegro AMS Simulator（即 PSpiceAD、PSpiceAA），PCB Layout 工具 Allegro PCB Editor（有 L、Performance、XL、GXL 版本），信号完整性分析工具 Allegro PCB SI（有 L、Performance、XL、GXL 版本）。

(3) Cadence 16.6 与之前的几个版本在功能模块上既有相同的地方，也有不同之处，下面对比图 1-1 所示的启动菜单简单介绍一下具体功能模块。

- Design Entry CIS: Cadence 公司收购的 OrCAD 公司的旧版本 Capture 和 Capture CIS，是国际上通用的、标准的原理图输入工具，设计快捷方便，图形美观，与 Allegro 软件平台实现了无缝链接。

- Design Entry HDL: 是旧版本的 Concept HDL，提供了基于 Design Capture 环境的原理图设计，允许使用表格、原理图和 Verilog HDL 进行设计。

- Design Entry HDL Rule Checker: 检查 Design Entry HDL 规则的工具。

- Library Explorer: 包括 Part Developer 和 Library Explorer 两个功能，进行数字设计库的管理，可以调用建立 Part Developer、PartTable Editor、Design Entry、Packager-XL 和 Allegro 的元件符号和模型的工具。

- OrCAD Capture: 原理图设计工具。

- OrCAD Capture CIS: 原理图设计工具。

- Package Designer: 高密度 IC 封装设计和分析。

- PCB Editor: 完整的 PCB 设计工具。

- PCB Router: CCT 布线器。

- PCB SI: 建立数字 PCB 系统和集成电路封装设计的集成高速设计和分析环境，可以解决电器性能相关问题，如信号完整形、串扰、电源完整性和 EMI。

- Physical Viewer: Allegro 浏览器模块。

- Project Manager: Design Entry HDL 的项目管理器。

- PSpiceAD: 原理图仿真工具。
- Sip: 是一种在基板上同时粘着两块以上芯片的单片封装。
- System Digital Architect: Sip 数字结构图。
- System Architect: 系统结构图。

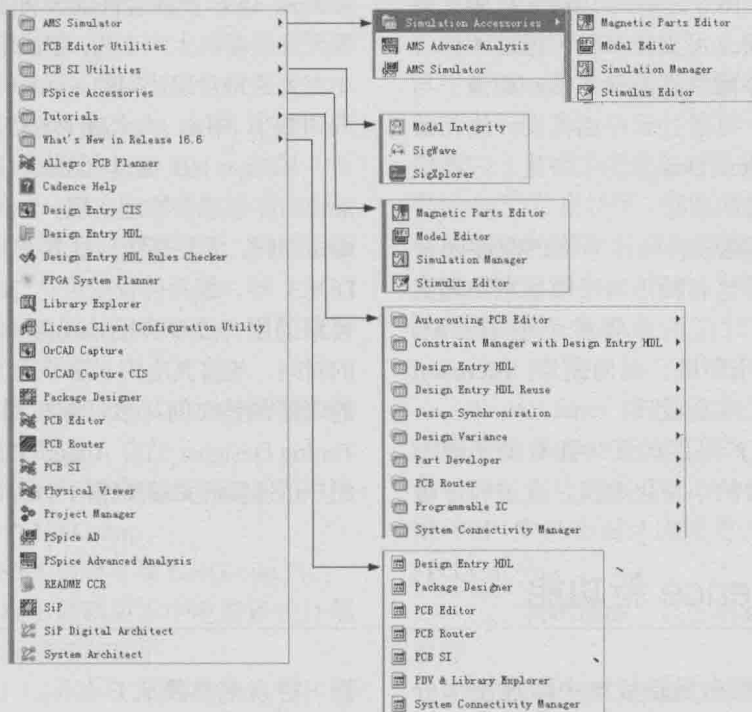


图 1-1 Cadence 16.6 启动菜单

1.1.1 Cadence 特点

Cadence 设计系统公司宣布其 Allegro 16.6 Package Designer 与系统级封装 (SiP) 布局解决方案支持低端 IC 封装要求, 满足新一代智能手机、平板电脑、超薄笔记本电脑的需要。Allegro 16.6 Package Designer 与 Cadence SiP Layout 的新功能包括芯片置入腔体功能, 即一种能提高效率的全新键合线应用模式, 以及一种晶圆级芯片封装 (WLCSP) 功能, 为 IC 封装设计提供业界最全面的设计与分析解决方案。

Cadence 已经有能力通过 Allegro 工具, 来解决与小型轻薄型消费电子产品 IC 封装有关的挑战。全新直观的键合线应用模式可通过专注于特定的焊线工艺提升产能。Cadence Allegro

套件可实现高效率的 WLCSP 流程, 可读写更简练的 GDSII 数据。全新的高级封装布线器基于 Sigrity™ 技术, 可大大加快封装底层互联的实现。封装评估、模型提取、信号与功率完整性分析, 也是基于 Sigrity™ 技术, 并都被集成到 Allegro 16.6 解决方案中。这使得 IC 封装设计中需要确认及签署的分析结果更加容易快捷。

Cadence Allegro 的全新改良可实现具有更高可预测性和有效率的设计周期。此外, Allegro 协同设计流程的改良可增强合作, 芯片与 PCB 设计团队都能提高系统级的表现, 降低总体系统成本。

与 Protel 提供的一个完整的设计工具包不同, Cadence Allegro 工具提供了极其灵活的配置, 通过拆分成许多功能模块, 以满足不同需求的客户找到最贴切的方案, 从而大幅节省成本。相比 Allegro 16.6 之前的 Pspice 只能支持单核, 而新的 Pspice 可支持多核 (超过 4 核), 因而在仿真速度方面最高提升 4 倍。加强了与用户互动的功能, 可通过云存储将设计放到云端。此外, 在 Team Design、小型化、三维接口等方面都有很好的改进。

Allegro 16.6 能够将高速界面的时序闭合加快 30%~50%, 这有赖于时序敏感型物理实现与验证, 是其对应的业界首个电子 CAD (ECAD) 团队协作环境, 面向使用 Microsoft SharePoint 技术的 PCB 设计。

Allegro 16.6 产品线的新功能有助于嵌入式双面及垂直部件的小型化改良, 改进时序敏

感型物理实现与验证, 加快时序闭合, 并改进 ECAD 和机械化 MCAD 协同设计, 这些都对加快多功能电子产品的开发至关重要。Allegro 套件的 PCB 设计小型化功能在 16.5 中已经提供, Allegro 16.6 产品套件继续利用嵌入式有源及无源元件最新的生产工艺, 解决电路板尺寸不断缩小有关的特定设计问题。元件可利用 z 轴垂直潜入到 PCB 内层, 大大减少 x 和 y 轴布线空间。

Allegro 16.6 通过自动交互延迟调整 (AiDT) 加快时序敏感型物理实现。自动交互延迟调整可缩短时间, 满足高级标准界面的时序约束, 例如 DDR3 等, 缩短的程度可达 30%~50%。AiDT 可帮助用户逐个界面地迅速调整关键高速信号的时间, 或将其应用于字节通道级, 将 PCB 上的线路调整时间从数日缩短到几个小时。EMA Timing Designer 结合 Allegro PCB SI 功能, 帮助用户迅速实现关键高速信号的时序闭合。

1.1.2 Cadence 新功能

1. Cadence 推出最新版本中原理图部分 OrCAD Capture V16.6, 新增功能如下。

(1) 在 SigXplorer 设定的拓朴结构及 Constraints 可直接回编到电路图上, 大幅简化与缩短 Pre-Sim 的作业流程。

(2) 自定义菜单和工具栏: 自定义 Menu 和 Toolbars, 如改变 Menu item 位置和名称等。其中, 文件位置在 “\share\orResources” 路径下。

(3) 修改 XML 文件, 未保存页面会标示 “*”: 修改过的 Design or Page or Library 会在未保存前, 标示 Mark (*) 星号。

(4) 增强了查找功能。

- 可指定找寻某一个属性的值, 如 pcb footprint=PLCC28Note: 属性名称需为完整字符串, 万用字元 (*) 只支援参数值字符串。

- 搜寻区间范围的零件, 如 U4[1-4]Note: 当两个功能都被开启时, 常规描述搜寻只支援属性值的字符串。

- 一次性替换相同网络名称的页间连接

符, 将 A 名称换成 B 名称。

(5) 增强 Cache 的更新: 可在设计 Cache 中一次选取多个零件, 透过替换 Cache 换成同一个零件。

(6) 设置用户给定标志。

- 当 Reference 清成 “?” 时, 同类型复合式零件可保留 Section。

- 可以保留用户自订的参照。

注意

保留部件参照可通过以下几个步骤。

Edit Property

直接修改 Part Reference Value.

从 PCB Board 修改完后 Back Annotate 回线路图, Preserve Designator (保留原本的 Section), Preserve User Assigned Valid References (修改过的 Reference 会加上 “_” 底线)。

(7) 在阶层式电路中摆放零件时, 可依照整份 Project 自动编号, 避免零件编号重复。

(8) 可直接 View 旧版本的线路图, 当执行存档动作时, 才会跳出警示讯息是否要 Update Design。

(9) 利用菜单或是在分页上, 选择一次关闭所有开启的 Page 或是关闭所有 Page 但保留当前 view 的这一页。

(10) 透过 TCL/TK 编写 DRC 检查。

(11) 对于 Project 的 Save as 除了 OPJ 档外, 也能把 DSN 或是 Output File 一并存入指定的资料夹中。

(12) 在 BUS 线上, 直接放上 NetGroup 名称。

(13) 可针对 Unname NetGroup 里的成员调整顺序。

(14) 直接从 NetGroup 中选择要接的 NetGroup 及不想接的。

(15) 现在不论 Port 或是 Offpage 都可清楚辨识属于哪一个 NetGroup。

(16) 利用 Find 功能寻找 NetGroup Pin。

2. Cadence 推出最新版本中电路板设计部分 Allegro16.6, 新增功能如下。

(1) 当 PCB Layout 工程师在网络表传输完成后, 这些 Constraint 设定也会随著网络表格的导入而自动带到 Allegro、OrCAD PCB Layout 的 Constraint Manager 环境中。

(2) 当电路图被再次利用时, 读者无须再去重复先前的作业, 所有的拓朴结构、T 点、Xnet 及 Constraint 资料都已保存在电路图上。

3. Cadence 推出最新版本中仿真分析部分 PSpice16.6, 新增功能如下。

(1) 使用操作改进与提升:

软件本身提供 Learning PSpice 学习教程、快速调用 PSpice 元器件、PSpice 模型加密支持 256-bit AES 加密算法和新增 PSpice 仿真元件库。

- 支持 IBIS 模型到 PSpice 模型导入。
- 新增 What-if 设计流程。
- Model Editor 支持隐藏引脚原理图符号导入。

(2) 核心功能改进与提升: 仿真精度提高, 支持 64 位数据精度、仿真收敛性大大增强, 提供了众多可供用户选择的设置、仿真速度提升, 支持多核运算、I/O 优化, 增强 PSpice 处理大数据量波形文件能力。

(3) Tcl 的支持与集成。

4. Cadence 推出最新版本中编程部分 FSP16.6, 新增功能如下。

(1) 直接调用已有的 PCB 设计文件, 利用 FSP 来重新设计或重复使用 PCB 文件中 FPGA 部分。

(2) 新增滤波, 匹配电路需要的电阻, 电容等。

(3) 可以整体添加设计中所有电源管脚的退耦电容。

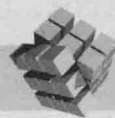
(4) 在 PCB 电路板设计 Allegro 下面也可以自动换管脚。

(5) 调入 FSP 数据后新增各种自动换管脚形式, 使 FPGA 设计变得更加高效简单。

(6) 新增文档对比功能, 用户可以根据文档比较来确认管脚交换前后的改动。

1.2

Cadence 软件的安装



Cadence 软件是标准的基于 Windows 的应用程序, 它的安装过程十分简单, 只需按照提示步骤进行操作就可以了。



1.2.1 Cadence 产品安装

1. 将安装光盘装入光驱后，打开该光盘，从中找到并双击 setup.exe 文件，弹出 Cadence 的安装界面，显示产品组件菜单，如图 1-2 所示。

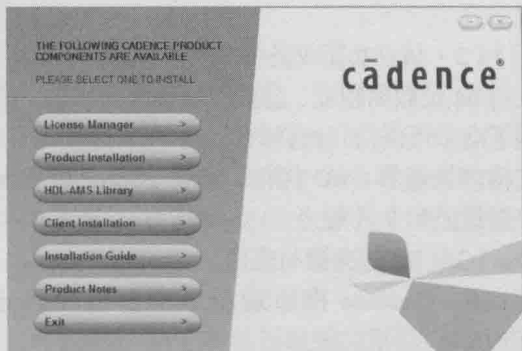


图 1-2 产品组件菜单

2. 安装许可证文件。单击第一项“License Manager（许可管理器）”，弹出安装向导欢迎对话框，如图 1-3 所示。

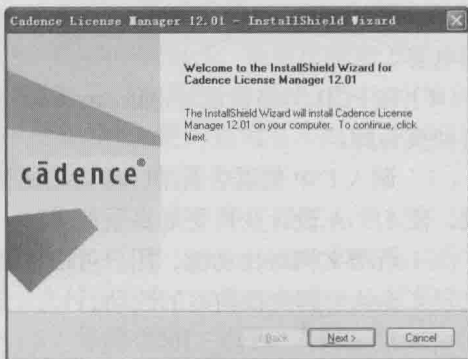


图 1-3 安装向导对话框

3. 单击“Next（下一步）”按钮，弹出安装协议对话框，选择同意安装“I accept the terms of the license agreement（接受许可协议）”按钮，如图 1-4 所示。

4. 单击“Next（下一步）”按钮，进入下一个对话框。在该对话框中，用户需要选择安装路径。系统默认的安装路径为“C:\Cadence\LicenseManager”，用户可以通过单击“Change”

按钮来自定义其安装路径，如图 1-5 所示。

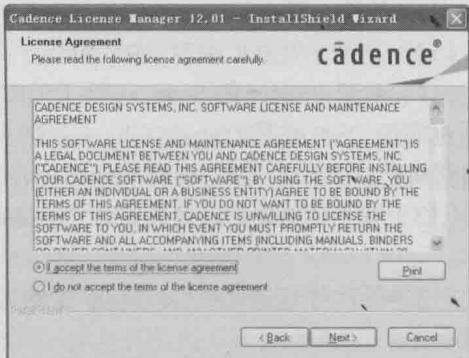


图 1-4 安装协议对话框

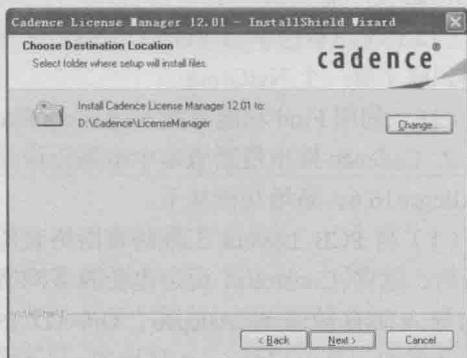


图 1-5 目标路径对话框

5. 单击“Next（下一步）”按钮，进入下一个画面，出现安装类型信息的对话框，设置完毕后如图 1-6 所示。

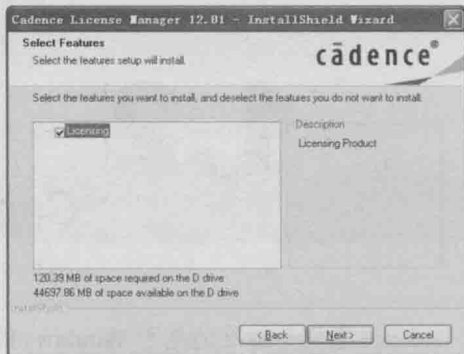


图 1-6 选择功能