



# 高速低功耗电荷域 流水线模数转换器设计

*High-speed Low-power Charge  
Domain Pipelined ADC Design*

陈珍海  
于宗光 编著  
张 鸿



中国工信出版集团



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY  
<http://www.phei.com.cn>



# 高速低功耗电荷域流水线模数 转换器设计

陈珍海 于宗光 张 鸿 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书对高速模数转换器的特性参数进行了介绍,并分析和对比了各种高速低功耗模数转换器的结构;详细介绍了电荷域流水线模数转换器结构、工作原理和设计实现的一些关键技术;全面介绍了高速模数转换器设计所需要的关键电路功能模块的设计技术;还介绍了两款电荷域低功耗 10 位 250MSPS 流水线模数转换器的设计与实现案例。

本书可作为微电子学、电子信息工程等专业高年级本科生和研究生学习高速混合信号集成电路设计的参考资料,也可供从事模拟/混合信号集成电路设计的工程师参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

### 图书在版编目(CIP)数据

高速低功耗电荷域流水线模数转换器设计 / 陈珍海, 于宗光, 张鸿编著. —北京: 电子工业出版社, 2015.12

ISBN 978-7-121-27952-2

I. ①高… II. ①陈… ②于… ③张… III. ①模数转换电路—电路设计 IV. ①TM79

中国版本图书馆 CIP 数据核字(2015)第 318737 号

责任编辑: 刘海艳

印 刷: 中国电影出版社印刷厂

装 订: 中国电影出版社印刷厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 11.5 字数: 295 千字

版 次: 2015 年 12 月第 1 版

印 次: 2015 年 12 月第 1 次印刷

定 价: 39.80 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 [zltz@phei.com.cn](mailto:zltz@phei.com.cn), 盗版侵权举报请发邮件至 [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)。

服务热线: (010) 88258888。

# 前 言

自 1971 年世界上首颗单片集成的模数转换器——ADC (Analog-to-Digital Converter) 问世以来, 经过近 40 余年的发展, ADC 技术已取得世人瞩目的成绩。作为信息转换的枢纽, ADC 在大多数通信与信息处理领域中处于核心位置, 支撑了电子计算机产业、消费电子、有线和无线通信产业的突飞猛进。

ADC 按照结构来说, 最先被提出的是全并行 (Flash) 和积分型结构, 前者速度快、精度低, 后者速度慢、精度高。从 20 世纪 80 年代开始, ADC 突破传统的全并行和积分型等结构, 发展出许多新技术。逐次逼近型 (SAR) 系统结构在低速高分辨率 ADC 中得到广泛应用, 这类 ADC 保持着缓慢发展的趋势; 进入 90 年代以来, 以流水线 (Pipelined) 和过采样 ( $\Sigma$ - $\Delta$ ) 结构为代表的 ADC 结构逐渐成为模数转换器的主流。这些新结构克服了传统全并行结构在分辨率、功耗等方面的局限, 实现更高的转换速率和分辨率。国内外该领域的研究人员对此进行了大量工作, 相关的报道不断涌现, 产品也不断更新换代。

由于流水线型结构 ADC 设计时对于精度、速度和功耗等指标的选取上具有最大的自由度, 因而在无线通信、高速测量仪器、视频处理、数字雷达等需要高速高精度 ADC 的应用领域中获得了广泛应用。随着该类应用系统性能提升, 其对 ADC 提出了高速度、高精度、大动态范围、宽输入信号带宽、低功耗等指标要求, 使得高性能流水线 ADC 的设计面临巨大的挑战, 传统流水线 ADC 实现技术面临难以克服的瓶颈。

传统比较成熟的高速高精度流水线 ADC 大多是基于高增益大带宽的 OTA 和开关电容电路实现。目前该技术已经非常成熟, 采用该技术实现的精度达 14~16 位、采样速度超过百 MHz、SFDR 超过 90dB 的中频采样流水线 ADC 的报道已经很多。由于基于 OTA 和开关电容的流水线结构 ADC 中每一个子级电路都必须使用一个高增益和大带宽的 OTA 来实现负反馈以保证电路的精度和速度, 要提高该类 ADC 的速度和精度, 所使用 OTA 的带宽和增益必须相应倍数的增加, 其结果就是 ADC 的功耗水平随其采样速率和精度的提高显著上升。因此高增益和大带宽 OTA 的使用限制了该类结构 ADC 的功耗水平和速度, 而这类 OTA 的设计和实现也成为高性能开关电容流水线 ADC 设计过程中最核心也是最困难的工作。此外, 随着 CMOS 工艺技术特征尺寸不断缩减, 在纳米级 CMOS 工艺条件下若采用传统开关电容技术来实现高速高精度流水线 ADC 将会更加困难, 原因就在于高增益带宽积的 OTA 难以实现。

为克服基于传统开关电容电路的流水线 ADC 技术瓶颈, 国内外很多研究机构针对该问题进行研究, 提出了许多开关电容技术的改进措施, 其基本方向可以分为两大类: 一是 OTA 数目及性能简化技术, 主要减少 OTA 使用数量或降低 OTA 的增益、带宽要求, 然后通过采用数字技术进行纠错补偿; 二是 OTA 替代技术, 采用其他低功耗电路代替开关电容电路中高增益带宽积 OTA 使用, 通过替代 OTA 的使用, 最大限度地降低 ADC 功耗。基于这些新技术, 流水线 ADC 设计技术水平不断取得新进展, 但是所有这些改进技术仍在开关电容技

术的框架内，并未产生革命性突破。

电荷域流水线 ADC 是一种完全打破开关电容技术框架的流水线 ADC 实现新技术，其将模数转换功能从电压域转换到以电荷为变量的电荷域进行处理，完全避免高增益带宽积运放的使用，具有超低功耗特性。目前国际上 14 位流水线 ADC 产品的最高水平为 Intersil 公司的 500MSPS ISLA214S50，该产品采用的技术正是电荷域流水线 ADC 技术。虽然电荷域流水线 ADC 技术具有非常优越的功耗优势，开辟了流水线 ADC 设计的新领域，然而，现有已报道文献中并没有深入研究整个电荷域流水线 ADC 的系统结构和关键参数。本书的目的就是对电荷域流水线 ADC 的系统结构和关键模块电路实现技术进行研究和讨论，对电荷域流水线 ADC 设计技术进行“解密”。

本书第 1 章是绪论；第 2 章介绍了 ADC 基本原理和高速 ADC 的典型性能参数，包括静态参数、动态参数和频域参数；第 3 章介绍了高速模数转换器主要结构，包括全并行、两步式、折叠插值、流水线结构和时间交织技术；第 4 章讨论了低功耗流水线 ADC 实现技术，介绍了开关电容流水线 ADC 原理、实现方式、遇到的瓶颈限制和各种最新的改进技术；第 5 章详细讨论了电荷域流水线 ADC 基本原理、电路结构和关键模块电路的实现技术，包括电荷传输电路、电荷域每级 1 位流水线子级电路、电荷域每级 1.5 位流水线子级电路、电荷域每级 2.5 位流水线子级电路、电荷域采样保持电路和电荷比较器电路；第 6 章介绍了高速 ADC 实现所需要的通用辅助功能模块，包括时钟接收、时钟产生、高线性度采样开关、并行输出接口和高速串行输出接口等模块；第 7 章给出了一种基于  $0.18\mu\text{m}$  CMOS 工艺的低功耗 10 位 250MSPS 的电荷域流水线 ADC 的设计与实现案例；第 8 章基于  $0.18\mu\text{m}$  CMOS 工艺，设计并实现了一款基于时间交织技术的低功耗 10 位 250MSPS 电荷域流水线 ADC。

由于作者水平所限，书中不可避免存在一些不正确的地方，希望广大读者指正。

作者

2015 年 6 月于江苏无锡

# 目 录

第 1 章 绪论 .....	1
1.1 研究背景 .....	1
1.2 高速模数转换器最新发展现状 .....	2
1.3 流水线 ADC 最新研究进展 .....	6
1.4 本书的主要内容 .....	8
参考文献 .....	9
第 2 章 高速模数转换器的性能参数 .....	13
2.1 理想模数转换器 .....	13
2.2 ADC 的分类 .....	14
2.3 高速 ADC 静态参数 .....	15
2.3.1 分辨率 .....	15
2.3.2 量化误差 .....	15
2.3.3 偏置失调误差 .....	16
2.3.4 增益误差 .....	16
2.3.5 微分非线性误差 .....	17
2.3.6 积分非线性误差 .....	17
2.3.7 绝对精度误差 .....	18
2.4 高速 ADC 频域参数 .....	19
2.4.1 量化噪声 .....	19
2.4.2 信噪比 .....	19
2.4.3 总谐波失真 .....	20
2.4.4 信号与噪声加畸变比 .....	20
2.4.5 总谐波失真加噪声 .....	21
2.4.6 有效位 .....	21
2.4.7 无杂散动态范围 .....	21
2.4.8 模拟带宽 .....	23
2.4.9 互调失真 .....	24
2.5 高速 ADC 动态参数 .....	25
2.5.1 孔径时间 .....	26
2.5.2 孔径误差 .....	26
2.5.3 有效孔径时间 .....	26

2.5.4 孔径抖动及其引起的误差	27
2.6 小结	30
参考文献	30
<b>第3章 高速模数转换器的主要结构</b>	<b>31</b>
3.1 全并行 ADC 结构	31
3.2 两步式 ADC 结构	32
3.3 流水线 ADC 结构	33
3.4 折叠插值 ADC 结构	34
3.5 时间交织技术	36
3.6 小结	37
参考文献	37
<b>第4章 低功耗流水线 ADC 实现技术</b>	<b>38</b>
4.1 流水线 ADC 典型实现技术	38
4.1.1 流水线 ADC 基本原理	38
4.2 开关电容流水线 ADC 及其性能限制	39
4.2.1 基于 OTA 的开关电容流水线 ADC 实现技术	39
4.2.2 工艺特征尺寸缩小对开关电容 ADC 的限制	40
4.3 低功耗流水线 ADC 设计技术	41
4.3.1 运放共享技术	42
4.3.2 数字辅助的开关电容技术	42
4.3.3 开环运放技术	43
4.3.4 基于比较器的开关电容技术	44
4.3.5 基于过零检测的开关电容技术	46
4.3.6 基于动态源极跟随器的开关电容技术	47
4.3.7 电荷域流水线 ADC 技术	48
4.3.8 各类低功耗技术对比	49
4.4 小结	50
参考文献	50
<b>第5章 电荷域流水线 ADC 原理及关键电路实现方法</b>	<b>52</b>
5.1 电荷域信号处理技术背景	52
5.2 电荷域流水线 ADC 结构及原理	54
5.2.1 基本电荷传输原理	54
5.2.2 具备电荷加减功能的传输电路	55
5.2.3 电荷域 ADC 子级电路	56
5.2.4 电荷域 ADC 子级电路及共模电荷分析	58
5.3 电荷传输电路	59
5.3.1 基本 BBD 电荷传输电路	59

5.3.2	增强型 BBD 电荷传输电路	60
5.3.3	PVT 不敏感增强型 BBD 电荷传输电路	63
5.3.4	Replica 控制增强型 BBD 电荷传输电路	66
5.4	电荷域每级 1 位流水线子级电路	67
5.4.1	传统开关电容的 1 位流水线子级电路的实现方法	67
5.4.2	电荷域 1 位流水线子级电路的实现方法	68
5.4.3	比较器失调以及增益误差对子 ADC 的影响	71
5.5	电荷域每级 1.5 位流水线子级电路	73
5.5.1	传统电压型 1.5 位流水线子级的实现方法	73
5.5.2	电荷域 1.5 位流水线子级电路的实现方法	75
5.5.3	电荷域 1.5 位流水线子级的级联	78
5.6	2.5 位流水线子级电路实现及理论分析	80
5.6.1	电荷域 2.5 位流水线子级电路结构	80
5.6.2	2.5 位流水线子级电路理论分析	80
5.7	采样保持电路	83
5.8	电荷比较器电路	85
5.8.1	电荷比较器电路结构	85
5.8.2	动态锁存比较器电路	86
5.9	小结	87
	参考文献	87
<b>第 6 章</b>	<b>高速 ADC 通用功能模块实现</b>	<b>89</b>
6.1	高速低抖动时钟产生模块	89
6.1.1	基本时钟接收及恢复电路	89
6.1.2	时钟相位产生电路	94
6.2	高线性度采样开关	97
6.2.1	MOS 开关的非理想特性	97
6.2.2	栅压自举开关	100
6.3	高速输出接口技术	103
6.3.1	数字逻辑接口标准	103
6.3.2	串行差分输出接口	104
6.3.3	总线输出接口在 ADC 中的应用	111
6.4	小结	119
	参考文献	119
<b>第 7 章</b>	<b>电荷域低功耗 10 位 250MSPS 流水线 ADC 设计实例</b>	<b>122</b>
7.1	电荷域 10 位 250MSPS 流水线 ADC 系统设计	122
7.1.1	ADC 系统架构设计	122
7.1.2	各子级电路量化电荷的选取和优化	123



7.2 电荷域 10 位 250MSPS 流水线 ADC 关键模块实现	124
7.2.1 高性能采样保持电路	124
7.2.2 2.5 位子级电路	125
7.2.3 3 位全并行 ADC 电路	128
7.2.4 基准电压产生及驱动电路	129
7.2.5 ADC 总体仿真结果	133
7.3 电荷域 10 位 250MSPS 流水线 ADC 版图设计	135
7.3.1 数模混合信号电路版图设计技巧	135
7.3.2 10 位 250MSPS 电荷域 ADC 版图设计	139
7.4 电荷域 10 位 250MSPS 流水线 ADC 测试	141
7.4.1 高速 ADC 测试方法	141
7.4.2 测试方案	143
7.4.3 测试结果及分析	150
7.5 小结	151
参考文献	151
<b>第 8 章 时间交织 10 位 250MSPS 电荷域流水线 ADC 设计实例</b>	<b>153</b>
8.1 时间交织 ADC 实现技术	153
8.1.1 时间交织 ADC 结构及原理	153
8.1.2 时间交织 ADC 关键功能模块	154
8.2 时间交织电荷域流水线 ADC 设计	157
8.2.1 低功耗 ADC 系统设计	157
8.2.2 分布式时钟产生系统	158
8.2.3 其他功能模块电路设计	164
8.2.4 10 位 250MS/s ADC 版图设计	168
8.2.5 10 位 250MSPS ADC 测试	170
8.3 小结	171
参考文献	172

# 绪 论

## 1.1 研究背景

得益于微电子技术和计算机技术的突飞猛进,无线通信产业成为最近 30 年发展最迅速的产业。根据工信部的最新统计数据显示,2014 年,中国国内 3G 智能手机用户数已突破 3 亿,并且 4G 通信的牌照已经发放。未来的全 IP 移动通信系统将实现不同标准、协议、调制方式等在同一终端或基站上的自由切换,从而实现互联互通。而无线通信系统的终极目标就是软件无线电(soft define radio, SDR),如图 1-1 所示,它将模拟与数字的边界推到了天线端,模数转换器(Analog-to-Digital Converter, ADC)和数模转换器(Digital-to-Analog Converter, DAC)工作在射频频段,直接处理天线接收的信号,经过模数转换之后进入数字电路,通过软件配置完成。软件无线电的核心思想是在一个具有开放性、标准化、模块化的通用平台上,根据所需的功能来加载不同的软件,以满足各种通信系统之间互联互通、自由切换的要求,从而实现多模通信。由于 ADC 要处理所有频段的信号,因此,要求采样速度达到几吉赫兹(GHz),信噪比达到 120dB。按照目前的工艺、设计水平以及物理极限,上述指标的 ADC 暂时无法实现。由于现阶段 ADC 取样率、DSP 运算能力的限制,射频信号直接数字化还有一定的难度,需要通过传统的模拟信号信号处理子系统对射频信号进行混频等处理,在得到中频(IF)频段的信号后再进行采样。

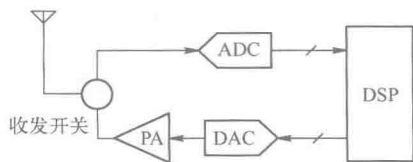


图 1-1 软件无线电结构图

因此,无线通信系统的架构随着 ADC/DAC 和后端处理芯片性能不断提高而升级,主要有超外差式接收机、直接变频接收机、低中频接收机和数字中频接收机。不同的接收机对 ADC 的要求也各不相同,但前三种结构的接收机所使用的 ADC 有一个共同特征,就是信号在进行模数转换之前,都被调制到基频附近,ADC 只需要采样基频信号。数字中频结构接收机可以将更多的射频模块移动到数字域,可以利用强大的 DSP 模块,提供很好的编程性。由于信号被调制到中频,因此,要求 ADC 需要带通采样,为了降低 ADC 的功耗,通常为欠采样。随着处理数据带宽和速度增加,新一代宽带多信道收发机的射频/模拟前端同时处理多条信道。

图 1-2 是宽带多信道无线通信收发机的简单框图。在接收通道,其通过一个宽带 ADC

直接对多条信道进行数字量化；在发送通道，其通过一个宽带 DAC 将多条信道转换成模拟量。在信号的发射过程中，通路由功率放大器（PA）、混频器、射频（RF）/IF 带通滤波器（BPF）和宽带 DAC 组成，基带芯片将数字信号输入到 DAC 中，DAC 的模拟输出信号经过滤波器后直接输入到上混频器中，与载波信号混频后输入到 PA 中，再通过天线将信号发送出去。在信号的接收过程中，通路由低噪放（LNA）、混频器、RF/IF 滤波器、自动增益控制（AGC）和宽带 ADC 组成，LNA 将天线系统中微弱的模拟输入信号进行放大，再通过 AGC 的下混频器处理，输出有用的模拟信号交由滤波器滤除通带外的噪声、谐波以及其他信号，提取出窄带的基带信号后输入到高速 ADC 中完成数据转换，并交由后级 DSP。

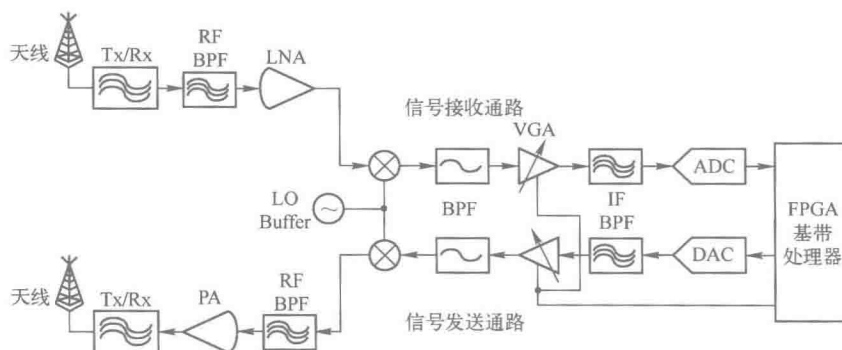


图 1-2 宽带多信道无线通信收发机的简单框图

随着集成电路加工工艺的不断演进，CMOS 晶体管的特征尺寸（feature size）不断缩小，其有效线宽已经从微米量级进入到纳米量级。例如，现在 Intel 公司发布出来的 CMOS 工艺仅有 22nm 线宽。数字集成技术的发展使得许多原本在模拟域处理的信号转移到了数字域。然而，由于自然界的信号大多是模拟信号，为了使它能够在数字域处理，ADC 成为现代信号处理系统不可或缺的核心组成部分。

无线通信系统终端由第一代模拟处理终端到目前大规模推广使用的 4G 终端，其系统芯片的复杂度和集成度呈几何级数提升。对于新一代无线通信系统芯片来说，其对 ADC 模块的要求首先是足够的速度和精度，并且随着频段不断提高，其中频采样特性应该非常优越；其次，ADC 应该具有超低功耗特性，这是便携式终端的必要条件；再次，为实现系统集成，ADC 模块应该体现出工艺兼容性和可配置性，所使用的工艺应当与数字电路部分相同，就目前而言，采用标准数字 CMOS 技术进行设计是最佳选择。因此，在迫切需求研发基于普通 CMOS 工艺、具有超低功耗特性、超高中频采样特性的高速高精度 ADC 电路和 IP。

## 1.2 高速模数转换器最新发展现状

作为一种典型的数模混合集成电路，ADC 器件按照速度来划分，中低速 ADC 的实现形式包括  $\Sigma - \Delta$ （Sigma-Delta, SD）ADC、逐次逼近（Successive Approximation Register, SAR）ADC、循环式（Cyclic）ADC；而高速 ADC 的实现形式包括全并行（Flash）ADC、

两步式 (Two-Step) ADC、流水线 (Pipelined) ADC、折叠式 (Folding) ADC 和时间交织型 (Time-Interleaved, TI) ADC 等结构。

近 30 年来, 经过研究人员的不断努力推进, ADC 发展已日益成熟。

图 1-3 是国际固态电路会议 (ISSCC) 2014 年给出的 ADC 性能统计图, 该图显示了 1997 年至今的 ADC 信号带宽 (BW)  $\rightarrow$  信噪失真比 (SNDR) 分布情况, 其中信号带宽最大可达 20GHz, SNDR 最高可达到 110dB, 但采样速率在 100MSPS (Million Samples Per Second, 百万抽样/秒) 以上、有效位数为 12 位以上的高速高精度 ADC 仍比较少见。

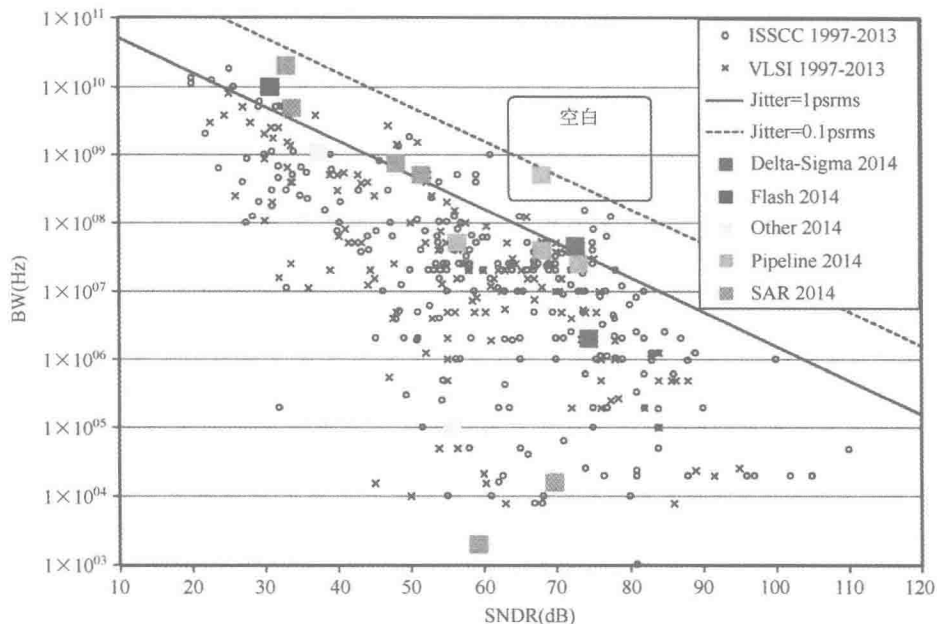


图 1-3 1997 年至今 ADC 信号带宽与信噪失真比分布情况

表 1-1 列举了近年来部分国际主流高速 ADC 在结构、工艺、性能参数等详细指标。由表 1-1 中可知, 全并行 ADC、时间交织型 ADC 是当前实现超高速 ADC 的两种最主要结构。由于这类 ADC 以牺牲面积和功耗为代价换取较高的速度, 因此不适用于精度要求较高的应用领域。

表 1-1 近 10 年来典型高速 ADC 性能参数对比

年份	结构	工艺 ( $\mu\text{m}$ )	面积 ( $\text{mm}^2$ )	SNDR (dB)	功耗 (W)	BW (GHz)
2014	SAR-TI	0.032	1.88	35.2	0.67	45
2004	全并行	HBT	3.96	18.6	3.8	20
2010	SAR-TI	0.065	16	25.2	1.5	18
2012	全并行	0.04		25.8	0.5	13
2008	SAR-TI	0.09	16	26.4	1.2	12
2006	全并行	0.13 SiGe	2.4	20.0	3.0	11
2003	流水线	0.18		29.5	10.0	6
2013	全并行	0.065		28.9	0.39	5

续表

年份	结构	工艺 ( $\mu\text{m}$ )	面积 ( $\text{mm}^2$ )	SNDR (dB)	功耗 (W)	BW (GHz)
2013	全并行	0.04		29.2	0.139	6
2013	全并行	0.040	0.27	32.5	0.24	5
2011	SAR-TI	0.065	7.4	48.5	0.48	1
2010	折叠式	0.040	5.1	31.1	0.0026	1
2006	两步式	0.09	103.6	33.8	0.055	1

表 1-2 列举了国际上近年来报道的部分主流高精度 ADC 在结构、工艺、性能参数等方面的对比。从表 1-2 中可知,  $\Sigma$ - $\Delta$  (SD) 和 SAR 型 ADC 是当前实现高精度 ADC 的两种最主要的结构。这类 ADC 有较高的动态范围, 也就是足够高的转换精度, 保证了足够的线性度。但受限于带宽小、速度慢的影响, 这类 ADC 主要应用于低速的音频信号处理领域, 而很难应用于宽带通信应用领域。

表 1-2 近 10 年来典型高精度 ADC 性能参数对比

年份	结构	工艺 ( $\mu\text{m}$ )	面积 ( $\text{mm}^2$ )	SNDR (dB)	功耗 (mW)	BW (MHz)
1997	SD	0.8	25	110.0	760	0.048
2003	SD	0.35	5.62	105.0	55	0.02
2005	SD	0.35	0.82	97.0	18	0.02
2006	SD	0.18	6	90.0	210	0.2
1997	流水线	1.4	27.28	84.9	130	2.5
2011	SD	0.180	0.492	84.0	1.4	0.05
2007	SAR-TI	0.13	0.55	83.0	66	2.5
2003	SD	0.5	5.76	83.0	62	1.1
2005	SD	0.35	2.88	81.0	1	0.024
2010	流水线	0.250	4.5	80.0	105	6.25
2010	SD	0.065	0.07	77.8	17	4.5
2004	SD	0.18	0.2	77.0	6	1.1

表 1-3 列举了近年来部分国际主流高速、高精度 ADC 在结构、工艺、性能参数等详细指标。由表 1-3 可知, 流水线 ADC 是当前实现高速、高精度 ADC 的一种最主要的结构。相比单一的高速 ADC 和高精度 ADC, 流水线 ADC 在速度上没有全并行 ADC 快, 在精度上没有过采样和串行 ADC 高, 但能够同时兼顾速度和精度。因此, 高速高精度的流水线 ADC 一直备受市场的青睐。

表 1-3 近 10 年来典型高速、高精度 ADC 性能参数对比

年份	结构	工艺 ( $\mu\text{m}$ )	面积 ( $\text{mm}^2$ )	SNDR (dB)	功耗 (mW)	BW (MHz)
2010	流水线	0.18 BiCMOS	50	77.5	850	125
2006	SD	0.18	1.7	76.3	23.8	3.2
2011	流水线	0.180	9.9	75.0	100	40

续表

年份	结构	工艺 ( $\mu\text{m}$ )	面积 ( $\text{mm}^2$ )	SNDR (dB)	功耗 (mW)	BW (MHz)
2006	SD	0.13	1.2	74.0	20	20
2004	流水线	0.25	19.6	72.6	755	40
2013	SAR	0.065	0.55	71.3	311	40
2006	流水线	0.13	1.02	66.0	224	50
2008	流水线	0.065	1.1	59.9	180	100
2007	流水线	0.18	1.43	54.6	18	25
2007	流水线	0.09	1.4	54.0	350	400

流水线 ADC 以其较高精度和较高速度的优良综合性能,在众多类型的 ADC 中脱颖而出,成为高速度、高精度 ADC 的代表。目前,宽带通信、雷达和软件无线电等同时需要高速度和高精度 ADC 的系统,几乎都选择流水线形式的 ADC。图 1-4 是来自统计机构的 2013 年 ADC 电路产品应用总汇。从图 1-4 (a) 所示的市场占有率中也明显可知,流水线 ADC 以其高效的性能位居榜首。同时,图 1-4 (b) 还给出了市场中 ADC 所采用的工艺分布,尽管随着工艺的不断进步,工业界依然更倾向于选择线宽大于  $0.13\mu\text{m}$  的工艺来实现 ADC 产品,主要原因在于高性能运放对于电源电压的限制。

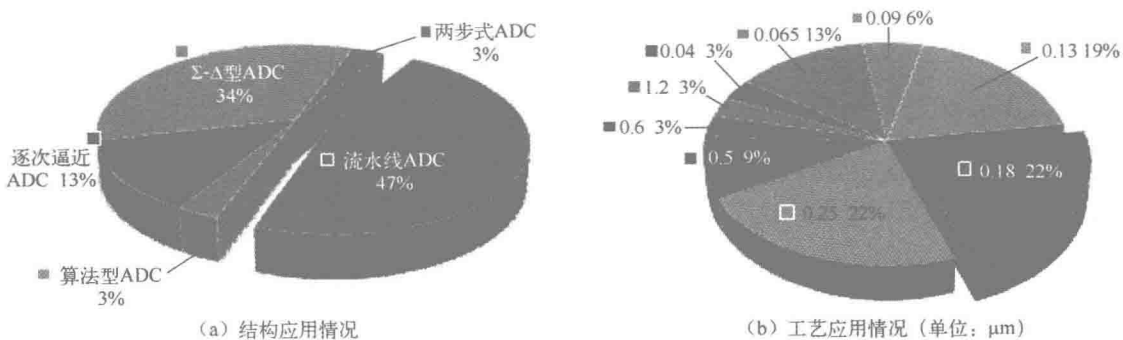


图 1-4 2013 年 ADC 电路产品应用汇总

随着近年来便携式消费产品的飞速发展,除了速度和精度外,低功耗俨然成了衡量 ADC 性能的一个核心指标。研究人员利用归一化的品质因素,从速度、精度和功耗三个角度综合评价了 ADC 的性能,品质因子的定义为

$$\text{FOM}_w = \frac{\text{Power}}{2^{\text{ENOB}} \cdot f_{\text{nyq}}} \quad (1-1)$$

式中, Power 是 ADC 整体功耗; ENOB 是 ADC 的有效位数;  $f_{\text{nyq}}$  是奈奎斯特采样频率。FOM<sub>w</sub> 表征了单位转换过程所消耗的能量,品质因子越低,ADC 的综合性能越好;反之,ADC 的综合性能越差。图 1-5 显示了近年来国际主流 ADC 的功耗、有效位数和采样频率的归一化关系。目前采样速率上百兆的 ADC,品质因子保持在数百的高位,如何以较低功耗实现高速高精度 ADC 仍然是 ADC 设计领域最大的挑战。

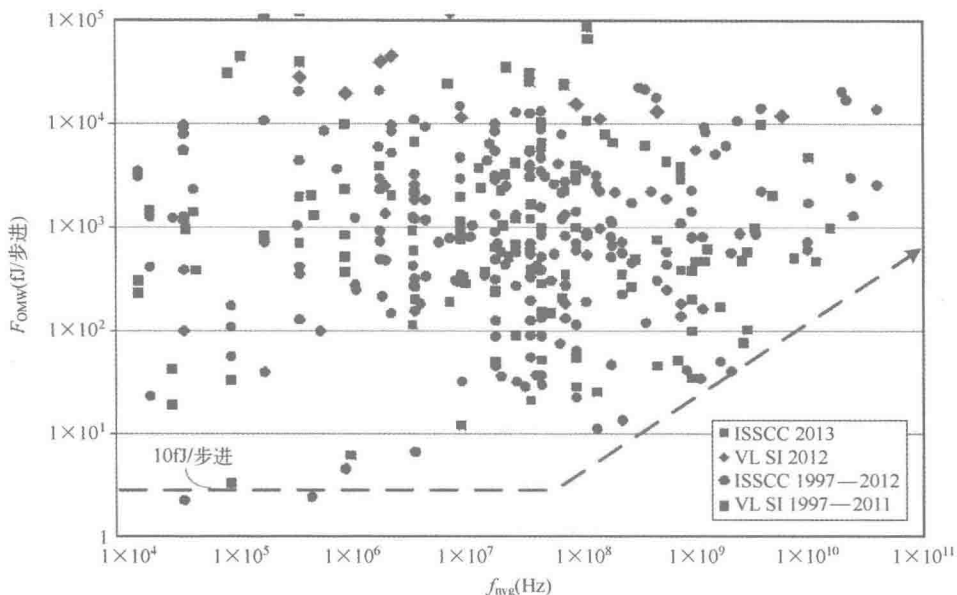


图 1-5 1997 年至今 ADC 的品质因子与奈奎斯特采样频率关系

### 1.3 流水线 ADC 最新研究进展

无线通信、高速测量仪器、数字雷达等应用系统对 ADC 提出了高速度、高精度、大动态范围、宽输入信号带宽、低功耗等指标要求，使得高性能 ADC 的设计面临更大的挑战。目前，适用于上述应用场合的 ADC 实现方式为流水线结构。正是因为此优势的存在，国内外各大科研机构 and 巨头 IC 供应商均投入大量的人力物力开展流水线 ADC 相关技术的研究，近年来已发布了非常多的研究成果。

表 1-4 列举了学术界近 10 年来发表在国际顶级会议上的部分高速、高精度流水线 ADC 的典型性能参数等详细指标，是根据时间顺序由高到低排序的。由表 1-4 可以看出，随着工艺尺寸的减小，更高转换速率的流水线 ADC 不断涌现，其功耗水平也不断降低。由于校准技术的日益成熟，目前已能实现 75dB 左右的信噪失真比，以及 14~16 位左右的线性度。例如：ADI 公司的 Ahmed M. A. Ali 等人在 2006 年就发布了一种 10MHz 输入条件下 SNDR 达 76dB 的 14 位 125MSPS 中频采样流水线 ADC；2010 年他们又发布了一种 16 位 250MSPS 中频采样流水线 ADC，该 ADC 在 250MHz 全速采样条件下对于 10MHz 输入信号，SNDR 同样达 77.5dB。

表 1-4 近 10 年来学术界发表的典型流水线 ADC 性能参数对比

年份	工艺 (μm)	面积 (mm <sup>2</sup> )	SNDR (dB)	功耗 (mW)	BW (MHz)
2013	0.18	1.43	73.3	68	30
2012	0.065	—	56.7	5.37	100
2011	0.04	—	59.0	105	400

续表

年份	工艺 ( $\mu\text{m}$ )	面积 ( $\text{mm}^2$ )	SNDR (dB)	功耗 (mW)	BW (MHz)
2011	0.18	9.9	77.6	100	40
2010	0.18 BiCMOS	50	77.5	850	125
2010	BiCMOS	40	75.2	1620	80
2010	0.09	1.0	55.0	45	50
2009	0.180	10	77.0	385	62.5
2009	0.180	5	69.0	140	125
2008	0.065	0.07	59	45	50
2008	0.18	0.9	70.4	34	25
2007	0.09	1.4	54.0	350	400
2006	0.18	1.43	54.6	18	25
2006	0.13	1.02	66.0	224	50
2006	0.35 BiCMOS	70	75	1850	62.5
2004	0.25	19.6	72.6	755	40

表 1-5 列举了工业界近 10 年来推出的部分高速、高精度流水线 ADC 产品的典型性能参数等详细指标, 根据推出时间先后由高到低排序。可以看出主流 ADC 产品的工艺尺寸由  $0.35\mu\text{m}$  升级为  $65\text{nm}$ , 同时 14 位流水线 ADC 产品的采样速率由  $80\text{MSPS}$  提升到了  $1\text{GSPS}$ , 并且相同性能条件下功耗水平也明显降低。然而必须指出的是, 采用传统流水线 ADC 技术实现的 ADC 电路产品的功耗和速度限制非常突出。例如, TI 公司的 14 位  $250\text{MSPS}$  ADC (ADS6149) 和 14 位  $400\text{MSPS}$  ADC (ADS5474) 电路产品采用相同工艺, ADS6149 的功耗为  $687\text{mW}$  而 ADS5474 的功耗达  $2500\text{mW}$ , 相同精度条件下速度仅提高 1.6 倍, 但是其功耗水平却增加到了 3.6 倍, 功耗随速度呈几何级数上升趋势。

表 1-5 近 10 年来工业界推出的典型流水线 ADC 产品参数对比

推出时间	产品型号	厂商	工艺 ( $\mu\text{m}$ )	SNDR (dB)	功耗 (mW)	BW (MHz)
2014	AD9680	ADI	0.065	69.6	1.59	500
2012	AD9643	ADI	0.18	70.6	0.39	125
2011	ADS4149	TI	0.18	72	0.26	125
2011	ISLA214P50	Intersil	0.18	73	0.835	250
2011	ISLA216P25	Intersil	0.18	76	0.784	125
2011	LTC2158	LTC	0.18	69	0.36	155
2011	LTC2157	LTC	0.18	77	0.37	62.5
2010	AD9467	ADI	0.18 BiCMOS	75.6	1.33	125
2008	KAD5514P	Intersil	0.18	69	0.39	125
2008	ADS6149	TI	0.18 BiCMOS	73	0.674	125
2008	ADS5474	TI	0.18 BiCMOS	70	2.5	200
2006	AD9254	ADI	0.18	71.8	0.43	75
2005	LTC2208	LTC	0.35	78	1.25	65
2003	AD9245	ADI	0.35	72.7	0.36	40



2008年 Intersil 公司推出的 KAD5514P 系列 14 位 250MSPS 低功耗 ADC 产品一举打破了传统流水线 ADC 实现技术的速度和功耗瓶颈,其功耗水平较传统技术降低了一半。原因在于其使用了由 MIT 林肯实验室开发的 CMOS 电荷域信号处理技术,采用电荷为模拟变量进行流水线 ADC 产品设计,即电荷域流水线 ADC 技术;并且对于相同的精度的电荷域流水线 ADC,功耗随采样速度的提高是线性关系。例如, KAD5514P 由 14 位 250MSPS 提高到 ISLA14P50 的 14 位 500MSPS 功耗只是倍增而已。因此,该技术的功耗优势异常明显,是高性能低功耗流水线 ADC 产品实现的一种里程碑技术。

虽然电荷域流水线 ADC 技术具有非常优越的功耗优势,开辟了流水线 ADC 设计的新领域,然而,现有已发表的相关文献中仅给出了电荷域流水线 ADC 的基本框架结构和最简单的每级 1 位子级电路结构,并没有给出基本的转换电路单元进行详细的原理推导和理论研究。更重要的是,已报道文献中并没有深入研究整个电荷域流水线 ADC 的系统结构和关键参数,这些将对整个 ADC 的速度、功耗以及精度有至关重要的影响。因此,对电荷域流水线 ADC 的系统结构和关键模块电路实现技术进行深入研究具有重要的现实意义。

## 1.4 本书的主要内容

第 2 章讨论了高速 ADC 的典型性能指标参数,包括静态参数、频域参数和动态参数,并且为了利于读者能更好地理解这些参数的含义,书中列举了大量 ADI 公司最新高速 ADC 电路产品的实际测试曲线进行说明。

第 3 章讨论了高速 ADC 的主要实现结构和基本工作原理,介绍的高速 ADC 结构包括全并行结构、两步式结构、折叠内插结构和流水线结构,以及可进一步提升 ADC 速度的时间交织技术。

第 4 章讨论了流水线 ADC 基本原理和低功耗实现技术,首先介绍了传统的流水线 ADC 实现技术及其在纳米 CMOS 工艺条件下面临的瓶颈和限制,然后讨论了针对该瓶颈限制而提出的各种最新改进技术,最后对这些技术的优缺点进行了对比总结。

第 5 章讨论了电荷域流水线 ADC 基本原理及关键模块实现方法,首先讨论了电荷域流水线 ADC 实现技术的原理;其次,对现有各类电荷传输技术进行了深入分析和讨论;最后,介绍了电荷域流水线 ADC 的核心功能模块,包括电荷域采样保持电路、电荷域 2.5 位/级和 1.5 位/级子级电路,并对这些电路的原理进行了深入分析。

第 6 章介绍了高速 ADC 通用电路模块实现方法,主要包括高速时钟产生系统、高线性度采样开关和高速输出接口技术。所介绍的功能模块是高性能 ADC 实现所必须使用的辅助功能模块。

第 7 章介绍了一款采用前面章节所述内容实现的单核 10 位 250MSPS 的电荷域流水线 ADC 的设计实例,详细阐述了该 10 位电荷域 ADC 的系统设计、电路设计、版图设计、芯片和测试过程。

第 8 章介绍了一款采用时间交织技术实现的 10 位 250MSPS 的电荷域流水线 ADC 的设计和实现,首先阐述了时间交织技术的原理和实现关键技术,其次介绍了一款采用时间交织技术实现的低功耗 10 位 250MSPS ADC 电路的设计和实现过程。